

디지털 위성방송용 50Mbps급 QPSK 변조기 설계

김 상 명* · 김 상 훈* · 황 원 철* · 이 동 진* · 정 지 원*

Implementation of 50Mbps QPSK MODULATOR for Digital Satellite Broadcasting

Sang-Myung Kim*, Sang-Hoon Kim*, Won-cheol Hwang*, Dong-Jin Lee*, Ji-Woon Jung*

요 약

본 논문에서는 심볼당 4 sample을 취한 Zero-IF 방식을 이용하여 50Mbps급 QPSK 변조기를 CPLD Chip으로 구현하였다. 고속으로 구현하기 위한 Adder, Multiplier, Pulse Shaping Filter 구조를 설계하였다. ALTERA사의 Design Compiler를 이용하여 FLEX10K에 합성한 QPSK 변조기의 속도는 약 50[Mbps]의 전송속도를 가졌고, EPF10K10LC84-3칩에 직접 downloading 시켜 결과를 확인하였다.

I.4 서 론

위성통신 시스템 측면에서 위성중계기는 고속의 B-ISDN(Broadband Integrated Services Digital Network)서비스를 직접적으로 제공하기 위하여 광역화되고 있으며 디지털 전송방식에 적합한 TDMA(Time Division Multiple Access)방식이 지배적으로 선호되고 있다. 초고속 TDMA 모뎀에 적합한 변조 방식으로 QPSK(Quadrature Phase Shift Keying), OQPSK(Offset QPSK), 8PSK 등이 제안되어 연구 개발이 활발히 진행 중이지만 현재는 QPSK의 추적성능이 중심으로 이루어지고 있다[1].

본 논문은 이동 및 위성통신에서 적용되고 있는 QPSK Modulator를 Altera Tool을 이용하여 CPLD로 설계하였다. II장에서는 고속화를 위한 QPSK Modulator 모듈에 대한 내용을 분석하고, III장에서는 설계한 QPSK Modulator의 구현 결과를 검토한다.

* 한국해양대학교 공과대학 전파공학과

sum을 식(2.1)과 식(2.2)을 이용하여 연산한 다음, 같은 방법으로 반복한다. 결국 단 하나의 sum과 carry가 각각 나타나게 된다. 다시 carry를 왼쪽으로 1비트 천이 시킨 후 sum과 carry를 더해주면 출력 값을 얻게 된다.

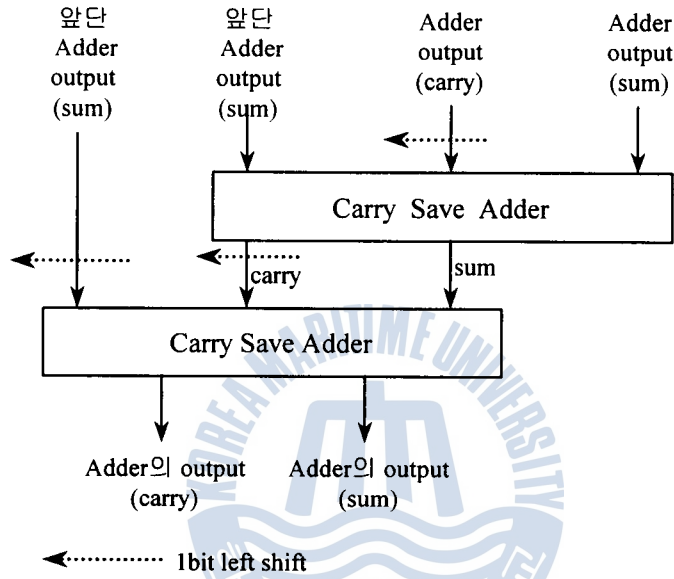


그림 3 Carry Save Adder 구조

2.1.3 Carry Lookahead Adder

Carry Lookahead Adder 의 계산과정은 다음과 같다. 예를 들어 A와 B를 더할 때의 carry를 C 라 하면 식(2.3)과 식(2.4)로 연산되어진다.

$$S_i = (A_i \oplus B_i) \oplus C_{i-1} = P_i \oplus C_{i-1} \tag{2.3}$$

$$C_i = A_i \cdot B_i + (A_i \oplus B_i) C_{i-1} = G_i + P_i \cdot C_{i-1} \tag{2.4}$$

$$G_i = A_i \cdot B_i \tag{2.5}$$

$$P_i = A_i \oplus B_i \tag{2.6}$$

2.2 PSF (Pulse Shaping Filter)

펄스 신호를 carrier와 곱하여 channel로 전송을 하게 되면 무한대의 주파수 대역을 사용하게 되므로 할당된 주파수 대역 이외의 주파수 대역에 영향을 끼치게 된다. 그러므로 다른 주파수 대역에 영향을 끼치지 않기 위하여 할당된 대역폭으로 대역을 제한하여야 한다. 이러한 기능을 하는 것이 PSF이다. 즉 PSF는 무한대의 주파수대역을 차지하는 펄스 신호를 할당된 주파수 대역으로 제한한다. 또한 PSF는 ISI(Inter Symbol Interference)의 영향을 줄이는 필터를 사용한다. 할당된 대역폭으로 대역을 제한하기 위하여, ISI의 영향을 줄이기 위하여 사용하는 pulse shaping filter 는 impulse response $h(nT)$ 를 갖는 SRRC(Square Root Raised Cosine) Filter를 사용하였다. 특히 처리 속도가 고속이어야 하는 satellite communication 분야에서 일반적인 filter로써 구현 시에는 속도면에서 어려움이 따른다. 본 논문에서 일반적으로 사용되어지는 SRRC Filter 의 구조를 살펴보고 처리속도의 향상을 위하여 제안한 Filter 의 구조를 살펴본다.

그림 4는 일반적인 SRRC Filter의 구조이다.[2]

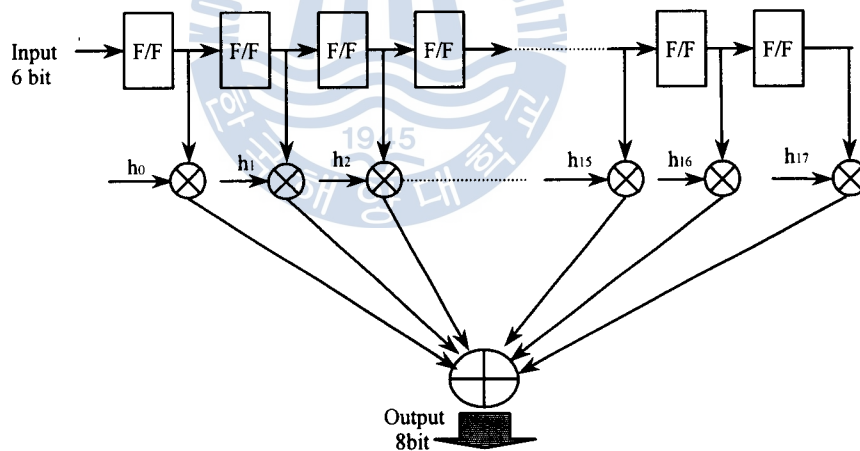


그림 4 일반적인 SRRC Filter 구조

각각의 F/F(register)의 output을 Tap이라 하고, Tap length는 17Tap으로 하며 Sampling frequency는 Symbol Rate의 4배로 하고, input을 6 bit ,output은 8bit 인 필터로 한정하였다. 그림 4에서 Tap를 $x(t)$ 로 표현하며 t 를 총 $n(=17)$ 개의 Tap을 갖는 Tap number라 하고 각각의 coefficient를 $h(t)$ 라 표현하면 다음과 같은 식으로 표현된다.

$$y(t) = \sum_{t=0}^{N-1} x(t) * h(t) \quad (2.7)$$

그림 5는 그림 4의 구조를 CPLD설계에 적용할 수 있게 좀 더 상세화한 구조이다. 그림 5에서CPLD Chip 설계를 위한 PSF의 전달함수는 표 1과 같다. 17개의 탭 수를 가지고 고정된 값으로 양자화 시켰다. 부호의 반전을 막기 위하여 2의 보수 값을 취해서 값을 고려했다. 그림 6은 Filter의 전달함수 특성을 나타내었다.

그림 5의 Filter구조는 앞서 제시한 두 가지 Adder를 사용했지만 많은 Multiplier로 인한 처리 속도의 고속화에는 적합하지 않다. 본 장에서는 고속화에 적합한 Filter구조를 제시하였다.

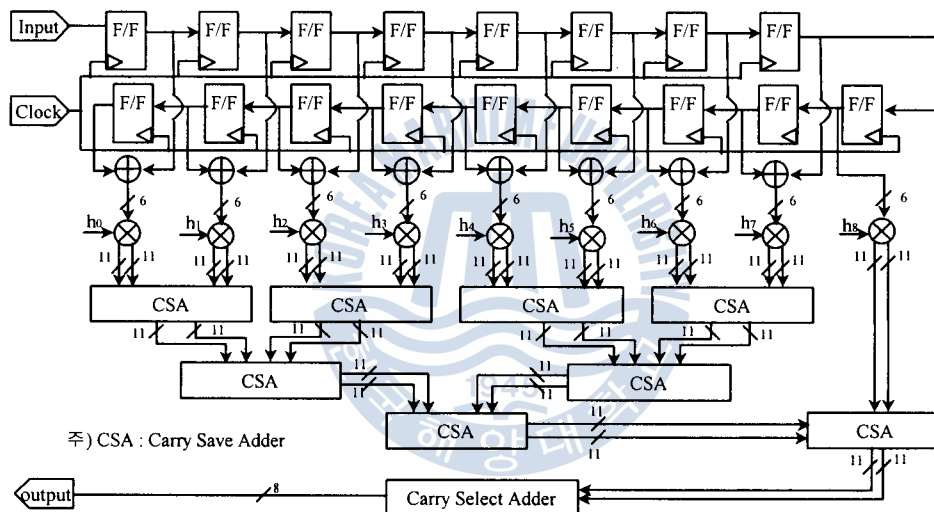


그림 5 CPLD 설계를 위한 Filter구조

표 1 PSF의 양자화한 전달 함수값

No	Fixed Point	binary	2's complement
H(0)	1	000001	111111
H(1)	0	000000	000000
H(2)	-2	111110	000010
H(3)	-4	111100	000100
H(4)	-3	111101	000011
H(5)	4	000100	111100
H(6)	16	010000	110000
H(7)	27	011011	100101
H(8)	31	011111	100001

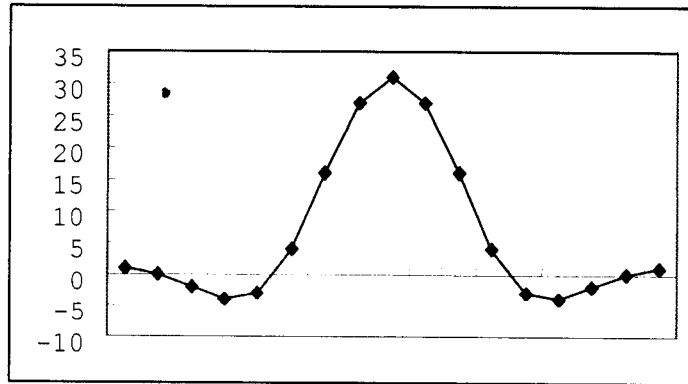


그림 6 Filter 전달함수 특성

그림 7은 고속용 Filter구조이다. 그림 2.6의 Filter 전달함수가 대칭인 것을 감안하여 제시한 구조이다. Filter의 roll-off factors는 0.35이고, 심볼당 4 sample을 주었고, 양자화값은 6bit(2complement)로 하였다.

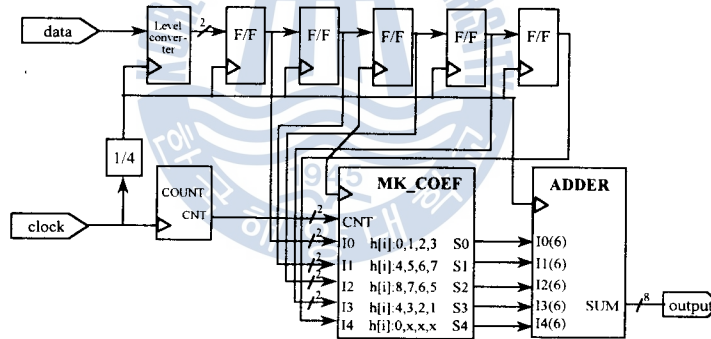


그림 7 고속용 Filter 구조

입력 data를 1(01)과 1(11)로 level converter하고, 원래17Tap로 구성되지만 data당4개의 sample이 취해지므로 5개Tap만 있으면 된다. 각각의 Tap에서 나온 양자화 값을 8bit Carry Select Adder로 연산한 다음, 5개 Tap의 출력 값을 다시 8bit Carry Select Adder를 사용하면 전체Filter의 출력 값을 얻을 수 있다.

2.3 Zero-IF방식의 반송파 묘사

심볼당 4 sample을 취한 Zero-IF 방식을 적용하여 반송파와 Multiplier를 제거함으로

써 고속화하였다. 그림 8은 Zero-IF방식을 적용한 QPSK 변조기의 구조이다.

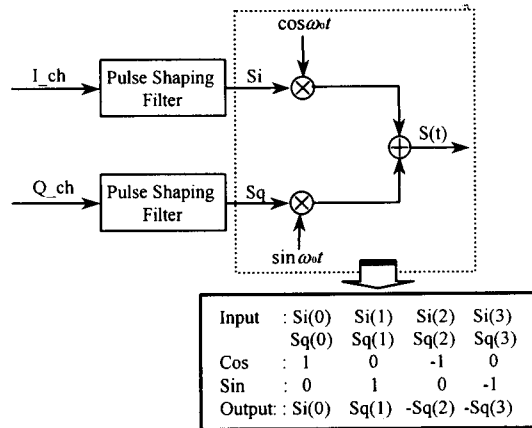


그림 8 Zero-IF 방식을 적용한 QPSK 변조기

반송파를 곱하는 Multiplier는 I_ch(Inphase channel)과 Q_ch(quadrature channel) 각각의 PSF를 통과한 신호에 $\cos \omega_c t$ 와 $\sin \omega_c t$ 를 곱해준다. cosine파와 sine파의 진폭은 +1, 0, -1, 0이 주기적으로 반복되므로 cosine과 sine을 각각의 sample 별로 더해주면 S(t)값이 출력된다.

III. VHDL 시뮬레이션 결과 및 CPLD Chip 설계

QPSK Modulator의 VHDL(Very high speed integrated circuit Hardware Description Language) code는 ALTERA사의 Design Compiler를 이용하여 컴파일하였다.[3][4] 설계한 변조기는 EPF10K10LC84-3칩에 합성하였고, 합성된 칩은50[Mbps]속도로 동작이 가능하였다.

본 장에서는 QPSK 변조기의 시뮬레이션 결과와 이를 검증하기 위해 C language를 이용하였다. 그림 9는 Filter의 시뮬레이션 결과이다. 16진수의 출력값 계산시 보수값을 고려하여 출력 파형을 나타내면 그림 10(a)와 같다. 이는 그림 10(b) 파형과 정확히 일치한다.

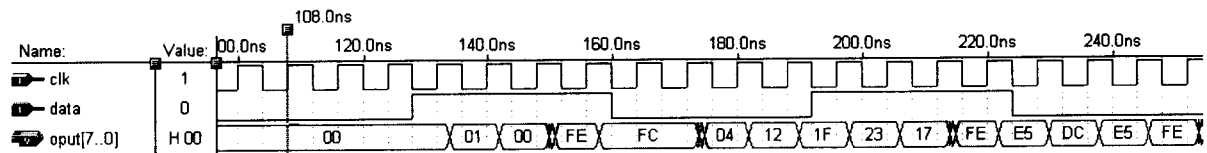
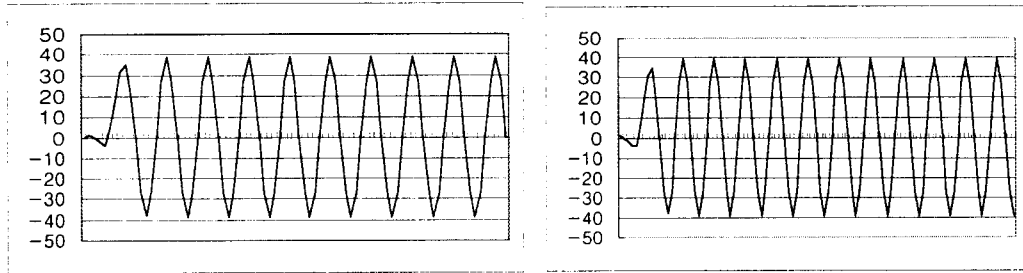


그림 9. Filter 시뮬레이션 결과



(a) VHDL

(b) C language

그림 10. Filter출력 파형

그림 11은 QPSK modulator의 시뮬레이션 결과이다. 이 결과의 파형은 그림 12(a)이고, 이를 확인하기 위해 그림 12(b)에서 C language 시뮬레이션을 이용하였다. 두 파형이 정확히 일치한다. 그림 11은 QPSK modulator의 시뮬레이션 결과이다.

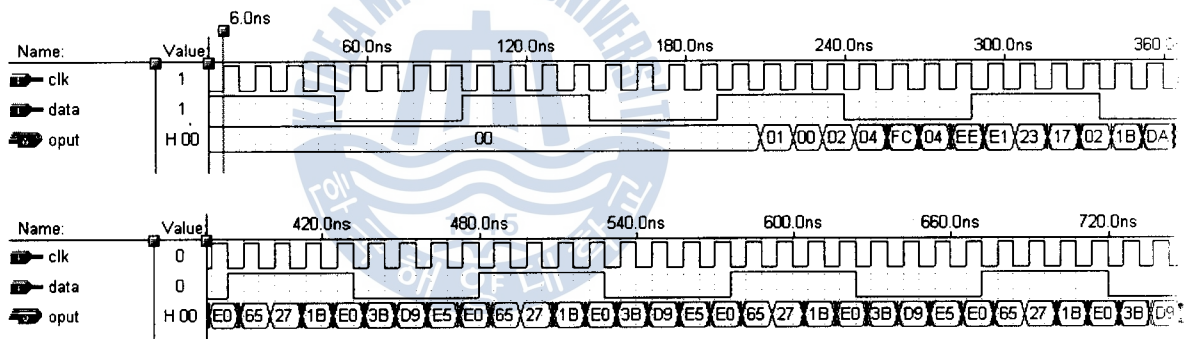
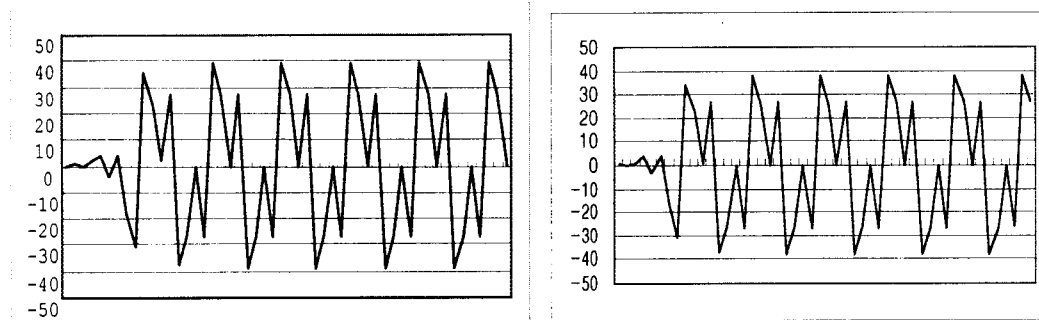


그림 11. QPSK Modulator 시뮬레이션 결과



(a) VHDL

(b) C language

그림 12. QPSK Modulator 출력 파형

VHDL의 simulation을 바탕으로 실제 칩에서 동작 여부를 확인하기 위해 EPF10K10LC84-3칩을 사용하여 출력파형을 확인하였다.

구현 결과의 확인 과정은 먼저, ALTERA사의 Max +PLUSII를 사용하여 로직을 구현하고 Downloading 시켜 DAC(Digital to Analog Converter)를 제작하여 직접 오실로스코프로 파형을 확인하였다.

그림 13의 Filter에 대한 VHDL 출력파형을 바탕으로 그림 3.6과 그림 3.7의 실제 구현 결과와 비교하면 정확히 일치한다.

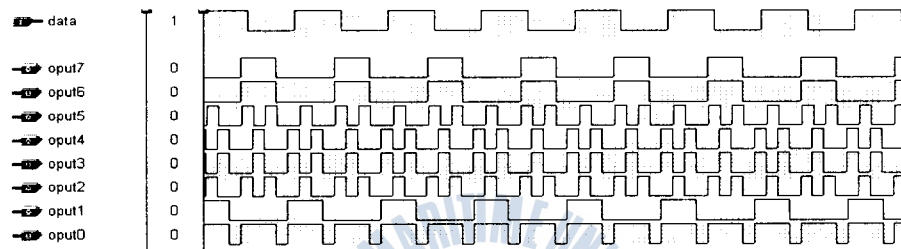


그림 13. VHDL의 Filter 출력

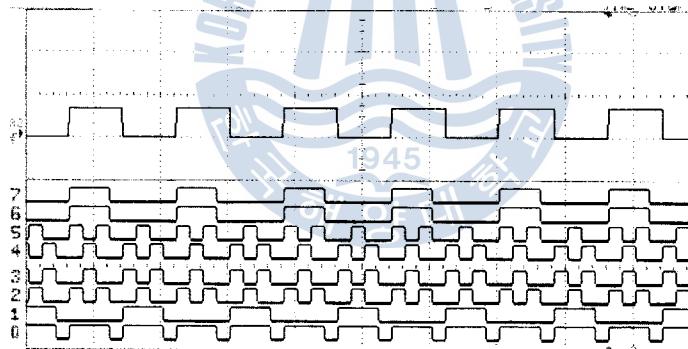


그림 14. Downloading한 Filter 로직 분석기 출력 파형

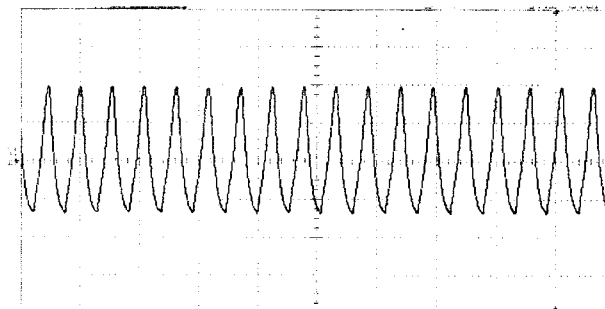


그림 15. DAC의 Filter출력 파형

그림 16의 VHDL QPSK 변조기의 출력을 바탕으로 그림 17, 그림 18의 실제 구현결과와 비교하면 로직 분석기의 출력 파형은 일치하지만 DAC 출력 파형은 어느 정도의 차이가 있음을 알 수 있다.

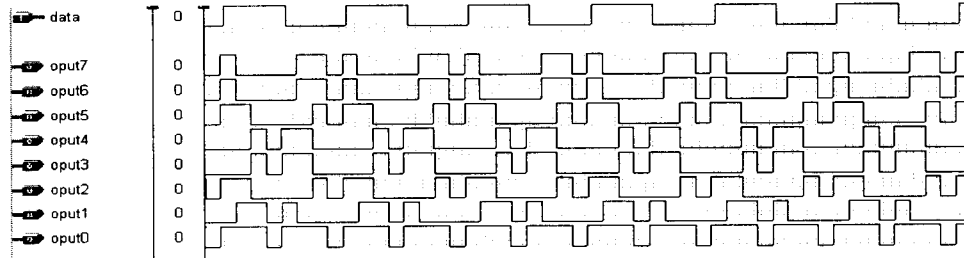


그림 16 VHDL의 QPSK modulator 출력

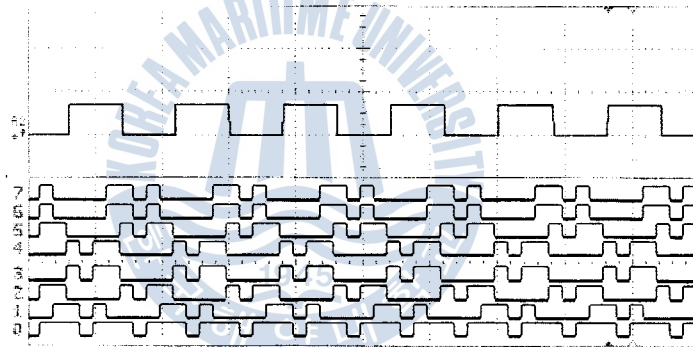


그림 17 Downloading한 QPSK Modulator 로직 분석기 출력 파형

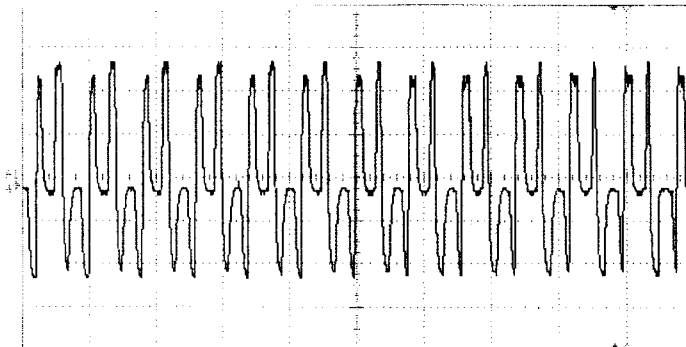


그림 18. DAC의 QPSK modulator 출력 파형

VI. 결 론

본 논문에서는 고속화를 위해 QPSK Modulator의 모듈에 대한 구조를 설계하고 구현한 QPSK Modulator를 직접 Downloading 시켜 그 결과를 확인하였다. 고속화를 위해 먼저 새로운 Filter 구조를 제시하여 설계하였으며, Zero IF방식을 이용하여 Multiplier를 제거하였고, 다양한 Adder를 사용하여 Modulator를 구현하였다. 이러한 방식들을 적용하여 CPLD칩으로 구현한 결과, 약 50[Mbps] 전송 속도까지 구현이 가능하였다. 또 직접 EPF10K10LC84-3 칩에 downloading 시켜 Modulator 출력 파형을 확인하였다.

참 고 문 헌

- [1] SKLAR, DIGITAL COMMUNICATIONS, Prentice Hall, 1993
- [2] Alan V.Oppenheim,etc, Discrete-Time Signal Processing, Prentice Hall, 1990
- [3] D.L. Perry, VHDL, McGraw-Hill, Inc. 1995..
- [4] 양오, 디지털시스템 설계 및 응용, 북두출판사,1998

