

산화된 다공질 실리콘 기판 위에 제작된 MMIC용 에어브리지형 Coplanar Waveguide

윤 동 식¹⁾, 심 준 환¹⁾

Air-Bridge Coplanar Waveguide Fabricated on Oxidized Porous Silicon Substrate for MMIC Applications

Dong Sik Youn¹⁾, Jun Hwan Sim¹⁾

Abstract

In this paper, We designed Air-Bridge CPW line with several types using thick Oxidized Porous Silicon(OPS), on low-resistivity silicon substrate, and surface micromachining technology. And the characteristics were analyzed through RF simulation. This simulation program was Ansoft High Frequency Structure Simulator (HFSS) As CPW lines were compared with several OPS thickness, its performance in 30 μm -thick OPS was the best. And best property of CPW lines was observed with S-W-Sg = 30-80-400 μm structure. However, the structure for characteristic impedance of 50 Ω was shown on S-W-Sg = 30-100-400 μm structure with 20 μm -thick OPS and the property was also excellent.

I 서론

기존의 초고주파 분야에서 사용되어지는 GaAs 소재는 Si에 비해서 특성은 좋으나 고가의 제조 공정과 낮은 생산성 등의 여러 가지 단점을 가지고 있다. 이러한 문제점에 대한 보완으로 실리콘 기판을 이용한 MMIC 소자에 대한 연구가 진행되어왔다^[1-6] 그러나 이러한 실리콘 MMIC 또한 마이크로웨이브 영역에서는 큰 도전성으로 인해 전송선로의 손실이 크고, 소자의 용량성 결합 등으로 MMIC 구현이 어려웠다. 최근 실리콘 기판 위에 10 μm 이상의 두께를 가진 절연층을 형성하여 마이크로웨이브 전송선로의 특성을 개선하기 위해서 다공질 실리콘 산화법으로 제조된 기판을 이용한 연구가 진행되고 있다^[7-9] 산화된 다공질 실리콘(oxidized porous silicon, OPS)은 마이크로웨이브 영역에서 낮은 비저항의 실리콘 기판의 높은 유전손실을 극복하며, CVD 산화막에 비해 매우 짧은 산화시간을 가진다는 장점을 가진다. 또한 이 기술은 기존의 실리콘 공정을 그대로 이용하며 GaAs보다 훨씬 저렴하고 큰 직경의 웨이퍼를 사용하여 대량생산을 할 수 있다는 장점을 가지고 있다.

이에 이 논문은 표면 마이크로머시닝 기술을 이용하여 10 μm 이상의 OPS 위에 에어브리지형 Coplanar Waveguide (CPW)를 제작하고, 그 특성을 조사 분석하였다.

1) 한국해양대학교 전자통신공학과

II 소자 설계 및 공정

1. 에어브리지 구조

그림 1은 에어브리지형 CPW의 구조를 보여주고 있다. 사용된 실리콘 기판은 $5\sim 10\Omega\cdot\text{cm}$ 인 낮은 비저항 실리콘이며, 유전율은 11.9를 가진다. 실리콘 기판의 두께는 $515\mu\text{m}$ 이고 절연체로 사용된 OPS는 5.9의 유전율을 가진다^[8] 여기서 사용되는 OPS의 두께는 $10\mu\text{m}$, $20\mu\text{m}$, $30\mu\text{m}$ 인 세 가지 서로 다른 치수를 사용하였다.

CPW 전송선로는 Cu를 사용하였으며 두께는 $2\mu\text{m}$ 로 설정하였다. 에어브리지의 두께는 $3\mu\text{m}$ 의 두께에 CPW 전송선로와는 $9\mu\text{m}$ 높이에 위치한다. 에어브리지의 전체 길이는 $220\mu\text{m}$ 이며 CPW 신호선의 폭은 $80\mu\text{m}$ 와 $100\mu\text{m}$ 두 가지로 구성된다. 여기서 전체 전송선로의 길이는 2mm 로 설계되었다. 표 1은 설계한 에어브리지형 CPW 구조물의 크기를 나타낸다.

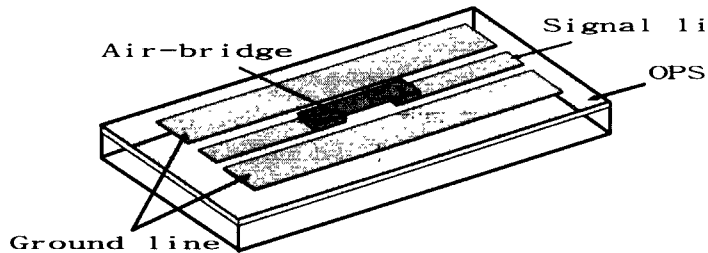


그림 1 에어브리지로된 CPW 구조

표 1. 서로 다른 치수별 구조물의 크기

종류	구조	에어브리지		CPW signal line
		길이(μm)	폭(μm)	S-W-Sg(μm)
에어브리지형 CPW	220	80	80	30-80-400
				40-80-400
		100	100	30-100-400
				40-100-400

2. 제조 공정

그림 2는 에어브리지로 된 CPW의 제조공정이다. 먼저 실리콘웨이퍼를 양극 반응하여 다공질 실리콘을 형성한 후, 다단계 열 산화를 사용하여 OPS를 형성하였다. 이때 다공질 실리콘 형성을 위해 전류 밀도는 $20\text{mA}/\text{cm}^2$ 이었고, 반응용액은 43wt% 불산(HF)/에틸알콜올($\text{C}_2\text{H}_5\text{OH}$) 혼합액을 사용하였다^[10]. 그리고 400°C , 30분의 건식산화와 1000°C , 1시간의 건식산화 및 1000°C , 1시간의 습식산화 공정을 수행하여 산화층 내부에 잔존하는 기공을 제거하며, 표면을 치밀화 하는 다단계 열 산화 공정을 수행하였다^[11]. 다단계 열산화 공정에서 형성된 OPS 위에 CPW를 형성하기 위하여 Evaporator를 이용하여 500Å 두께의 Cr과 1000Å 두께의 Au를 증착하였다. PR공정으로 Cr/Au 패터닝하여 1차 도금을 위한 base metal seed layer를 형성하였다(그림2(a)). 도금용 PR공정으로 1차 도금을 위한 영역을 정의하여

Cu 도금을 행하였다 이때, 도금은 5분간의 무전해 도금과 전류밀도가 10mA로서 15분 동안 전해 도금을 수행하였다(그림 2(b)) 그리고 에어브리지를 base metal과 연결하기 위하여 도금용 PR공정으로 Via 영역을 정의하여 2차 도금을 행하였다 이때 사용된 도금공정은 3분간의 무전해 도금과 5mA의 전류 밀도로 7분간의 전해 도금하였다(그림2(c)) 다음으로 에어브리지용 1000Å 두께의 Au를 증착하였다 이어서 Au를 패터닝한 후, 도금용 PR공정으로 도금할 영역을 정의하여 3차 도금을 행하였다 이때 도금은 5분간의 무전해 도금과 5mA의 전류 밀도로 10분간의 전해 도금을 하였다(그림2(d)) 마지막으로 아세톤에 시편을 5분 정도 담귀 희생층으로 사용된 모든 PR을 제거하여 에어브리지를 형성하였다(그림 2(e))

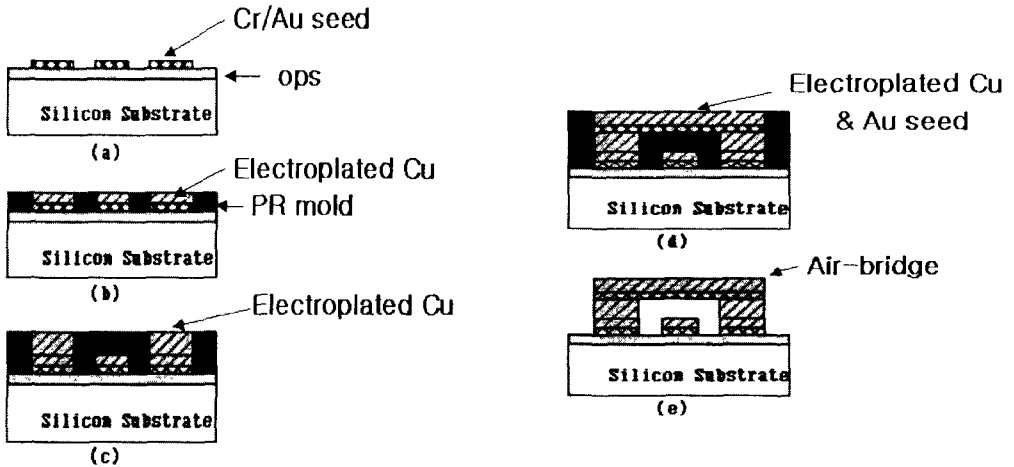


그림2 에어브리지형 CPW 공정순서

III 결과 및 토의

그림 3은 제작된 에어브리지형 CPW 전송선의 전자 현미경 사진이다 제작된 전송선의 두께는 2 μ m, 에어브리지의 두께는 3 μ m이다 여기서 희생층이 완전히 제거되었으며, 에어브리지는 완전히 떠 있는 구조를 이루고 있다



그림 3. 에어브리지형 CPW

전송선로에 대한 신호 전달 특성을 얻기 위해서 Ansoft사의 High Frequency Structure

Simulator(HFSS)를 이용하여 시뮬레이션을 수행하였다 이때, 주파수 범위는 1~25GHz이었다 그림 4와 그림 5는 OPS의 두께가 20 μ m, 30 μ m인 기판 위에 제작된 4가지의 에어브리지형 CPW의 주파수에 따른 특성 임피던스의 변화를 나타낸 것이다 그림에서와 같이 20 μ m 두께의 OPS 위에 제작된 S-W-Sg = 30-100-400 μ m인 CPW 구조가 50 Ω 의 특성임피던스에 가장 잘 매칭됨을 알 수 있었다 이 결과를 바탕으로 에어브리지의 구조가 S-W-Sg = 30-100-400 μ m에서 OPS 두께가 10 μ m, 20 μ m, 30 μ m로 변화 할 때의 삽입손실과 반사손실을 분석하였다. 그 결과를 그림 6과 그림 7에 각각 나타내었다 그림에서와 같이 OPS 두께가 클수록 손실이 개선됨을 알 수 있으며, 20 μ m와 30 μ m는 거의 차이가 없음을 알 수 있었다 그림 8과 그림 9는 20 μ m대에서 네 가지의 서로 다른 치수를 가지는 에어브리지형 CPW의 삽입 손실과 반사 손실을 얻은 것이다. 그림에서처럼 S-W-Sg = 30-80-400 μ m 구조가 손실이 가장 좋은 것으로 나타났다. 그러나 특성 임피던스가 50 Ω 에 매칭되는 구조가 30-100-400 μ m 이며, 삽입 및 반사 손실 특성 또한 뛰어나다. 따라서 현재 이 구조로 제작된 소자를 측정 중에 있으며 본 시뮬레이션 특성과 향후 비교하고자한다.

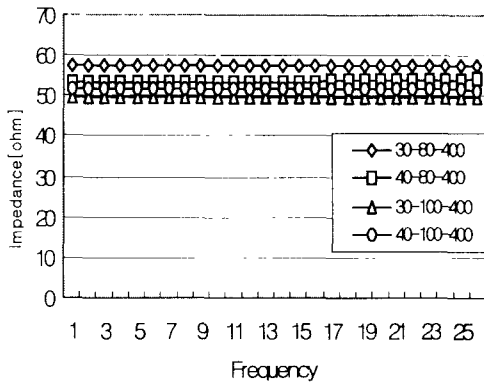


그림 4 20 μ m OPS 위에 제작된 4가지 종류의 CPW 전송선로의 임피던스

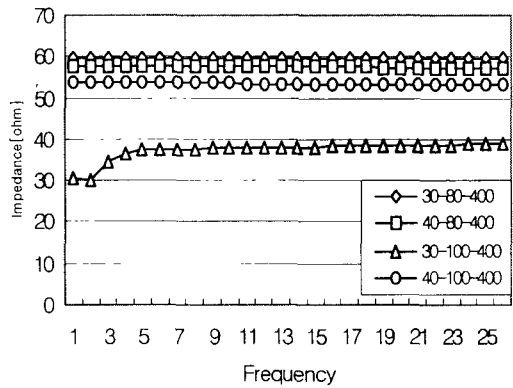


그림 5 30 μ m OPS 위에 제작된 4가지 종류의 CPW 전송선로의 임피던스

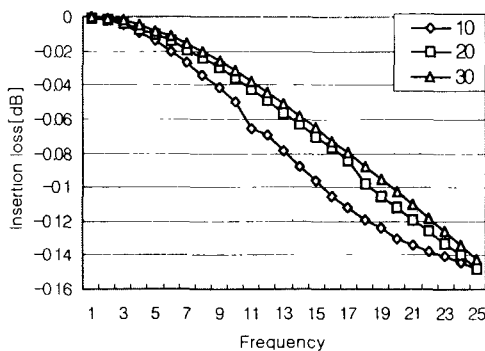


그림 6 S-W-Sg = 30-100-400 μ m인 에어브리지형 CPW 전송선로의 OPS 두께에 따른 삽입손실

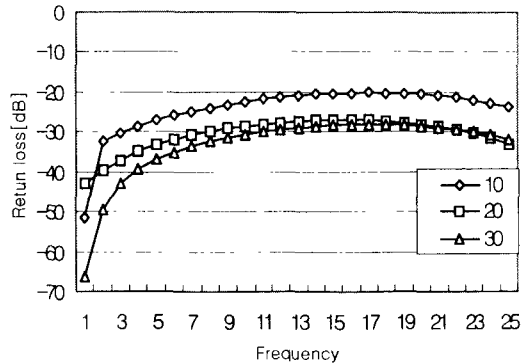


그림 7 S-W-Sg = 30-100-400 μ m인 에어브리지형 CPW 전송선로의 OPS 두께에 따른 반사손실

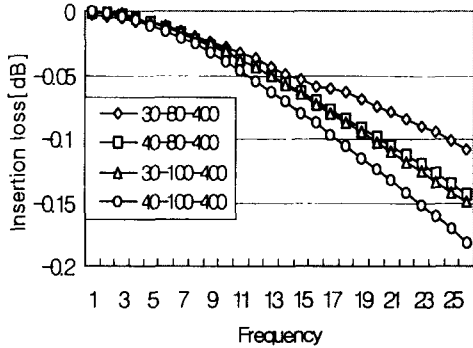


그림 8. 4가지 종류의 에어브리지형 CPW 전송선로의 삽입손실

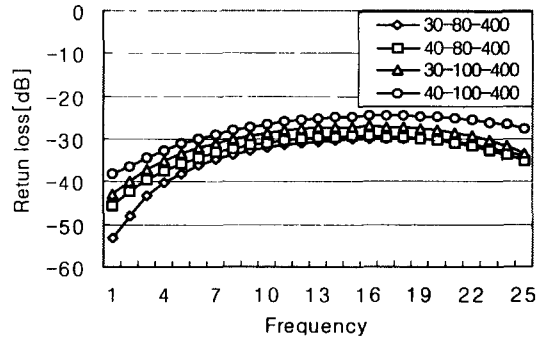


그림 9. 4가지 종류의 에어브리지형 CPW 전송선로의 반사손실

IV 결론

본 논문에서는 실리콘 기판상의 전송선로 특성을 개선하기 위하여 $10\mu\text{m}$, $20\mu\text{m}$, $30\mu\text{m}$ 두께의 다공질 실리콘 산화막으로 제작된 기판을 사용하여 표면 마이크로머시닝 기술로 에어브리지형 CPW 전송선로를 제작하고, 그 특성을 분석하였다. 기판의 두께에 따른 손실을 비교하였을 때 $30\mu\text{m}$ 에서 가장 좋은 결과를 보인다. 그리고 S-W-Sg = $30-80-400\mu\text{m}$ 인 구조에서 삽입손실과 반사 손실이 가장 좋은 것으로 나타난다. 그러나 특성 임피던스가 50Ω 에 매칭되는 구조는 OPS가 $20\mu\text{m}$ 인 S-W-Sg = $30-100-400\mu\text{m}$ 로서 손실 특성 또한 뛰어난 것으로 나타났다. 향후 OPS가 $20\mu\text{m}$ 인 기판 위에 제조된 S-W-Sg = $30-100-400\mu\text{m}$ 구조를 측정하여 본 시뮬레이션 결과와 비교 분석할 예정이다.

참고문헌

- [1] J. Buechler, E. Kasper, P. Russer, and K. Strohm, "Silicon high-resistivity-substrate millimeter-wave technology", *IEEE Microwave Theory Tech*, vol. MTT-34, pp. 1516-1521, Dec. 1986.
- [2] A. C. Reyes, S. M. El-Ghazaly, S. Dorn, M. Dydyk, and D. K. Schroder, "Silicon as a microwave substrate", in *IEEE MTT-S Dig.*, 1994, pp. 1759-1762.
- [3] S. R. Taub, "Temperature dependent performance of coplanar waveguide (CPW) on substrate of various materials", in *IEEE MTT-S Dig.*, 1994, pp. 1049-1051.
- [4] C. Warns, W. Menzel, and H. Schumacher, "Transmission lines and passive elements for multilayer coplanar circuits on silicon", *IEEE Microwave Theory Tech*, vol. 46, no. 5, pp. 616-622, May. 1998.

- [5] H. Sakai, Y. Ota, K. Inoue, T. Yoshida, K. Takahashi, S. Fujita, and M. Sagawa, "A novel millimeter-wave IC on Si substrate using flip-chip bonding technology", in *IEEE MTT-S Dig.*, 1994, pp. 1763-1766.
- [6] B. K. Kim, B. K. Ko, and K. Lee, "Monolithic planar inductor and waveguide structures on silicon with performance comparable to those in GaAs MMIC", in *IEDM Tech. Dig.*, 1995, pp. 717-720.
- [7] C. M. Nam and Y. S. Kwon, "Coplanar waveguides on silicon substrate with thick oxidized porous silicon (OPS) layer", *IEEE Microwave and Guided Wave Lett.*, vol. 7, no. 8, pp. 236-238, Aug. 1997.
- [8] R. J. Welty, S. H. Park, P. M. Asbeck, K. -P. S. Dancil, and M. J. Sailor, "Porous silicon technology for RF integrated circuit applications", in *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 1998, pp. 160-163.
- [9] R. L. Peterson and R. F. Drayton, "Dielectric properties of oxidized porous silicon in a low resistivity substrate", in *IEEE MTT-S Dig.*, 2001, pp. 765-768.
- [10] Y. Watanabe, Y. Arita, T. Yokoyama, and Y. Igarashi, "Formation and properties of porous silicon and its application", *J. Electrochemical Soc.: Solid-State Sci. Technol.*, vol. 122, no. 10, pp. 1351-1355, Oct. 1975.
- [11] 류창우, 심준환, 이정희, 이종현, "양질의 FRO(Fully Recessed Oxide)의 선택적 형성", 대한전자공학회 논문지, 제 33권 A편 7호, pp. 149-155, 1996. 7