

工學碩士 學位論文

Low-IF 방식을 이용한 8-Ch DBF
수신기의 특성에 관한 연구

A Study on Characteristics of 8-Ch DBF
Receiver Using Low-IF Method

指導教授 閔 庚 植

2004 年 2 月

韓國海洋大學校 大學院

電 波 工 學 科

朴 晉 生

本 論文을 朴晉生의 工學碩士 學位論文으로 認准함.

위원장 : 공학박사 김 동 일 인

위 원 : 공학박사 윤 영 인

위 원 : 공학박사 민 경 식 인

2004 년 2 월

한국해양대학교 대학원
전파공학과 박 진 생

목 차

Abbreviations	iii
Abstract	iv

제 1 장 서 론

1.1 연구 배경 및 필요성	i
1.2 연구 내용	3
1.2.1 슈퍼헤테로다인 수신방식의 구조	3
1.2.2 Low-IF 수신방식의 구조	4
1.2.3 직접변환 수신방식의 구조	5
1.3 연구 목표	6

제 2 장 DBF 수신기용 평형 저잡음 증폭기의 설계 및 제작

2.1 바이어스 회로의 설계	7
2.1.1 능동 바이어스 회로	7
2.1.2 수동 바이어스 회로	8
2.2 800 MHz, 2 GHz대역 평형 저잡음 증폭기의 설계 및 제작	9
2.2.1 800 MHz대역 평형 저잡음 증폭기	10
2.2.2 2 GHz대역 평형 저잡음 증폭기	11
2.3 측정결과	13
2.3.1 이득 및 입·출력 반사손실 측정	13
2.3.2 잡음지수 특성 측정	15
2.3.3 P1dB 특성 측정	16
2.3.4 Two-Tone test 측정	17
2.4 특성평가	18

제 3 장 Low-IF 방식을 이용한 1 채널 DBF 수신기의 설계 및 제작

3.1 1 채널 DBF 수신기의 구조 설계	19
3.2 수신기의 회로설계	20
3.2.1 RF 대역통과 필터	20
3.2.2 주파수 혼합기	22
3.2.3 IF 저역통과 필터	25
3.2.4 10 MHz 발진기	27
3.2.5 1940 MHz 주파수 합성기	28
3.2.6 핀 다이오드를 이용한 이득조정용 감쇠기	30
3.2.7 전압 가변 위상조절기	32
3.2.8 복조기 회로	33
3.2.9 I/Q offset 조정 회로	35
3.2.10 전원회로의 설계	36
3.3 제작 및 측정결과	37

제 4 장 8 채널 DBF 수신기의 설계 및 제작

4.1 설계	44
4.2 제작 및 측정결과	45
4.3 특성 평가	49
4.4 성능 개선 방안	49

제 5 장 결 론

5.1 결론	51
--------	----

참 고 문 헌	52
---------	----

Abbreviations

ADC	Analog Digital Converter
AGC	Auto Gain Control
BJT	Bipolar Junction Transistor
BPF	Band Pass Filter
CP	Charge Pump
DBF	Digital Beam Forming
DOA	Direction of Arrival
DC	Direct Conversion
DR	Dynamic Range
DSP	Digital Signal Processing
ESPRIT	Estimation of Signal Parameters via Rotational Invariance Techniques
FET	Field Effect Transistor
FPGA	Field Programmable Gate Array)
HEMT	High Electron Mobility Transistor
I	In-phase
IF	Intermediate Frequency
IL	Insertion Loss
IMD	Inter-modulation Distortion
IP	Intercept Point
LO	Local Oscillator
LPF	Low Pass Filter
MMIC	Monolithic Microwave Integrated Circuit
MUSIC	MUltiple Signal Classification
NF	Noise Figure
PCB	Printed Circuit Board
PD	Phase Detector
PLL	Phase Locked Loop
PN	Phase Noise
PS	Phase Shift
P1dB	1 dB gain compression point
Q	Quadrature-phase
RF	Radio Frequency
SAW	Surface Acoustic Wave
SH	Super-Heterodyne
TCXO	Temperature compensated Crystal Oscillator
VCO	Voltage Controlled Oscillator

Abstract

Wireless communication technologies have greatly progressed in recent years and the markets, especially in the mobile communication have been growing enormously. Moreover the next generation communication services will use higher frequency band, and require more channel capacity and wider bandwidth for a high-speed data communication than nowadays. As a large increase in channel capacity and high transmission rates for wireless communications, the technologies for the power saving and efficient frequency usability are required. To meet the requirements of the next generation wireless communications, a system capable to automatically change the directionality of its radiation patterns in response to its signal environment must be indispensable. The use of spatial resource can noticeably increase the performance such as capacity and quality of a wireless system. The concept of a DBF (Digital Beam Forming) reception system is to control automatically an antenna's reception beam pattern by digital signal processing. The DBF reception system consisted of RF hardware and digital hardware generally. The RF hardware means processing department of reception signal that received from antenna.

Therefore, this thesis describes RF hardware design of 8-Ch DBF reception system for a base-station of mobile communication. In the RF hardware, super-heterodyne method is widely used for wireless communications generally. But DBF reception system used low IF method that existent super-heterodyne method is not. The DBF reception system using low IF method offers significant reduction of circuit complexity by virtue of the elimination of IF circuitry such as IF filters and IF mixers. This DBF reception system consisted of the balanced low noise amplifier, down-converter and power circuit. The used radio frequency (RF), local oscillator (LO) frequency and inter-mediate frequency (IF) are 1.95 GHz, 1.94 GHz and 10 MHz, respectively.

The first stage of DBF reception system designed low noise amplifier. The low noise amplifier operating at 1.92 ~ 1.98 GHz as

up-link of IMT-2000 is designed and fabricated. These low noise amplifier is designed as the balanced type by using a compact 90° hybrid coupler.

Secondarily, we designed down-converter for 10 MHz IF conversion and power circuit of receiver. The down-converter consists of band pass filter, mixer, 1940 PLO, 10 MHz TCXO, IF filter, IF amp., IF calibration circuit (phase shift, gain attenuator), de-modulator, etc. The power circuit supplies +15 V, ± 8 V, +5 V for the DBF receiver respectively. So we fabricated the 1-Ch DBF receiver with 10 MHz IF and tested performance of receiver. And finally, we fabricated the DBF receiver that composed 8 channels. In DBF reception system, the RF signal is amplified by low noise amplifier and the changed IF on mixer enters by de-modulator. Each of orthogonal I, Q baseband signals output from the de-modulator. These I, Q signals include much information that we want such as direction of signal, data (voice, image), etc.

In the future, DOA (Direction of Arrival) measurement environment was constructed in an anechoic chamber. This measurement system consists of the array antenna, digital signal processing unit, and 8-Ch DBF receiver. And the performance of the receiver will implement DOA estimation experiment.

제 1 장 서 론

1.1 연구 배경 및 필요성

최근 휴대전화 사용자의 급진적 증가로 이동 통신 분야는 하루가 다르게 발전하고 있다. 이와 더불어 다양한 정보 콘텐츠의 제공과 실시간 동영상 제공 등이 필요하게 되었다. 이는 기술적으로는 초고속의 데이터 전송과 다수의 이용자에게 정보를 제공할 수 있는 대용량의 정보전송을 해결해야 함을 의미한다. 세계적으로 이런 기술적 문제를 해결하고 전 세계 공동으로 기술 및 정보 공유를 할 수 있도록 하기 위한 노력이 계속되어 왔으며, 대표적인 예로는 IMT-2000을 들 수 있다. 그러나 이용자의 폭발적 증가와 초고속·대용량의 정보 콘텐츠 및 실시간 동영상 서비스 제공을 하기 위해서는, 현재의 기지국만으로는 감당하기 어려운 실정이다. 더욱이 2005년 이후로 예상되는 제 4세대 이동통신에서는 20 Mbps이상의 정보전송이 필요하게 되고, 인구밀집지역인 대도시에서의 휴대전화 및 이동통신용 각종 단말기의 사용이 급증하여 통신장애의 큰 문제로 부상할 것으로 예상된다. 또한 휴대전화를 중심으로 발전한 민간용 이동통신의 흐름을 고려해 볼 때, 제 4세대 이동통신에서는 복수의 서비스를 제공할 수 있는 멀티밴드형 휴대전화가 등장할 것이고, 초고속·대용량의 서비스 지원이 필요하게 될 것이다. 특히, 이들 서비스에 대한 요구는 인구가 밀집되어 있는 대도시를 중심으로 생겨날 것이고, 지금의 기지국 시스템만으로는 이들 요구를 만족시킬 수 없을 것이므로 기지국의 증설이 필요하게 될 것이다. 그러나 대도시 지역에 새롭게 기지국을 증설한다는 것은 토지의 구입, 기지국 설치비용 및 대용량 시스템 장비의 구입 등 경제적 측면에서 엄청난 손실을 감수하지 않으면 안 될 것이다. 또한 미관상으로도 매우 좋지 않은 인상을 줄 수 있다. 따라서 이러한 문제점들을 고려해서 그 해결방안으로 DBF(Digital Beam Forming) 시스템, Smart 안테나 시스템 등이 제안되고 있다. DBF 시스템은 그림 1-1과 같이 이동 통신 기지국에서 전 방향으로 빔을 보내지 않고 해당 단말기 가입자에게만 빔을 형성하여 다중 접속에 의한 신호 간섭 효과를 최소화함으로써 수신신호 잡음레벨을 억압하여 통

신품질 향상과 시스템의 채널 용량을 높이는 기술이다. 이 기술의 핵심은 여러 개의 안테나를 배열하여 베이스밴드에서의 적응 알고리즘(Adaptive Algorithm)기술을 이용하여 원하는 방향으로만 빔을 형성하고 원하지 않는 간섭신호는 형성된 빔의 널(null) 방향으로 보냄으로써 방해 전파를 줄일 수 있다[1]. 본 논문에서는 Low-IF 방식을 이용한 DBF 수신기를 개발하여 현재의 기지국 및 초고속·대용량의 멀티서비스가 집중적으로 요구되는 인구 밀집 지역에 설치함으로써 원활한 통신서비스를 제공할 수 있게 하고자 한다.

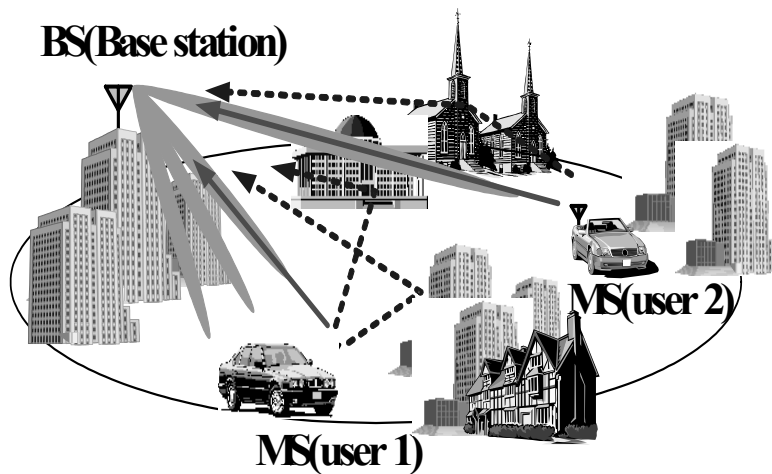


그림 1-1. DBF 송수신기에서의 빔 형성

Fig. 1-1. Beamforming of the DBF transceiver.

1.2 연구 내용

1.2.1 슈퍼헤테로다인 수신방식의 구조

통신 시스템에서 일반적으로 널리 사용되고 있는 대부분의 수신방식은 슈퍼헤테로다인(Super-heterodyne)이라는 방식을 사용하고 있다. 그림 1-2는 여러 단의 믹서를 사용하여 주파수를 하향 변환하는 슈퍼헤테로다인 수신기의 회로 블록도이다. 이것은 RF 주파수와 LO 주파수를 직접 변환하지 않고 중간에 일정한 주파수로 변환하여 처리하는 시스템이다. 이와 같이 단계적으로 주파수를 변환하는 이유는 필터의 기술적 한계 및 설계최적화에 따른 것이다. 즉 고주파에서는 필터의 손실이 크기 때문에 구현하기 힘들다. 따라서 저주파에서는 적은 손실을 갖는 필터를 구현하기 쉽기 때문에 주파수를 점진적으로 하향 변환하여 필터를 구현하는 방법을 취하게 된다. 또한 이러한 단계적 주파수 변환과정에서 각 단의 이득, 잡음지수, 전력 소모, 선형성 등을 적절히 배분하여 설계최적화를 위한 설계 자유도를 얻을 수 있게 된다. 따라서 이러한 슈퍼헤테로다인 방식은 시스템의 안정성과 성능이 우수하다는 큰 장점 때문에 대부분의 통신방식에서 사용되어져 왔다[2]. 하지만 이미지 주파수에 의한 간섭이나 회로가 복잡하고 비용이 많이 든다는 단점이 있다. 현재에 와서는 단말기와 같은 개인휴대통신에서 사용하기 위한 한정된 공간에서 다양한 멀티미디어 서비스를 제공하기 위해서 회로가 간단한 Low-IF 방식이나 직접변환 방식을 이용한 기술개발이 활발히 진행되어지고 있다.

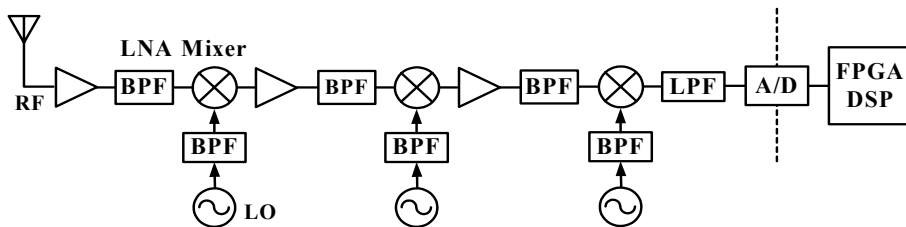


그림 1-2. 슈퍼헤테로다인 수신방식의 회로 블록도

Fig. 1-2. Block Diagram of super-heterodyne.

1.2.2 Low-IF 수신방식의 구조

Low-IF 방식은 Near Zero IF라고도 불린다. 그 이유는 슈퍼헤테로 다인 수신방식에서의 높은 IF 주파수를 선택하지 않으며 직접변환 방식에서와 같이 신호가 베이스밴드로 바로 변환되지도 않는다. 그래서 슈퍼헤테로 다인 방식에서 사용되는 부피를 많이 차지하는 IF SAW(Surface Acoustic Wave) 필터를 필요로 하지 않는다. Low-IF 구조에서는 수신되는 RF 신호를 수백 kHz ~ 수십 MHz 대의 낮은 IF 신호로 변환시켜서 이미지 주파수가 원하는 신호의 주파수와 근접해 있어서 이미지 신호의 크기가 크지 않다고 가정할 수 있으므로 높은 이미지 제거율이 필요하지도 않다. 또한 IF 신호가 0 Hz는 아니기 때문에 직접변환 방식에서 나타날 수 있는 문제들인 DC offset문제, LO신호 누설 문제 등을 피할 수 있는 장점이 있다. 그리고 DC 성분 옆에 낮은 IF가 선택되어진다면 flicker noise와 자기믹싱(Self-mixing)과 같은 문제점이 사라진다. 뿐만 아니라 IF가 낮은 주파수라면 IF 필터의 Q값이 낮더라도 채널 선택을 할 수 있다는 큰 장점이 있다. 결론적으로 Low-IF 방식은 직접변환 방식으로의 접근이 쉽고, IF 단을 대폭 줄일 수 있어서 수신기의 저가격, 소형화라는 측면과 멀티밴드화의 관점에서 유리하다. 그림 1-3은 슈퍼헤테로 다인 방식과 직접변환 방식의 중간단계인 Low-IF방식을 나타낸 회로 블록도이다.

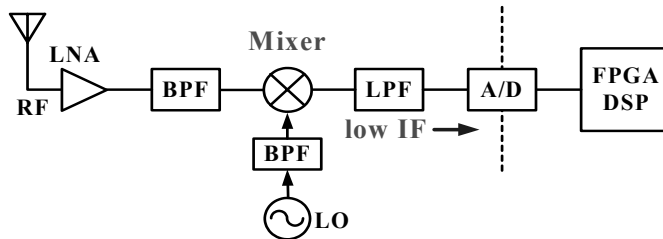


그림 1-3. Low-IF 수신방식의 회로 블록도

Fig. 1-3. Block Diagram of Low-IF.

안테나로부터 RF신호가 입력되어 저잡음 증폭기에 의해 증폭되고 1단의 믹서를 사용하여 IF신호로 출력된다[3]. 출력된 IF신호는 A/D 컨버터에 의해 디지털신호로 변환되고, 각 입력신호를 직교하는 I, Q 베이스밴드 신호로

주파수 변환된다. 각각의 I, Q 채널을 통해 들어 온 신호는 DSP(Digital Signal Processing)나 FPGA(Field Programmable Gate Array)에 의해 디지털적으로 수신 빔의 처리를 행하게 된다[4].

1.2.3 직접변환 수신방식의 구조

직접변환 방식(Direct Conversion)은 그림 1-4와 같이 첫 번째 믹서에서 RF 신호와 같은 LO 신호를 입력하여 원하는 채널의 0 Hz 신호로 직접 변환하는 방식이다. 따라서 이러한 직접변환 방식은 Zero-IF 방식이라고 불리기도 한다. 기존의 수신방식에서는 여러 단의 주파수 변환으로 인한 비선형특성으로 인해 발생하는 혼변조 신호(Inter-modulation)이나 스퓨리어스 신호를 제거하기 위해 여러 대역통과 필터를 사용하게 되는데 이러한 것은 비용의 증가를 가져오게 된다. 직접변환 방식의 장점으로 RF 부품 감소로 인해 비용 절감과 회로의 크기가 작아지는 장점이 있다. 그리고 직접변환 방식이 그동안 일반적으로 사용되지 못한 이유로는 여러 가지가 있다.

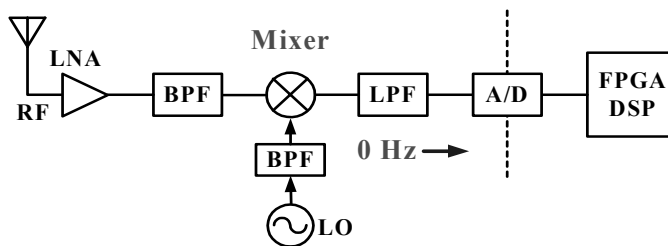


그림 1-4. 직접변환 수신방식의 회로 블록도

Fig. 1-4. Block Diagram of direct conversion.

그 중에서도 DC offset 문제가 크게 대두된다. DC offset은 LO 신호가 믹서나 저잡음 증폭기의 입력으로 새어나가는 경우와 큰 간섭신호들이 LO 입력으로 누설되어 나가는 경우에 이러한 신호들이 믹서에서 자기믹싱되어 생기는 현상이다. 그래서 DC 성분이 발생하게 되고 offset된 전압이 믹서 뒷단들을 포화시켜 신호증폭을 방해하거나 왜곡시킨다. 즉 RF쪽과 LO쪽의 격리도가 좋지 않다면 LO 신호가 믹서의 입력, 저잡음 증폭기의 입력 혹은 안테나로 새어나가게 되어 같은 주파수를 사용하는 다른 수신기들로 방

사되어 간섭신호로서 작용하게 된다. 하지만 현재에 와서는 RF 부품의 단가 부담과 기존 시스템의 복잡성 문제로 인해 직접변환 방식이 널리 연구 개발되어 채택되어지고 있다. 반도체기술의 급격한 발전과 함께 직접변환 방식이 채택된 IC들이 개발되어 사용되어지는 실정이다. 특히나 단말기와 같은 한정된 공간에서의 안정된 동작과 비용 감소, 보다 많은 멀티미디어 서비스를 제공하기 위해서 그리고 향후 발전하게 될 멀티밴드화로의 발전을 위해서는 이러한 직접변환 IC의 연구와 개발은 절대적으로 필요하게 된다 [5][6].

1.3 연구 목표

기지국용 수신 방식으로는 기존의 슈퍼헤테로다인 방식과 Low-IF 방식 및 직접변환 방식을 들 수 있다. 기존의 슈퍼헤테로다인 방식은 회로의 신호가 비교적 안정적이기는 하나 크기가 커지고 부품이 많이 소요된다는 단점이 있고, 직접변환 방식은 DC offset의 단점이 있다. 그러나 Low-IF 방식은 직접변환 방식으로의 접근이 쉽고, IF 단을 대폭 줄일 수 있어서 수신기의 저가격, 소형화라는 측면과 멀티밴드화의 관점에서 유리하다. 따라서 본 논문에서는 믹서단을 대폭 줄이고 안정도도 유지할 수 있는 Low-IF 방식을 채택하여 8 채널 DBF 수신기를 설계 및 제작하는 것을 목표로 한다.

제 2 장 DBF 수신기용 평형 저잡음 증폭기의 설계 및 제작

2.1 바이어스 회로의 설계

바이어스 회로는 능동소자에 적절한 전압과 전류를 인가하기 위하여 사용된다. 바이어스 회로는 구성된 소자에 의해 능동 바이어스(Active bias)회로와 수동 바이어스(Passive bias)회로로 구분할 수 있다. 능동 바이어스 회로는 공급되는 전원이 다소 변동하더라도 일정하게 전압과 전류를 소자에 공급할 수 있도록 PNP 트랜지스터 등과 같은 능동 소자를 사용하여 구성한 회로를 말한다. 수동 바이어스 회로는 능동소자를 사용하지 않고 저항만으로 필요한 전압과 전류를 공급하는 회로를 말한다.

2.1.1 능동 바이어스 회로

그림 2-1은 설계하고자 하는 800 MHz대역 평형 저잡음 증폭기에 적용한 능동 바이어스 회로를 나타내고 있다. 바이어스 회로의 초기 인가 전압인 V_{cc} 가 5 V일 때 증폭소자인 HEMT에 2 V/15 mA의 전압과 전류를 인가하기 위해서 KEC사의 2907 PNP 트랜지스터를 사용하여 능동 바이어스 회로를 설계하였다. 바이어스 회로에 사용된 각각의 저항값들을 계산하기 위해

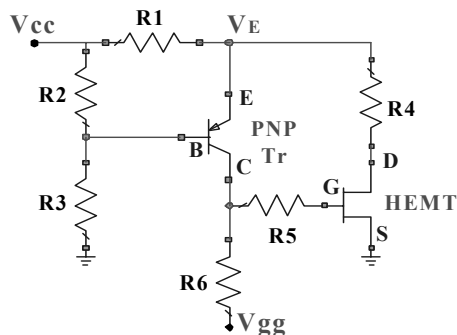


그림 2-1. 능동 바이어스 회로

Fig. 2-1. The active bias circuit.

우선 HEMT의 드레인(Drain) 출력단에는 발진 제거 역할을 겸할 수 있는 저항 R_4 를 낮은 값인 18 Ω 을 사용하였고, 게이트(Gate)와 소스(Source)에 $-V_{gs}$ 전압을 위한 R_5 와 R_6 을 다소 높은 저항값으로 각각 1 k Ω 과 20 k Ω 을 사용하였다. 따라서 간단한 전압 분배 공식에 의해서 R_1 , R_2 , R_3 를 각각 180 Ω , 1.8 k Ω , 1 k Ω 을 계산할 수 있다. 이러한 능동 바이어스 회로는 증폭 소자인 HEMT에 큰 전압 강하를 가지게 않게 하며, 회로에 대한 온도 안정성을 제공한다. 그리고 HEMT 소자는 음전압과 양전압을 동시에 사용하고 있는데 HEMT의 게이트와 소스에 인가되는 $-V_{gs}$ 전압을 자동적으로 설정하는 큰 장점이 있으므로 바이어스 회로 설계 시 널리 사용된다[7].

2.1.2 수동 바이어스 회로

그림 2-2는 증폭소자인 HEMT나 MMIC 증폭기에 전압과 전류를 인가하기 위해서 실험적으로 간단하게 구성할 수 있는 수동 바이어스 회로로서 단지 저항만으로 전압과 전류를 제어 할 수 있다. 따라서 이러한 수동 바이어스 회로는 저잡음 증폭기 첫채단에 사용하는 것 보다는 이득을 보상하기 위한 MMIC 증폭기와 같은 회로 구성에 널리 사용된다. 일반적으로 상용화되어 있는 MMIC 증폭기의 경우 데이터 시트에서 주어지는 전압과 전류가 인가되면 충분한 이득을 얻을 수 있기 때문에 그림 4와 같이 간단한 수동 바이어스 회로를 사용한다.

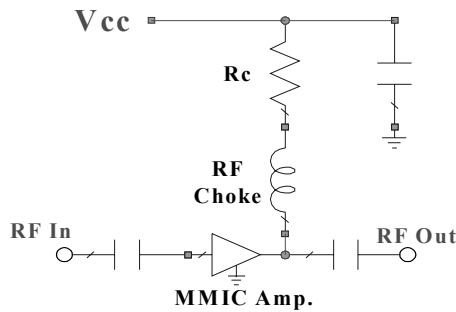


그림 2-2. 수동 바이어스 회로

Fig. 2-2. The passive bias circuit.

수동 바이어스 회로의 저항 R_c 는 V_{cc} , V_d , I_d 에 의해서 구해진다. 그리고 V_d 의 경우는 사용하고자 하는 MMIC의 데이터 시트 상에서 주어진다. 따라서 MMIC인 MSA-2743의 경우 V_d 가 3.9 V이므로 V_{cc} 와 I_d 가 5 V/ 50 mA를 인가하고자 할 때 간단한 저항공식에 의해서 바이어스 저항 R_c 값은 22 Ω 으로 계산할 수 있다[8].

2.2 800 MHz대역과 2 GHz대역 평형 저잡음 증폭기의 설계 및 제작

DBF 수신시스템에서 사용하기 위한 저잡음 증폭기는 가용 전력 범위가 넓어야 하며, 능동소자를 포함한 회로의 일부가 동작하지 않을 경우 성능은 다소 떨어지더라도 안정적인 동작을 하여야 한다. 이러한 점을 고려해서 그림 2-3과 같은 평형 증폭기(Balanced Amplifier)가 일반적으로 설계되어 왔다. 평형 구조를 사용하면 평균적으로 P1dB와 OIP3가 개선되며 입·출력 반사계수가 향상되는 장점이 있다[9][10]. 따라서 본 논문에서도 저잡음 증폭기의 성능향상과 안정도를 고려한 평형 증폭기를 설계대상으로 하였다. 저잡음 증폭기의 설계에 사용된 RF 시뮬레이션 툴은 MWO-2002를 사용하였다[11].

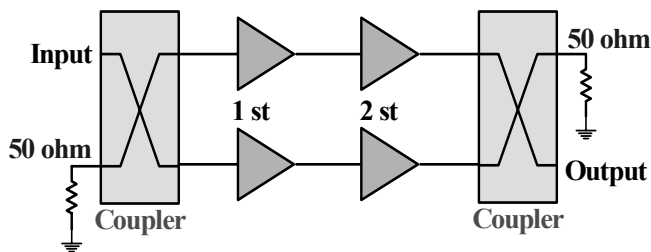


그림 2-3. 평형 저잡음 증폭기의 회로 구성도

Fig. 2-3. Block Diagram of balanced-LNA.

표 2-1은 본 논문에서 설계하고자 하는 800 MHz 대역과 2 GHz대역의 두 가지 평형 저잡음 증폭기의 설계 사양을 나타내고 있다.

표 2-1. 평형 저잡음 증폭기의 설계 사양

Table 2-1. Design spec. of balanced-LNA.

Item list	Cellular	IMT-2000
Frequency	824~849 MHz	1,920~1.980 MHz
Gain	30 dB	25 dB
Gain flatness	±0.5 dB	±0.5 dB
Return loss	-15 dB	-15 dB
Noise Figure	1.5 dB	1.5 dB
P1dB	10 dBm	15 dBm
Total bias	5V / 120 mA	5V / 140 mA
Impedance	50 Ω	

2.2.1 800 MHz대역 평형 저잡음 증폭기

평형 저잡음 증폭기의 특성을 분석하기 위해서 먼저 800 MHz대역 저잡음 증폭기를 설계·제작하였다. 그림 2-4는 제작된 800 MHz대역 평형 저잡음 증폭기의 사진을 보여주고 있으며, 전체 회로의 크기는 90 mm × 55 mm 이다. 회로의 구성은 저잡음 증폭기의 첫째단에는 Agilent사의 low noise HEMT인 ATF-35143, 둘째단인 이득단은 MMIC인 INA- 10386을 사용하였다. 이득단의 MMIC 증폭기의 경우에는 내부 정합된 회로이므로 첫째단 증폭기의 임피던스를 고려하지 않아도 된다. 그리고 평형 증폭기로 설계하기 위해 Anaren사의 90° 하이브리드 커플러인 1D1304-3을 사용하였다. 저잡음 증폭기의 입·출력단 정합을 위해 Q값이 높은 코일형 인덕터 (1Φ, 4turn)와 칩 커패시터를 사용하여 매칭 회로를 구성하였다. 입력단 정합을 위해 사용된 코일형 인덕터의 값은 약 10nH이다. 하지만 코일형 인덕터의 간격을 조절하면 코일형 인덕터의 내부 분포용량의 값이 변화하므로 인덕터의 값을 변화 시킬 수 있다. 인덕터의 간격을 늘리면 분포용량 값이 증가하기 때문에 결과적으로 인덕터의 값은 10 nH보다 작게 된다. 이러한 입력쪽의 코일의 값을 변화시킴으로서 저잡음 증폭기의 입력단 매칭을 용이하기 정합시킬 수 있다. 이러한 코일형 인덕터는 일반적인 적층형 인덕터보다 Q값이 높기 때문에 RF 입력 주파수의 범위를 광대역화 할 수 있다는 장점이 있어서 저잡음 증폭기의 입력단 매칭 회로 구현에 널리 사용된다[12].

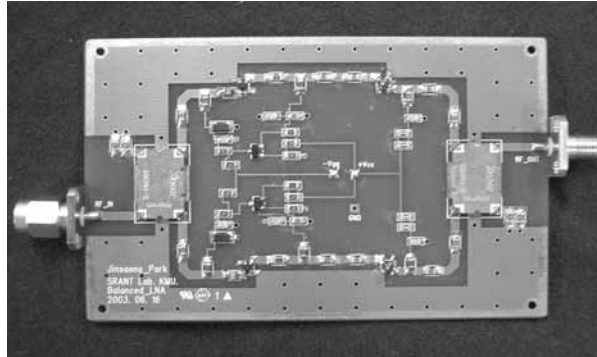


그림 2-4. 제작된 800 MHz대역 평형 저잡음 증폭기

Fig. 2-4. The fabricated 800 MHz balanced-LNA.

그리고 ATF-35143과 INA-10386에 각각 2 V/15 mA, 5 V/45 mA의 전압과 전류를 인가하기 위한 바이어스 회로를 구성하였다. 첫째단에는 ATF-35153의 음전압 $-V_{gs}$ 를 가지기 위한 능동 바이어스 회로를 구성하였고, 이득단에는 수동 바이어스 회로를 구성하였다. 실제로 ATF-35143의 게이트와 소스 사이에는 약 -0.3 V정도의 음전압이 인가되는 것을 전압측정기로 확인할 수 있었다. 따라서 평형 저잡음 증폭기의 전체 바이어스는 5 V/120 mA의 전압과 전류가 인가되도록 설계하였다.

2.2.2 2 GHz대역 평형 저잡음 증폭기

그림 2-5은 제작된 2 GHz대역 평형 저잡음 증폭기의 사진을 보여주고 있으며, 전체 회로의 크기는 80 mm × 45 mm 이다. 회로 구성은 첫째단과 이득단에는 각각 Agilent사의 ATF-34143, MMIC MSA-2743을 사용하였으며, 커플러는 Anaren사의 1X503을 사용하였다. 첫째단의 ATF-34143과 이득단 MSA-2743에 각각 2 V/20 mA, 5 V/50 mA의 전압과 전류를 인가하기 위해서 수동 바이어스 회로를 구성하였다. 이러한 전압과 전류는 데이터 시트에 나타난 최소의 전압, 전류를 선택하였다. 그리고 2 GHz대역 저잡음 증폭기 첫째단에 사용된 ATF-34143의 경우에는 소자자체의 안정도를

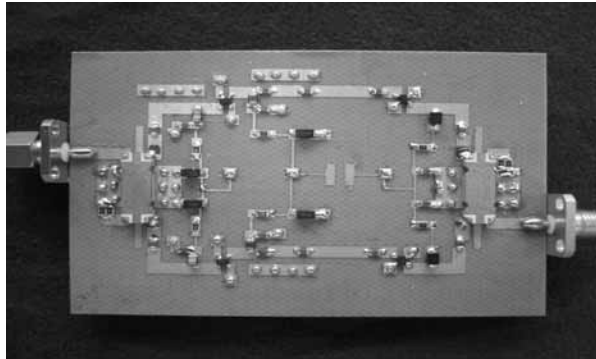


그림 2-5. 제작된 2 GHz대역 저잡음 증폭기
Fig. 2-5. The fabricated 2 GHz balanced-LNA.

개선하기 위해서 소스 리드와 그라운드 사이에 그림 2-6과 같이 $1\text{ mm} \times 2\text{ mm}$ 정도 크기의 마이크로스트립선로를 연결한 직렬 귀환(Series feedback) 회로를 사용하였다. ATF-34143의 소자자체의 안정도 K값은 설계주파수 1.95 GHz에서 K값이 1보다 작은 0.43이다.

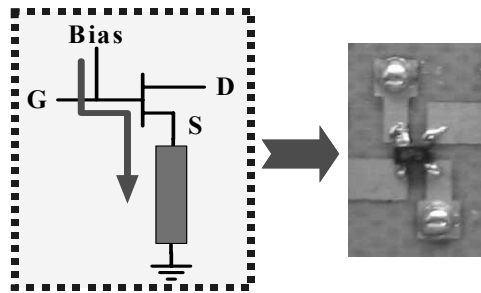


그림 2-6. 직렬 귀환 회로
Fig. 2-6. The circuit of series feedback.

그래서 직렬 귀환 회로를 사용한 결과 그림 2-7에서와 같이 안정도 K값이 1.01로 개선되었다. 이러한 직렬 귀환 회로는 발진제어, 임피던스 매칭, 선형성 증가의 장점을 가지지만, 이득과는 반비례 관계를 가진다. 즉 직렬 귀환 회로의 원리는 S_{12} 를 감소시키는 것인데, S_{12} 가 감소하면 필연적으로 S_{21} (이득)도 감소하게 된다[13].

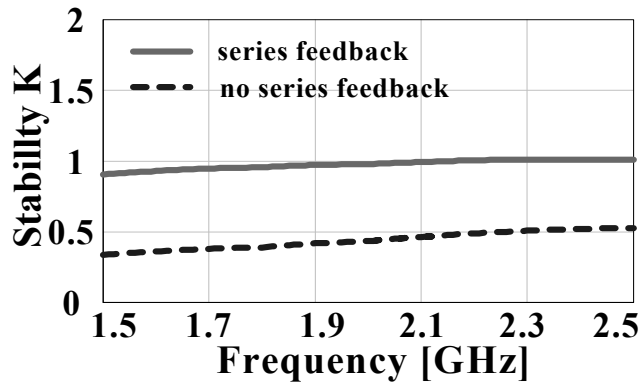


그림 2-7. ATF-34143 소자 안정도 K의 향상

Fig. 2-7. The improvement of ATF-34143 stability K.

2.3 측정결과

2.3.1 이득 및 입·출력 반사손실 측정

회로망 분석기를 사용하여 제작된 평형 저잡음 증폭기의 이득과 입·출력 반사손실을 측정하였다. 반사손실 측정은 저잡음 증폭기의 측정 대역 내의 입·출력 반사비로 제한함으로써 신호 손실을 최소화하여 회로의 신뢰성을 향상시키는데 그 목적이 있다. 그림 2-8은 800 MHz대역 저잡음 증폭기의 이득과 입·출력 반사손실 특성을 나타내고 있다. 측정된 이득은 33 dB이며, S_{11} , S_{22} 는 각각 -21.3 dB, -20.1 dB로 측정되었다. 설계 주파수 대역인 824 ~ 849 MHz 사이에서 이득의 대역 평탄도는 ± 0.3 dB 이내에서 안정적으로 동작하고 있다.

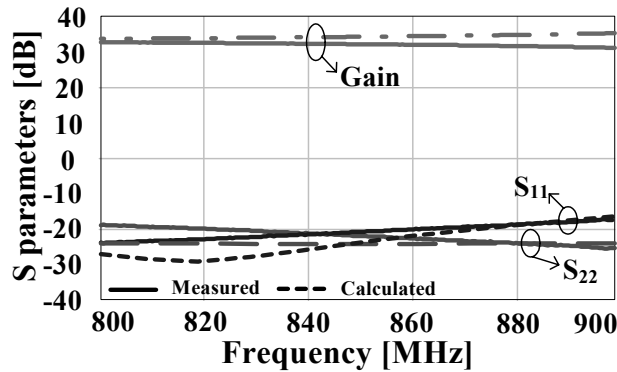


그림 2-8. 800 MHz대역 저잡음 증폭기의 측정된 이득 및 반사손실
Fig. 2-8. Measured gain & return loss of 800 MHz LNA.

그림 2-9는 2 GHz대역 저잡음 증폭기의 이득과 입·출력 반사손실 특성을 나타내고 있다. 측정된 이득은 27 dB이며, S_{11} , S_{22} 는 각각 -26.5 dB, -19.7 dB로 측정되었다. 설계 주파수 대역인 1,920 ~ 1,980 MHz 사이에서 이득의 대역 평탄도는 ± 0.3 dB 이내에서 안정적으로 동작하고 있다. 제작된 평형 저잡음 증폭기의 입·출력 반사손실이 측정주파수 대역에서 -20 dB 이하로 양호하게 측정되었다. 이것은 Anaren사의 $90^\circ/3$ dB 하이브리드 커플러에 의해 위상이 0° 와 90° 로 정확히 차이가 나는 신호가 평형 구조의 두 증폭기에 의해 입력 전력을 반으로 나누어 증폭하기 때문이다 [14]. 또한, 800 MHz대역과 2 GHz대역 평형 저잡음 증폭기의 측정된 값들은 이론적으로 설계한 값들과 잘 일치하였다.

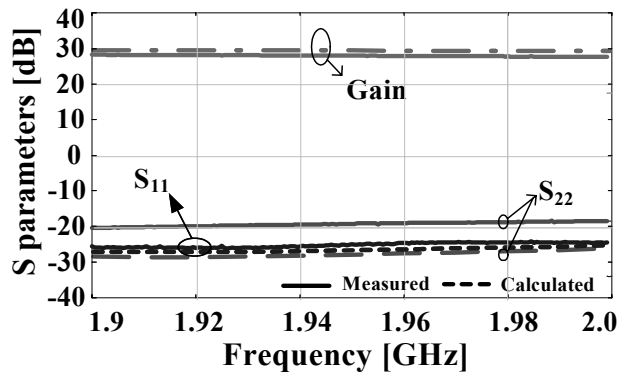


그림 2-9. 2 GHz대역 저잡음 증폭기의 측정된 이득 및 반사손실
Fig. 2-9. Measured gain & return loss of 2 GHz LNA.

2.3.2 잡음지수 특성 측정

잡음지수(Noise Figure)는 주로 잡음이 많이 포함된 미약한 신호를 수신해야 하는 수신단에 영향을 미치는 중요한 파라미터이다. 따라서 잡음지수는 수신된 신호를 가장 먼저 증폭시키는 저잡음 증폭기에서 가장 중요한 문제가 된다. 잡음지수는 수식 (1)과 같이, 특성상 다단 증폭기 구조 중에서 첫째단의 영향을 가장 많이 받게 된다. 그래서 다단 저잡음 증폭기를 설계할 때에는 첫째단의 잡음지수를 가장 좋게 설계하고 다음 단부터는 이득을 증가시키기 위한 구조로 설계한다. 전체적인 수신 시스템 측면에서 보더라도 항상 안테나 다음 단에 위치한 저잡음 증폭단의 잡음지수 값에 따라 수신 시스템 전체의 잡음지수 값을 결정하게 된다[15].

$$NoiseFigure = NF_1 + \frac{NF_2 - 1}{G_1} \quad (1)$$

그림 2-10과 그림 2-11은 제작된 평형 저잡음 증폭기의 잡음지수 시뮬레이션 결과와 잡음지수 측정기를 사용하여 측정된 잡음지수 특성을 나타내고 있다. 그림 10과 같이 800 MHz대역 저잡음 증폭기에서는 측정 주파수 대역인 824 ~ 849 MHz에서 잡음지수는 0.7 ~ 0.8 dB로 계산되었으며, 실제 측정된 값은 1.25 dB였다. 그리고 그림 11의 2 GHz대역 저잡음 증폭기에서는 잡음지수는 0.8 ~ 0.9 dB로 계산되었으며 실제 측정된 값은 1.45 dB였다. 평형 구조로 저잡음 증폭기를 설계할 경우 사용된 입력쪽 커플러의 삽입손실(Insertion Loss)이 잡음지수에 포함되기 때문에 일반적인 2단 저잡음 증폭기의 잡음지수에 비해 다소 높게 나타난다. 하지만 측정된 잡음지수 1.45 dB는 설계하고자 하는 DBF 수신기의 첫단 잡음지수로서 적합하다.

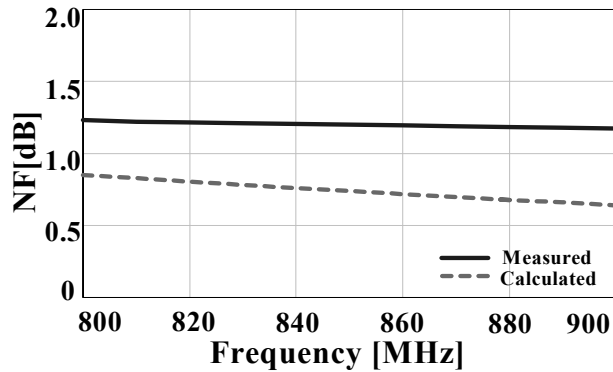


그림 2-10. 800 MHz대역 저잡음 증폭기의 잡음지수 특성

Fig. 2-10. NF characteristics of 800 MHz LNA.

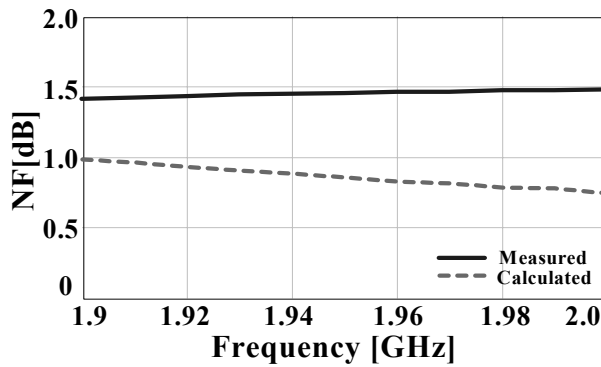


그림 2-11. 2 GHz대역 저잡음 증폭기의 잡음 지수 특성

Fig. 2-11. NF characteristics of 2 GHz LNA.

2.3.3 P1dB 특성 측정

P1dB(1 dB gain compression point)는 저잡음 증폭기의 출력 전력 설정을 위한 증폭기 이득의 선형성을 나타내는 지표이다. 저잡음 증폭기의 이득은 계속적으로 선형성을 나타내는 것이 아니라 어느 한계점에 도달하면 더 이상 입력된 신호에 대해서 증폭이 되지 않고 1 dB가 줄어들게 되는 포화상태(Saturation)가 된다. 즉, 입력 신호전력 대 출력 신호 전력의

비를 나타내는 것이 P1dB이다[16]. 그림 2-12는 제작된 800 MHz대역과 2 GHz대역 평형 저잡음 증폭기의 P1dB를 측정한 결과이다. 입력 주파수는 각각 836 MHz와 1,950 MHz에서 측정하였다. 800 MHz대역과 2 GHz대역 평형 저잡음 증폭기의 P1dB 출력은 각각 13 dBm, 17.5 dBm으로 측정되었다.

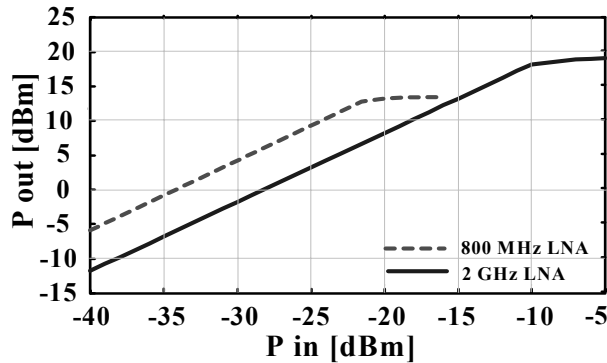


그림 2-12. 측정된 평형 저잡음 증폭기의 입·출력 전달특성

Fig. 2-12. Measured P_{in}/P_{out} characteristics of 800 MHz & 2 GHz LNA.

평형 저잡음 증폭기는 각 구조가 2단으로 구성되어 있는데 첫째단의 P1dB는 이득단을 구동하기 위해서 중요하겠지만, 최종 출력 P1dB는 이득단의 MMIC 증폭기의 P1dB에 크게 의존한다. 평형 저잡음 증폭기의 설계에 사용된 INA-10386과 MSA-2743의 P1dB는 각각 11 dBm, 15 dBm 인데 비해 실제로 제작된 평형 저잡음 증폭기의 P1dB 특성은 측정주파수 대역에서 약 2 dB 정도 개선되었다. 따라서 설계된 평형 저잡음 증폭기는 높은 선형성을 가진다.

2.3.4 Two-Tone test 측정

스펙트럼 분석기를 이용하여 제작된 2 GHz대역 평형 저잡음 증폭기의 인접 채널 신호에 의한 IMD(Inter-modulation Distortion) 특성 시험을 하였다. 그림 2-13은 두 대의 신호 발생기로부터 각각 1.25 MHz의 간격을 가지는 1948.75 MHz와 1950 MHz 신호를 인가하였을 때 출력 신호는 약 4.1 dBm이며 3차 혼변조 신호(IM3)는 -56 dBm으로 IMD가 -60.1 dBc인 것을 확인할 수 있다. 원하는 출력신호에 비해 혼변조 신호가 아주 낮기

때문에 두 입력 신호의 채널 간섭은 아주 낮다. 그리고 OIP3는 34.15 dBm 이 되고, IIP3는 7.15 dBm.으로 계산되었다.

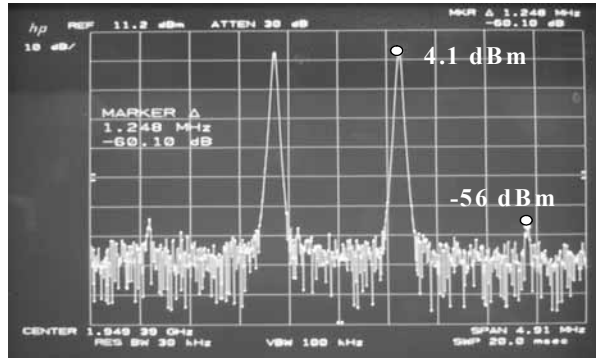


그림 2-13. 2 GHz대역 평형 저잡음 증폭기의 two-tone test
Fig. 2-13. Measured two-tone test of 2 GHz LNA.

2.4 특성평가

DBF 수신시스템의 전단에 사용되는 저잡음 증폭기를 각각 800 MHz 대역과 2 GHz대역에 대하여 설계·제작하여 그 특성을 측정하였다. 저잡음 증폭기의 설계에 있어서 고이득과 안정성을 얻기 위해 하이브리드 커플러를 이용한 평형 구조 방식을 채택하였다. 800 MHz대역 저잡음 증폭기는 ATF-35143과 INA-10386을 이용해 33 dB의 이득, -20 dB이하의 반사손실, 1.25 dB의 잡음지수, 13 dBm의 P1dB 특성을 얻었다. 그리고 2 GHz대역 저잡음 증폭기는 ATF-34143과 MSA-2743을 이용해 27 dB의 이득, -20 dB이하의 반사손실, 1.45 dB의 잡음지수, 17.5 dBm의 P1dB, 그리고 -60 dBc의 IMD 특성을 얻었다. 측정된 800 MHz대역과 2 GHz대역 평형 저잡음 증폭기의 특성은 표 2-1에서 제시된 설계 사양에 잘 일치한다.

제 3장 Low-IF 방식을 이용한 1 채널 DBF 수신기의 설계 및 제작

3.1 1 채널 DBF 수신기의 구조 설계

8 채널 DBF 수신기를 설계하기 위해 먼저 하나의 채널을 구성하고 있는 RF단을 설계하였다. 그림 3-1은 Low-IF 방식을 이용한 DBF 수신기의 회로 블록도를 나타낸다. 수신주파수는 60 MHz의 대역폭을 가지는 기지국용 IMT-2000 수신주파수 대역인 1920 ~ 1980 MHz에서 중심 주파수인 1950 MHz를 대상으로 하였다[17].

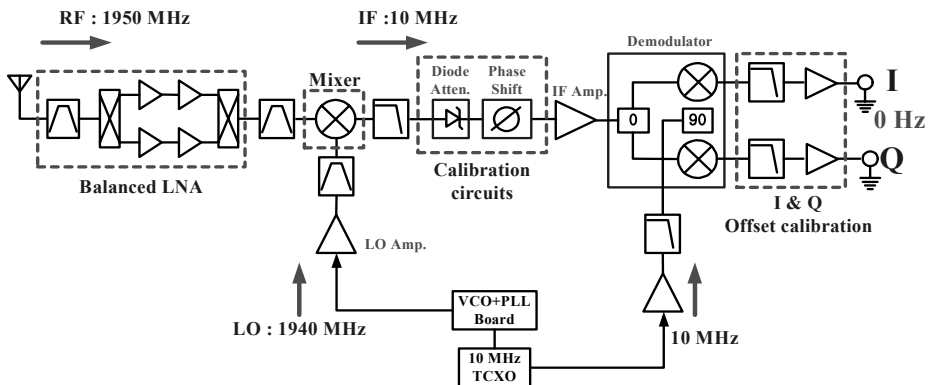


그림 3-1. Low-IF 방식을 이용한 DBF 수신기의 회로 블록도
Fig. 3-1. The block diagram of DBF receiver using Low-IF.

안테나로부터 입사되는 1950 MHz는 채널 선택을 위한 대역통과 필터를 통과하여 평형 형태로 구성된 2단의 저잡음 증폭기에 의해 RF 신호가 저잡음 증폭된다. 그리고 증폭된 RF 신호는 이미지 제거를 위한 대역통과 필터에 의해 대역통과 되어 10 MHz IF 출력을 위해 믹서에서 주파수 하향 변환된다. 이때 LO 신호는 PLO(PLL+VCO)에서 출력되는 1940 MHz와 주파수 합성된다. 출력된 10 MHz IF 신호는 고주파 성분을 제거하기 위해 10 MHz 저역통과필터에 의해 저역통과하게 된다. 그리고 10

MHz IF 신호는 RF 신호의 레벨을 조정하기 위해 핀 다이오드(PIN diode)를 이용한 이득 조정회로를 지나게 되며 위상 조절기(Phase shift)에 의해 위상을 조정하게 된다. 이렇게 핀 다이오드를 이용한 이득 조정회로와 위상 조절기는 출력된 IF 신호에 대한 조정(Calibration) 회로를 구성하게 된다. 복조기(De-modulator)의 전단에는 IF 입력 레벨을 맞추기 위해서 IF 증폭기가 사용되었다. 최종적으로 복조기에서 90° 위상차를 가지는 DC 레벨의 I, Q 신호를 출력하기 위해 10 MHz IF 신호와 TCXO에서 발생된 10 MHz를 복조기에서 주파수 변환하여 0 Hz에 가까운 I, Q 신호를 출력하였다. 그리고 최종적으로 각각의 I, Q 포트에서 출력된 I, Q신호의 미세한 오차를 조정하기 위해서 OP amp.를 이용한 I, Q offset 조정회로를 사용하였다.

본 논문에서 DBF 수신기의 채널을 구성하는 RF단 설계의 가장 큰 특징은 LO 주파수로서의 10 MHz TCXO의 사용이다. RF 주파수 혼합을 위한 믹서단에서 LO의 1940 MHz를 발진시키기 위해 PLO의 기준 주파수원으로 10 MHz TCXO를 사용하였다. 또한 RF 1950 MHz와 LO 1940 MHz를 서로 주파수 혼합하여 출력된 10 MHz IF는 최종적으로 베이스 밴드 I, Q 신호를 출력하기 위해 복조기회로에 입력된다. 복조기회로의 LO 주파수를 위해서 따로 PLO단을 구성하지 않고 1940 MHz PLO의 기준 주파수원으로 사용된 TCXO의 10 MHz를 복조기 회로의 LO 주파수로 사용하였다. 이러한 구조를 이용함으로써 두 단의 LO단이 필요한 것이 한 단의 LO단을 이용하여 최종 I, Q 신호를 출력하였다. 따라서 소자의 수를 줄일 수 있어서 비용과 회로의 크기를 줄일 수 있는 큰 장점이 있다.

3.2 수신기의 회로설계

위의 그림 3-1에서 제시한 DBF 수신기의 회로 블록도를 구성하고 있는 각단의 회로를 상용화된 RF 소자와 모듈, R, L, C 소자를 이용하여 회로를 설계·제작하였다. 상용화된 소자와 모듈은 설계하고자 하는 주파수 대역에 적합하고, 안정된 동작을 할 수 있는 것으로 선택되어야만 한다.

3.2.1 RF 대역통과 필터(BPF)

설계한 회로 블록도에서는 안테나 다음단과 저잡음 증폭기의 출력단 그리고 믹서단의 LO 입력단에 각각 RF 대역통과 필터를 사용하였다. 안테

나로부터 수신된 RF 신호는 여러 주파수들이 섞여 있으므로 원하는 주파수 대역만 통과할 수 있는 즉 채널 선택을 위해 대역통과 필터를 사용한다. 채널을 여러 개 사용하는 경우 채널들 전체(in-band)를 통과시켜주어야 하며, 송수신기에서와 같이 동일한 안테나를 사용하는 경우에는 듀플렉스(Duplexer)가 채널 선택 필터를 겸하게 된다. 그리고 저잡음 증폭기의 출력단에 사용된 대역통과 필터는 증폭된 신호 중에서 발생하는 치명적인 이미지 주파수(Image frequency)가 믹서단으로 입력되는 것을 막기 위해 다시 한번 대역통과 필터를 사용하게 된다. 실제로 이미지 주파수는 송신기보다는 수신기에서 더 중요한 문제가 된다. 그 이유는 믹서단에서 주파수 하향 변환을 하게 될 때 RF 주파수인 f_1 (1950 MHz)과 LO 주파수 f_2 (1940 MHz)를 하향 변환 시키면 $f_1 - f_2$ (10 MHz)의 낮은 주파수 성분이 출력되는데, 이때 $2f_2 - f_1$ (1930 MHz)의 주파수가 입력되어 LO 주파수 f_2 (1940 MHz)와 변환되면 $f_2 - (2f_2 - f_1) = f_1 - f_2$ 의 출력이 나타날 수 있다. 이것은 원래 원하는 f_1 성분의 주파수 하향 변환된 주파수와 일치하게 된다. 이 경우 필요한 f_1 (1950 MHz)에 반송된 정보만 필요한 것이므로 $2f_2 - f_1$ (1930 MHz)의 정보는 불필요한 잡음이 되어 원래 정보를 혼란시킬 수 있다. $2f_2 - f_1$ 의 주파수는 송신 때도 마찬가지로 LO 주파수를 기준으로 RF 주파수가 대칭인 곳에 존재한다. 따라서 이러한 주파수를 이미지 주파수라고 한다. 이러한 이미지 주파수를 제거하기 위해 스커트(Skirt)특성이 좋은 고가의 SAW(Surface Acoustic Wave)필터를 일반적으로 사용한다. 또한 이러한 이미지 제거용 대역통과 필터는 스퓨리어스 주파수들을 제거하고 RF단과 IF단을 분리하여 수신기의 안정성을 도모하게 된다. 마지막으로 믹서단의 LO 입력단에 사용된 대역통과 필터 역시 PLO에서 출력되는 LO 주파수의 스퓨리어스 주파수들을 제거하기 위해서 사용된다[18][19].

본 논문에서 사용된 RF 대역통과 필터는 그림 3-2에 나타난 Murata사의 DFCB31G-96LBJAA를 사용하였고, 표 3-1에 대역통과 필터의 스펙을 나타내었다. 중심주파수 1960 MHz에서 대역폭 60 MHz를 가지기 때문에 설계하고자 하는 1950 MHz에서 사용가능하다.



그림 3-2. Murata사의 RF BPF(DFCB31G96LBJAA)
 Fig. 3-2. The BPF(DFCB31G96LBJAA) of Murata company.

표 3-1. RF 대역통과 필터(DFCB31G96LBJAA)의 설계 사양
 Table 3-1. Design spec. of RF BPF(DFCB31G96LBJAA).

Model No.	Fo [MHz]	BW [MHz]	Operation Temperature Range [Deg. C]	IL at BW [dB]
DFCB31G96LBJAA	1960	60	-30 ~ +85	Max. 3.7

3.2.2 주파수 혼합기(Mixer)

현재의 무선 통신 시스템에서 믹서는 상당히 중요한 부분을 차지하고 있다. 믹서는 일반적으로 다른 능동소자와는 달리 3 포트 소자로써 RF, IF, LO로 구성되어 있다. 주파수 변환을 위해서 송신부와 수신부에서 모두 사용되지만, 본 논문에서는 수신부만 언급한다. 그림 3-3은 수신부에서 RF 신호가 믹서에 입력되고 LO 신호가 입력되었을 때 두 주파수의 차를 출력하는 주파수 하향변환을 나타내고 있다.

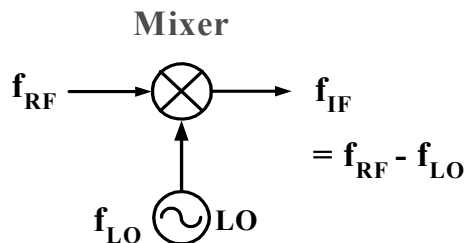


그림 3-3. RF mixer에서의 주파수 하향 변환
 Fig. 3-3. The frequency down conversion in the RF mixer.

이때 믹서의 중요한 역할은 RF 신호에 포함된 정보는 유지하고 베이스밴드에서 정보를 처리하기 위해서 단지 주파수만을 하향 변환한다.

RF 믹서는 FET나 다이오드 등의 능동소자를 사용하여 이러한 능동소자의 비선형 특성을 이용한다. 따라서 원하는 주파수만 출력되는 것이 아니라 원하지 않은 혼변조성분이 출력된다. 이러한 혼변조성분은 수신기의 성능에 크게 영향을 미치므로 필터를 사용하여 제거하게 된다. 믹서는 DC가 필요한 FET 등을 이용한 능동 믹서와 DC가 필요 없는 다이오드를 이용한 수동 믹서 두 가지로 분류된다. 이것을 간단히 정리하면 아래 표 3-2와 같다.

표 3-2. 능동 믹서와 수동 믹서의 구분

Table 3-2. Classification of Active mixer & Passive mixer.

구분 지표	Active mixer	Passive mixer
비선형소자	TR(BJT, FET, HEMT 등)	Diode
DC 입력	○	×
변환이득	Conversion gain	Conversion loss
회로구성	복잡	간단
특징	증폭에 의해 신호를 크게 할 수 있으나 발진과 같은 문제점을 수반.	DC 입력 없이 쉽게 구현이 가능하나 출력신호의 크기가 작아서 IF 증폭기가 필요.

본 논문에서 DBF 수신기의 주파수 혼합을 위해 사용된 믹서는 Mini-circuits사의 ADE-18을 사용하였고, 내부 회로 구성도를 그림 3-4에 나타내었다. 그리고 표 3-3에 믹서의 스펙을 나타내었다. 설계주파수인 RF 1950 MHz, LO 1940 MHz 그리고 IF 10 MHz의 주파수범위가 선택한 믹서 ADE-18의 동작주파수 범위에 포함된다. ADE-18은 4개의 다이오드와 2개의 트랜스포머로 구성된 더블 밸런스 믹서의 형태를 가진다. 더블 밸런스 믹서는 광대역에서 동작하고, 2개의 트랜스포머에 의해 각 입력 포트에 대한 격리도가 우수하다. 그리고 IP3가 우수하여 선형이 뛰어나다는 장점이 있다[20]. 본 논문에서는 RF와 LO의 주파수가 각각 1950 MHz, 1940

MHz인데 아주 근접한 주파수 이다. 따라서 RF와 LO의 격리도가 아주 중요한 문제가 된다. 본 논문에서 사용된 ADE-18은 표 3-3에서와 같이 약 4.9 dB의 변환 손실(Conversion Loss)을 가지지만 RF-LO의 격리도는 약 27 dB로서 아주 우수한 특성을 가지고 있기 때문에 이러한 포트간 격리도 문제를 해결할 수 있다.

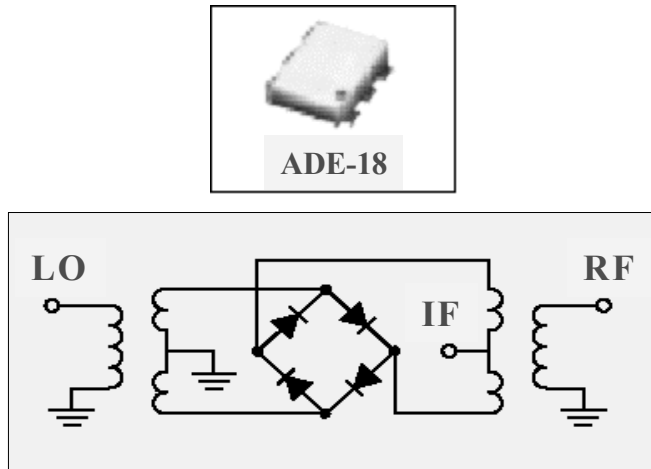


그림 3-4. Mini-circuits사의 RF Mixer(ADE-18)

Fig. 3-4. The RF mixer(ADE-18) of Mini-circuits company.

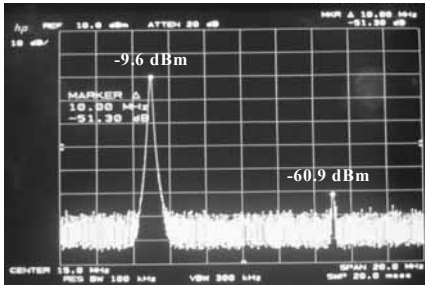
표 3-3. RF 믹서(ADE-18)의 설계 사양

Table 3-3. The spec. of RF Mixer(ADE-18).

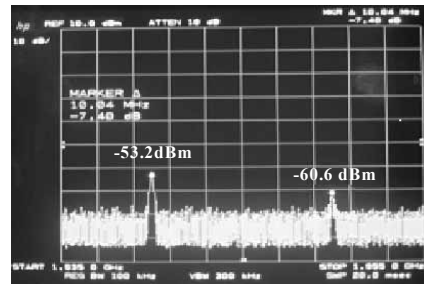
Model No.	Frequency [MHz]	Conversion Loss [dB]	LO-RF Isolation [dB]	LO-IF Isolation [dB]
ADE-18	LO/RF : 1700 ~ 2500 IF : DC ~ 600	4.9	Typ. 27	Typ. 10

그림 3-5는 1 채널 DBF 수신기의 믹서단에서 출력된 IF 스펙트럼을 나타낸다. RF 입력레벨, LO 입력레벨이 각각 -50 dBm, 6.5 dBm일 때 측정된 IF 출력 레벨과 고조파 성분들은 10 MHz, 20 MHz, 1940 MHz, 1950 MHz 그리고 3.69 GHz에서 각각 -9.6 dBm, -60.9 dBm, -53.2 dBm, -60.6 dBm 그리고 -30.8 dBm이다. 고조파 성분들은 원하는 10 MHz의 IF 출력

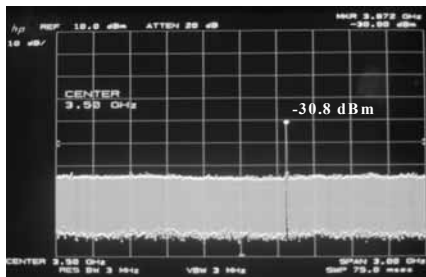
레벨과 비교하여 충분한 차이가 나기 때문에 원하는 10 MHz에서 양호한 IF 신호를 얻었다.



(a) IF and harmonic components.



(b) High frequency band components.
(2 GHz-Band)



(c) High frequency band components. (3 GHz-Band)

그림 3-5. 믹서의 측정된 출력 스펙트럼

Fig. 3-5. The measured output spectrum of mixer.

3.2.3 IF 저역통과 필터(LPF)

대부분의 수신시스템은 RF 신호를 베이스밴드 신호로 변환하기 전에 어떤 주파수로 한번 하향 변환한다. 여기서 RF 신호와 베이스밴드의 중간에 위치하는 주파수를 IF, 즉 중간주파수라고 부른다. 실제로 통신시스템에서 정보를 가지고 있는 음성은 수 kHz, 화상이나 데이터는 MHz 단위의 아주 낮은 주파수이다. 따라서 RF와 같은 고주파 신호에서 정보를 바로 처리하기는 힘들기 때문에 IF 주파수로 하향 변환해서 처리하게 된다. 또한 고주파는 파장이 매우 짧기 때문에 필터와 같은 각종 회로단을 거치게 되는데 여기서 위상지연으로 인해 여러 가지 나쁜 영향들이 발생한다.

하지만 IF 신호로 하향 변환하여 처리하면 주파수가 낮아지기 때문에, 결과적으로 파장이 길어져서 위상지연의 문제점을 많이 줄일 수 있다[21].

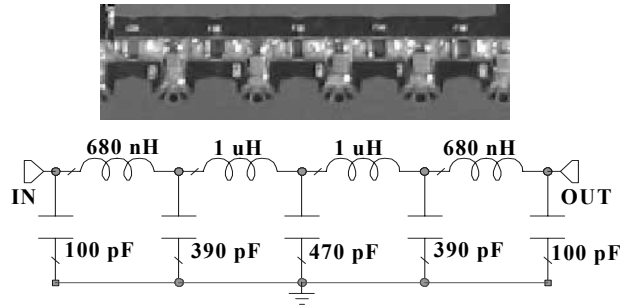


그림 3-6. MHz LPF의 회로도 및 사진

Fig. 3-6. The circuit & picture of 10 MHz LPF.

본 논문에서는 믹서의 출력단에서 10 MHz IF 신호를 출력하기 위해 10 MHz LPF를 설계하였다. 저역통과 필터의 스킵트(Skirt) 특성을 향상시키기 위해서 소자수를 9개 사용하였다. 계산된 소자값들은 시뮬레이션 툴인 MWO-2002를 사용하여 설계하였다. 그림 3-6은 설계·제작한 10 MHz의 회로도와 사진을 나타내고 있다.

그림 3-7은 제작된 10 MHz 저역통과 필터의 S_{11} 과 S_{21} 의 계산값과 측정된 결과값을 나타내고 있다. 차단주파수인 f_c 는 13 MHz 정도에서 설계하였으며 계산값과 측정값이 약간의 차이는 있지만 원하는 10 MHz 대역에서 주파수 특성이 아주 양호하다.

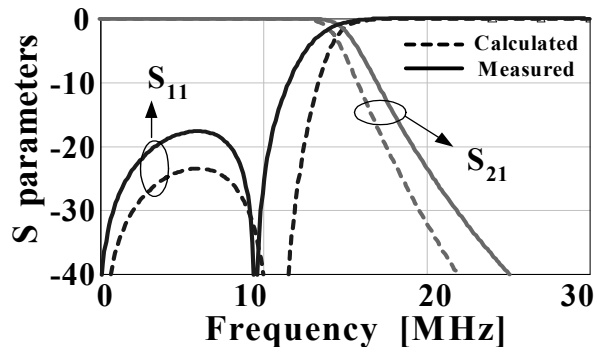


그림 3-7. 측정된 10 MHz LPF의 s parameters

Fig. 3-7. Measured parameters of 10 MHz LPF.

3.2.4 10 MHz 발진기(TCXO)

10 MHz 발진기로 사용된 TCXO(Temperature Compensated Crystal Oscillators)는 Q값이 높은 크리스탈(Crystal)을 이용한 대표적인 발진기의 하나이다. TCXO는 온도에 따라 발진주파수가 변하기 때문에 그것을 thermistor (thermal sensitive resistor)를 이용하여 발진주파수의 오차를 줄인 발진기이다. 수 MHz ~ 수십 MHz에 이르기까지 온도변화에 대한 주파수 안정도가 높기 때문에 PLO(PLL+VCO)에서 기준 주파수원으로 널리 사용된다.

본 논문에서는 위에 언급한 PLO의 기준 주파수원과 복조기의 LO 입력주파수로 사용되기 때문에 TCXO에서 발생하는 10 MHz는 Mini-circuits사의 파워 디바이더(Power divider)인 PSC-2-1에 의해 분배되어 PLO와 복조기에 각각 입력된다. 일반적으로 TCXO는 PLO의 기준 주파수원만으로 사용이 되지만 본 논문에서는 TCXO를 복조기의 LO 입력주파수로 사용함으로써 LO단을 하나만 사용하는 장점이 있다. 그림 3-8은 Vectron사의 초소형 10 MHz TCXO의 사진을 나타내고 있으며, 표 3-4는 TCXO의 스펙을 나타내고 있다.



그림 3-8. Vectron사의 Ultra Miniature 10 MHz TCXO

Fig. 3-8. The Ultra Miniature 10 MHz TCXO of Vectron company.

표 3-4. 10 MHz TCXO의 설계 사양

Table 3-4. The spec. of 10 MHz TCXO.

Model	Freq. [MHz]	Voltage / Current	Stability (25 °C)	Phase Noise at 10 MHz(Typ.)
TCXO	10 MHz	3 ~ 5 V / 1.5 mA	±1.5 ppm	-80 dBc/Hz at 10 Hz offset -125 dBc/Hz. at 100 Hz offset -145 dBc/Hz. at 1 KHz offset -148 dBc/Hz. at 10 KHz offset -150 dBc/Hz. at 100 KHz offset

동작 전압/전류는 각각 5 V/1.5 mA이며 발진기의 안정도는 ± 1.5 ppm으로 안정적으로 동작한다. 그리고 phase noise는 발진기의 발진 성능을 나타내는 지표중의 하나로서 발진파형이 스펙트럼분석기에서 얼마나 정확하게 출력하느냐를 나타낸다. 즉 중심주파수에서 몇 Hz offset된 지점에서 중심주파수 신호 에너지보다 얼마나 전력이 떨어지느냐를 나타낸다. 그래서 위상 잡음(Phase Noise)은 dBc/Hz 라는 단위를 사용한다. 표에서 각각의 offset 지점에서 위상 잡음을 잘 나타내고 있다[22].

그림 3-9와 같이 사용된 TCXO는 10 MHz에서 안정적으로 동작하고 있다.

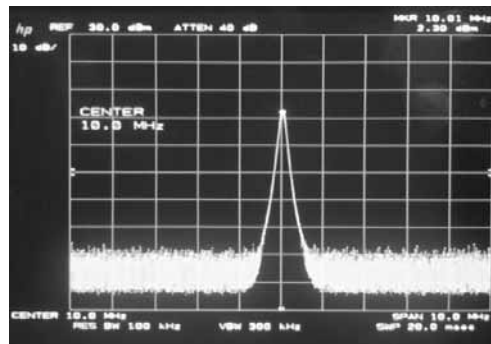


그림 3-9. TCXO의 10 MHz 출력 스펙트럼

Fig. 3-9. The 10 MHz output spectrum of TCXO.

3.2.5 1940 MHz 주파수 합성기(PLO)

RF 시스템에서 주파수 변환을 위해 믹서의 LO 입력 주파수를 위해서는 VCO(Voltage Control Oscillator)로부터 필요한 주파수를 발생시켜 사용한다. 하지만 VCO의 출력주파수는 주변 회로의 영향이나 온도와 같은 상황에 의해 많은 영향을 받아서 출력주파수가 미세하게 변한다. 그렇게 되면 RF 시스템이 정상적으로 작동하기가 힘들다. 따라서 VCO의 출력주파수를 변하지 않게 주파수를 고정하는 것이 PLL(Phase Locked Loop)이다. 그림 3-10은 PLL과 VCO를 결합한 PLO의 회로 블록도이다. 먼저 ① 4 MHz 발진기는 PLL를 제어하는 CPU의 클럭을 맞추기 위해 사용되는 기준 발진기이다. ② CPU는 ③ TCXO는 온도변화에 의해 주파수가 흔들림 없이 안정적인 주파수를 출력할 수 있는 크리스탈 발진기이다. 이러한 안정

된 주파수를 기준 주파수로 이용하여 출력 주파수가 맞는지 비교해준다. ③ 위상 검출기(Phase Detector)와 펄스-전압변환기(Charge Pump) 그리고 프로그래머블 카운터(Programmable Counter)를 구성하고 있는 PLL IC를 프로그램에 의해서 제어하기 위해 사용된다. ④ PLL IC 내부의 위상 검출기는 TCXO의 기준주파수와 카운터를 통해 나누어져 들어온 출력주파수를 비교하여 그 차이에 해당하는 펄스를 발생시킨다. ⑤ 펄스-전압변환기는 위상 검출기에서 나오는 펄스에 비례하는 전류를 펄스 부호에 따라 변화시켜 펄스를 전류로 변환해주는 역할을 한다. ⑥ 프로그래머블 카운터는 VCO의 출력주파수를 비교해야 하는데, 주파수가 너무 높아서 비교하기 힘들기 때문에 적절한 비율로 나누어 비교하기 좋은 주파수로 만들어준다. 디지털 카운터 같은 구조로 되어 있으며, 이 분주비($1/N$)를 변화시켜 PLO의 출력주파수를 가변 할 수 있게 하는 역할을 하기도 한다. PLL IC의 핵심적인 부분이 프로그래머블 카운터로서 프로그램적으로 분주비를 변화시킬 수도 있다. ⑦ 저역통과 필터구조로 구성된 루프필터(Loop Filter)는 동작 중에 발생하는 잡음 주파수들을 제거하고, 커패시터를 이용하여 축적된 전하량 변화를 통해 VCO 조절 단자의 전압을 가변 하는 역할을 한다[23][24].

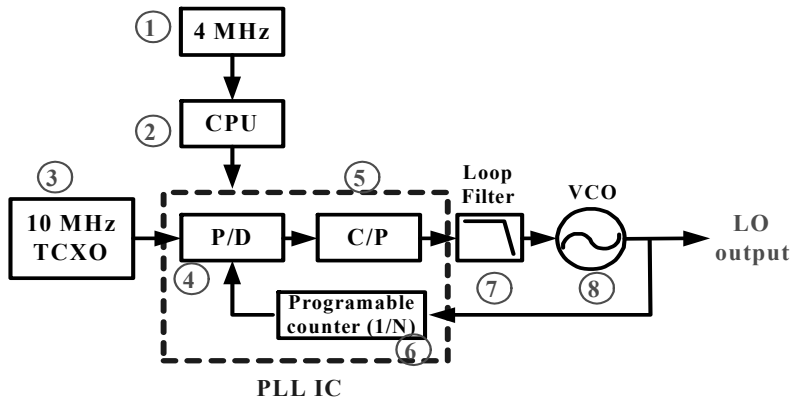


그림 3-10. PLO(PLL+VCO)의 블록도

Fig. 3-10. The block diagram of PLO(PLL+VCO).

그림 3-11은 PLO로부터 출력되는 1940 MHz LO 주파수이다. 본 논문에서는 주파수 가변을 하기 위한 PLO가 아니라 단지 하나의 LO 주파수인 1940 MHz를 요구하고 있기 때문에 하나의 주파수에 고정되어 있다.

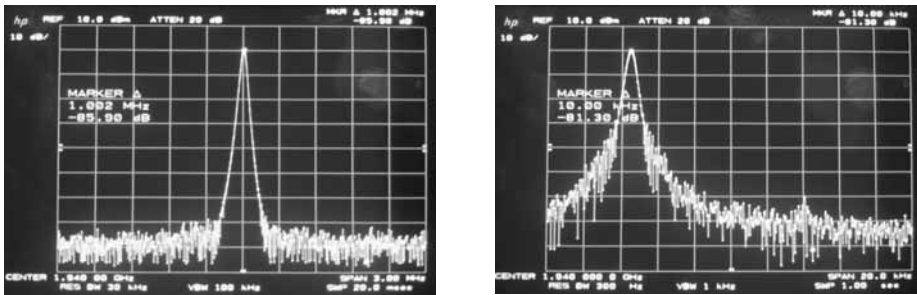


그림 3-11. 1940 MHz 주파수 합성기의 출력스펙트럼

Fig. 3-11. The output spectrum of 1940 MHz PLO(PLL+VCO).

출력된 스펙트럼에서 보는 바와 같이 중심주파수 1 MHz 떨어진 곳
은 위상 잡음이 약 -85 dBc/Hz이고, 10 kHz 떨어진 지점에서는 위상 잡음
은 -81 dBc/Hz로서 안정적으로 동작하고 있다는 것을 알 수 있다.

3.2.6 핀 다이오드를 이용한 이득조정용 감쇠기

RF 회로에 응용되는 감쇠기의 종류에는 고정감쇠기로서 측정용으로
사용되는 커넥터 형태의 고정감쇠기와 저항소자를 이용한 레벨 튜닝용 π
형태의 고정감쇠기가 있고, 가변 감쇠기의 종류에는 FET나 고정 저항과
핀 다이오드(PIN diode)를 결합한 가변 감쇠기, 그리고 디지털 IC를 이용
한 디지털 가변형 감쇠기 등이 있다. 표 3-7은 FET 가변감쇠기와 핀 다이
오드 감쇠기를 비교하고 있으며 본 논문에서는 전체 수신기의 전압/전류에
서 최대한 음전압을 사용하지 않기 위해서 핀 다이오드를 이용한 전압 가
변 감쇠기를 설계하였다.

표 3-5. FET 가변감쇠기와 핀 다이오드 감쇠기의 비교

Table 3-5. Comparison of FET atten. & PIN diode atten.

FET	- IC 칩으로 제작. 소형 경량에다가 수명이 길다. - FET 자체가 격리도(Isolation) 특성이 좋지 않아서 정밀도에는 한계가 있으며, 음전압이 필요하다는 단점이 있다. (DC-DC 컨버터가 필요)
PIN Diode	- 전체적인 특징은 FET 타입과 비슷하지만, 음전압 필요하지 않다.

그림 3-12는 Toshiba사의 RF 감쇠기용 핀 다이오드인 1SV128의 레이어아웃을 보여주고 있으며, 그림 3-13은 핀 다이오드의 순방향 전류(I_F)가 가변 할 때, 고주파 저항값(r_s)이 변화하여 이득을 제어하는 원리를 이용하고 있다. 이것은 π 형태 감쇠기의 각 저항소자 대신에, 핀 다이오드를 사용하거나, 고정 저항과 PIN diode를 조합함으로써 구현됩니다. 이러한 가변형 감쇠기는 증폭기 출력신호를 검출하여 감쇠량을 제어하는 AGC(Auto Gain Control) 회로, 온도특성 보상회로 등에서 많이 이용된다[25].

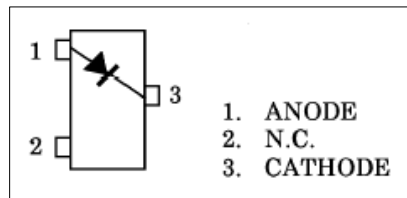


그림 3-12. Toshiba사의 RF 감쇠기용 핀 다이오드(1SV128)

Fig. 3-12. The PIN diode of Toshiba company for RF attenuator(1SV128).

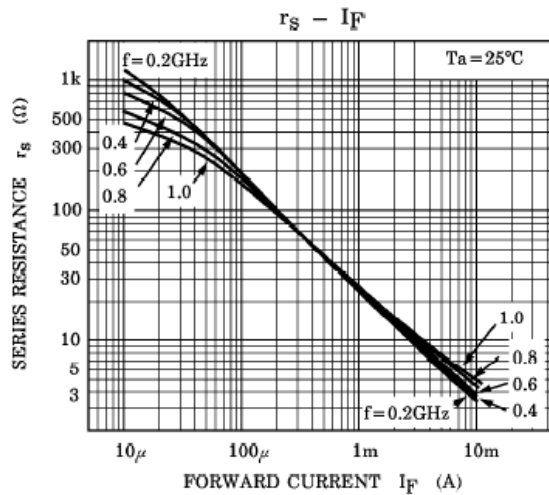


그림 3-13. PIN 다이오드의 r_s - I_F

Fig. 3-13. The series resistance(r_s)/forward current(I_F) of PIN diode.

그림 3-14는 고정저항 270 Ω 과 핀 다이오드를 이용하여 IF 주파수의 레벨을 조정하기 위해서 설계하였다. 입력 전압이 15 V일 때 가변저항 10 K에 의해서 전압이 가변되어 IF 신호의 레벨을 조정한다.

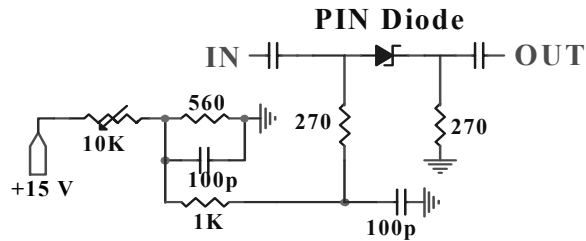


그림 3-14. 핀 다이오드를 이용한 전압 가변 감쇠기 회로

Fig. 3-14. The circuit of variable voltage attenuator using PIN diode.

3.2.7 전압 가변 위상조절기

위상 조절기(Phase Shift)는 설계된 회로의 위상이 틀어졌을 때 보정해주기 위한 기능 및 회로 특성상 특별한 위상으로 동기 시켜 주어야 할 경우 위상 조절기가 필요하다. 본 논문에서는 핀 다이오드를 이용한 이득 조정 회로와 함께 IF 신호에 대한 보정회로로서 위상 조절기가 사용되었다. 설계하고자 하는 다 채널 DBF 수신기를 설계·제작하기 위해서 각 채널의 I, Q 신호들에 대한 각 채널 위상을 동기 시켜주기 위해서 이러한 위상 조절기가 필요하게 된다[26]. 그림 3-15는 Mini-circuits사의 위상 조절기인 JSPHS-12의 사진을 나타내고 있으며, 표 3-6은 JSPHS-12의 스펙을 나타내고 있다. 주파수 대역폭은 10 MHz IF를 위해서 8 ~ 12 MHz 이고, 위상 조절 범위는 0 ~ 180°이다. 대역폭 내에서의 삽입손실은 약 1 dB정도이며, 가변 전압 범위는 핀 다이오드와 같이 0 ~ 15 V이다.

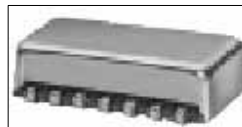


그림 3-15. Mini-circuits사의 위상조절기(JSPHS-12)

Fig. 3-15. The phase shift(JSPHS-12) of Mini-circuits company.

표 3-6. 위상 조절기(JSPHS-12)의 설계 사양

Table 3-6. The spec. of Phase Shift(JSPHS-12).

Mode	Freq. [MHz]	Phase Range [Deg.]	IL at BW [dB]	Control Voltage [V]	VSWR (: 1)
JSPHS-12	8 ~ 12	180	Typ. 0.9 Max. 2.5	0 ~ 15	Typ. 1.2 Max. 1.8

그림 3-16은 DBF 수신기에 사용하기 위해서 설계된 위상 조절기의 회로이다. 입력 전압이 15 V일 때 가변 저항 10 K에 의해서 가변된 전압에 의해 IF 신호의 위상을 조절한다.

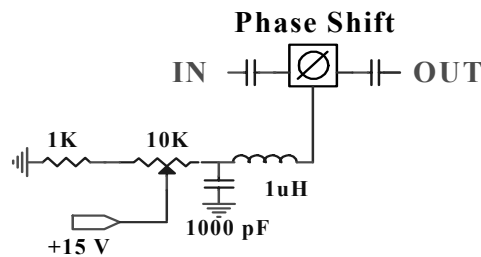


그림 3-16. 전압 가변 위상조절기 회로

Fig. 3-16. The circuit of variable voltage phase shift.

3.2.8 복조기(De-modulator) 회로

그림 3-17은 I(In-phase)와 Q(Quadrature-phase)신호를 출력하기 위한 복조기 회로 블록도이다. 믹서로부터 출력된 10 MHz IF와 PLO의 기준 주파수원으로 사용된 10 MHz TCXO로부터 분배된 10 MHz LO와 혼합되어 0 Hz를 가지는 0°와 90°의 위상차를 가지는 I, Q 신호를 출력한다. 그리고 베이스밴드로 전송되어 A/D 컨버터에 의해서 디지털적으로 신호처리를 하게 된다. 이러한 I, Q 신호는 정확히 90°의 위상을 가지므로 A/D 컨버터에서 신호 처리 할 때 하나의 신호만 사용 할 수도 있지만, 신호의 왜곡이 발생했을 경우에는 정확한 오차를 검출 할 수 있는 장점이 있고 또한

두 신호는 서로 독립적인 수직 관계이므로 상호 간섭하는 경우도 없다. 이러한 I, Q 다이어그램은 I, Q 변복조기를 사용하는 대부분의 디지털 통신 신호들의 생성 방식을 나타내주므로 중요하다. I와 Q 신호들은 송수신기 내의 동일한 LO에서 합성된다. 90° 의 위상 각 변환기가 송신측의 변조기에 있기 때문에 수신측에서도 위상차 나는 두 신호를 검출하기 위해서 복조기가 필요하다. 두 신호는 서로 간섭하지 않기 때문에 수신측에서 두 신호를 분리해 낼 수 있다. 이러한 이유로 현재 널리 사용되고 있는 디지털 변조는 I, Q 방식의 기술을 사용한다. 대부분의 디지털 변조에서는 각 데이터를 I, Q 평면상에 개별적인 점들로 매핑하는 형식을 취한다. 이 점들을 별자리 포인트라고 부르기도 한다. 신호를 한 점에서 다른 점의 위치로 이동하게 되며, 보통 진폭과 위상 변조가 동시에 일어난 것이다. 진폭 변조 장치와 위상 변조 장치를 이용하여 이러한 과정을 수행하기는 까다롭고 복잡하다. 게다가 위상 변조 장치로는 이러한 동시 변조를 실행 할 수 없다. 따라서 I, Q 기술은 신호를 중심점을 축으로 한 쪽 방향으로 영구히 회전 할 수 있기 때문에 I와 Q 신호 간에 적절한 위상각을 부여하면 무한대의 위상 변화가 가능하게 된다[27].

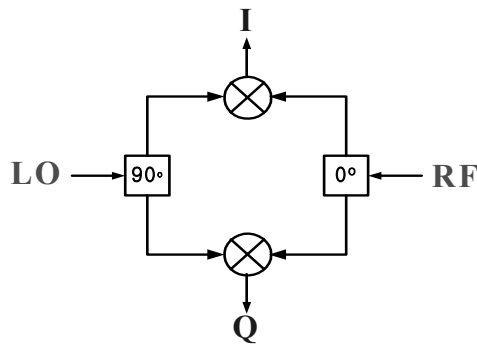


그림 3-17. I, Q 신호를 위한 복조기 회로 블록도

Fig. 3-17. The block diagram of de-modulator for I, Q signal.

그림 3-18은 I와 Q 신호의 출력을 위해서 사용된 Mini-circuits사의 복조기인 MIQA-10D의 사진을 나타내고 있으며, 표 3-7은 MIQA-10D의 스펙을 나타내고 있다. 주파수 대역폭은 10 MHz IF를 위해서 9 ~ 11 MHz이고, 대역폭 내에서의 삽입손실은 약 6 dB정도이다. 그리고 진폭과 위상의 오차는 각각 최대 0.3 dB, 0.3° 로 우수한 특성을 나타낸다.



그림 3-18. Mini-circuits사의 복조기(MIQA-10D)
Fig. 3-18. The de-modulator(MIQA-10D) of Mini-circuits company.

표 3-7. 복조기(MIQA-10D)의 설계 사양
Table 3-7. The spec. of de-modulator(MIQA-10D).

Model No.	RF & LO Freq. [MHz]	Conversion Loss [dB]	Phase Unbalance [Deg.]	Amplitude Unbalance [dB]
MIQA-10D	9 ~ 11	Max. 6	Typ. 1.0 Max. 3.0	0.3

3.2.9 I, Q offset 조정 회로

그림 3-19는 최종 출력 신호에 대한 I, Q offset 조정 회로를 나타내고 있다. 복조기로부터 출력된 I와 Q신호는 크기가 일정한 진폭을 가지고 있어야 한다. 하지만 복조기에서 혼합되어 출력되는 신호는 offset된 미세한 오차를 가지기 때문에 이를 일정하게 보정하기 위해 I, Q offset 조정 회로가 필요하다[28]. 따라서 최종 I, Q 신호의 출력을 위해서 LM6361 op. amp를 이용하여 I, Q offset 조정 회로를 설계하였다. 입력쪽에는 고주파 성분을 제거하기 위해 10 MHz 저역통과 필터를 사용하고, 최종 출력쪽에는 BNC 커넥터로부터 I와 Q 신호가 출력된다. 설계된 회로는 같은 크기의 신호를 위해서 대칭적으로 같은 구조이다.

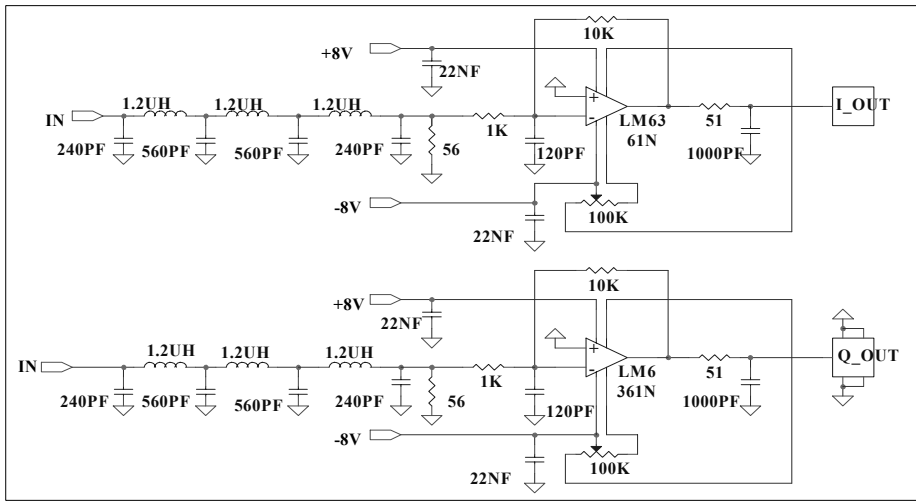


그림 3-19. I, Q 신호를 위한 offset 조정 회로

Fig. 3-19. The circuit of offset calibration for I, Q signal.

3.2.10 전원회로의 설계

그림 3-20은 설계된 DBF 수신기에 전원을 인가하기 위해 설계된 전원회로이다. DBF 수신기의 각 단계에 사용된 능동소자를 안정하게 동작시키기 위해서는 전압과 전류가 일정하게 공급될 수 있는 안정된 전원을 공급해야만 한다. 전원회로의 입력전압은 +15 V이며, Rohm사의 7808, 7805 전압 레귤레이터 IC와 JRC사의 전압 컨버터인 NJU 7660을 사용하여 각 단계에 전압을 인가하였다[29]. 입력전압 +15 V는 이득과 위상을 조절하는 편다이오드와 위상 조절기에 입력되고, 7808 레귤레이터 IC로부터 출력된 +8 V와 전압 컨버터인 NJU 7660으로부터 출력된 -8 V는 I, Q offset 조정 회로에 사용된 op. amp에 각각 인가된다. 그리고 7805 레귤레이터 IC에 인가된 +8 V는 +5 V로 출력되어 저잡음 증폭기, PLO, IF 증폭기, 그리고 각 단계의 입력레벨 조절용 증폭기에 각각 인가된다. 또한 전원 공급기에서 출력되는 전압에는 저주파 잡음이나 리플(Ripple)이 포함되어 있기 때문에 이를 제거하기 위한 저역통과 필터 형태의 전원 필터를 각 단계에 사용하여 안정된 전원을 공급하고자 하였다. 이렇게 설계된 전원회로는 DBF 수신기에 15 V, 350 mA의 전압과 전류를 인가한다.

그림 3-21의 상세 회로도를 “Power PCB”라는 Artwork 프로그램을 이용하여 실제 PCB(Printed Circuit Board)기판에 제작한 1 채널 DBF 수신기의 레이아웃(Layout)을 그림 3-22에 나타내고 있다.

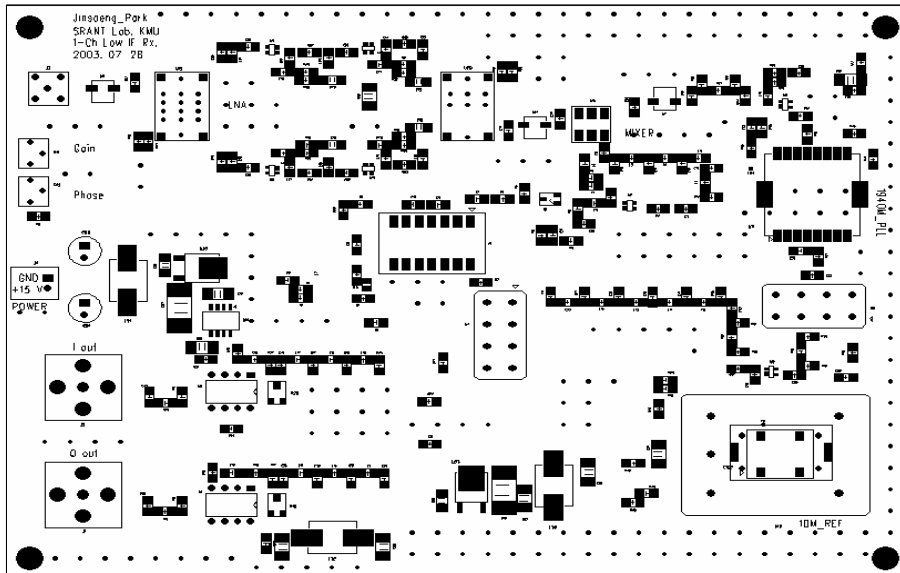


그림 3-22. 1 채널 DBF 수신기의 PCB 레이아웃
Fig. 3-22. The PCB layout of 1-Ch DBF receiver.

그림 3-23은 실제 제작된 1 채널용 DBF 수신기의 사진을 나타내고 있으며 전체 회로의 크기는 가로 180 mm × 133 mm이다.

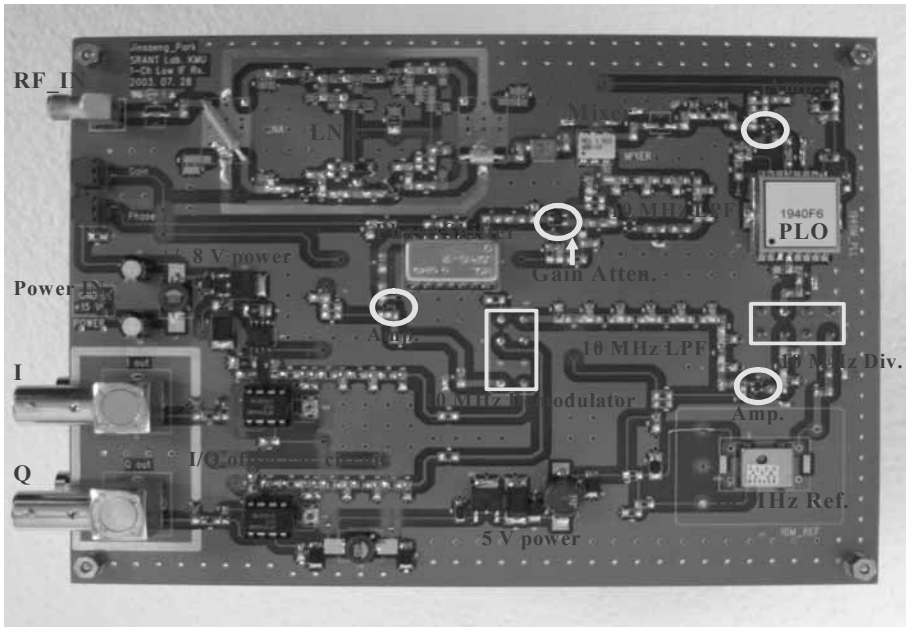
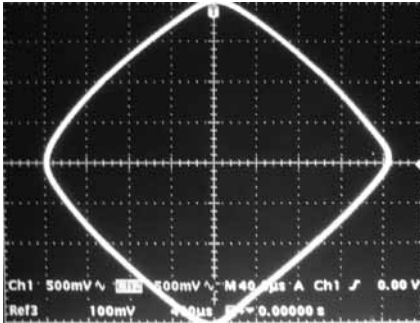


그림 3-23. 제작된 1 채널 DBF 수신기

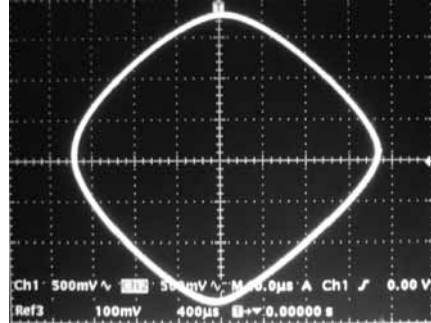
Fig. 3-23. The fabricated 1-Ch DBF receiver.

그림 3-24는 제작된 1 채널 DBF 수신기의 RF 입력 SMA 커넥터에 신호발생기를 연결하고 전원공급기를 이용하여 전원을 인가한 후 두 개의 BNC 커넥터로부터 출력되는 I, Q 신호를 디지털 오실로스코프에 연결하여 X-Y 플롯으로 측정한 결과이다. RF 입력 범위는 -100 dBm ~ -20 dBm 이다. RF 입력이 -30 dBm부터 -20 dBm까지는 거의 마름모에 가까운 모양이다. 이는 RF 입력이 너무 높아서 수신기에 포화(Saturation)가 걸려서 I, Q 신호를 판별하기 어렵다. RF 입력 -35 dBm부터는 어느 정도 원의 모양을 가지고 있으며 -60 dBm ~ -50 dBm에서는 아주 안정된 원의 모습을 보이고 있다. 그리고 -85 dBm까지는 원의 굵기가 굵지만 원의 모양을 가지고 있다. 하지만 원의 굵기가 점차적으로 굵어지다는 것은 I, Q 신호의 분산을 의미한다. 전체적으로 -80 dBm ~ -40 dBm까지는 안정적인 원의 모습을 보이고 있다. 이것은 최종 I와 Q 신호의 진폭과 위상이 일정하다는

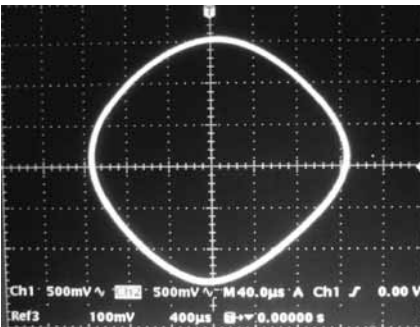
것을 의미한다. RF 입력 -90 dBm 이하에서는 원의 모습을 찾기 힘들며 I, Q 신호가 완전히 분산되어 신호의 검출이 어렵다는 것을 나타낸다.



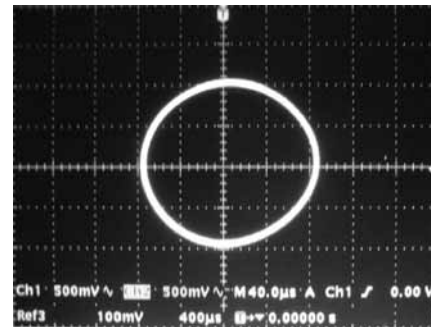
(a) RF Input : -20 dBm(500 mV/div.)



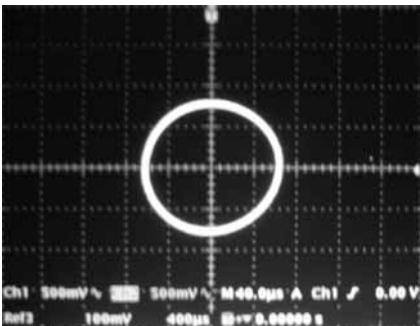
(b) RF Input : -25 dBm(500 mV/div.)



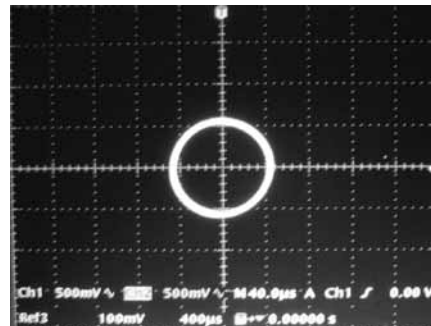
(c) RF Input : -30 dBm(500 mV/div.)



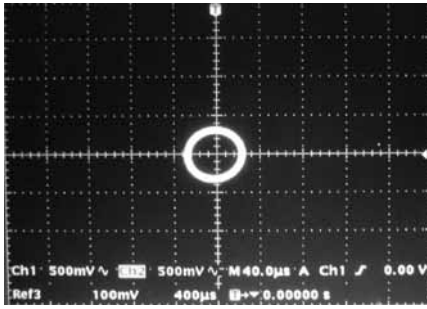
(d) RF Input : -35 dBm(500 mV/div.)



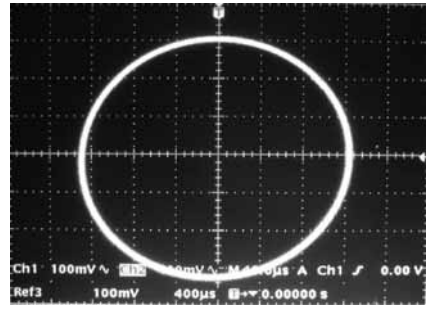
(e) RF Input : -40 dBm(500 mV/div.)



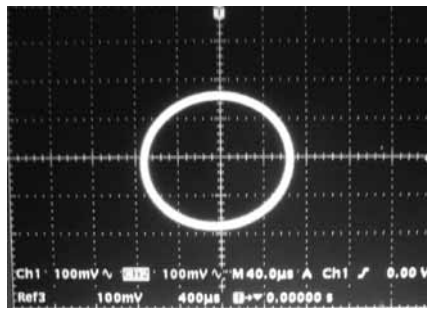
(f) RF Input : -45 dBm(500 mV/div.)



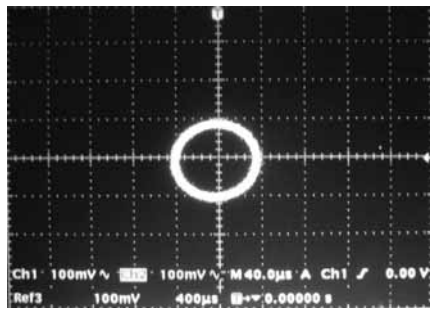
(g) RF Input : -50 dBm(500 mV/div.)



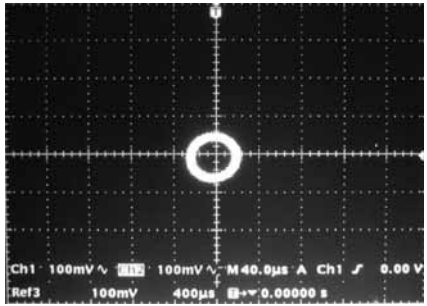
(h) RF Input : -55 dBm(100 mV/div.)



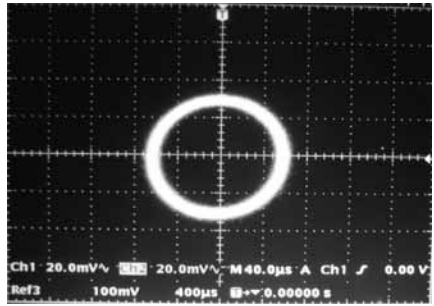
(i) RF Input : -60 dBm(100 mV/div.)



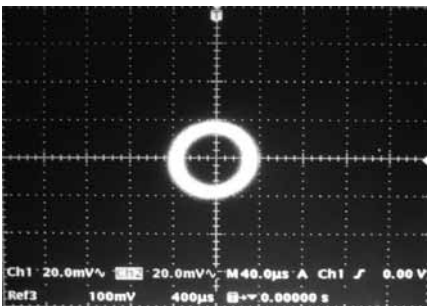
(j) RF Input : -65 dBm(100 mV/div.)



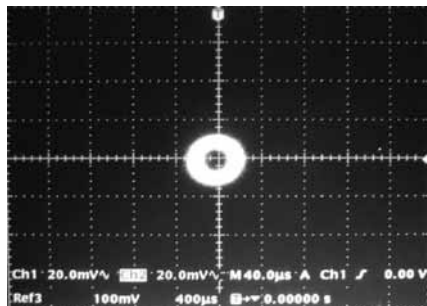
(k) RF Input : -70 dBm(100 mV/div.)



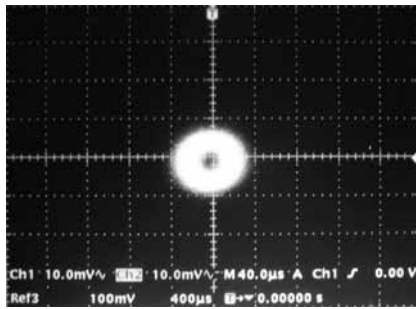
(l) RF Input : -75 dBm(20 mV/div.)



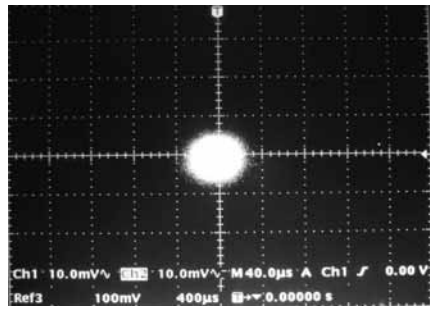
(m) RF Input : -80 dBm(20 mV/div.)



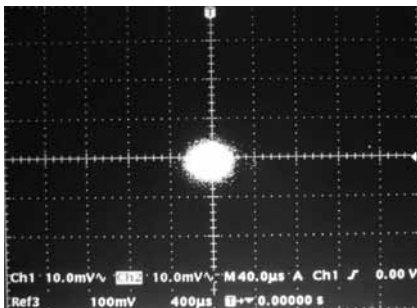
(n) RF Input : -85 dBm(20 mV/div.)



(o) RF Input : -90 dBm(10 mV/div.)



(p) RF Input : -95 dBm(10 mV/div.)



(q) RF Input : -100 dBm(10 mV/div.)

그림 3-24. 출력 I, Q 신호의 성상도

Fig. 3-24. The constellation of output I, Q signal.

그림 3-24는 RF 입력 -60 dBm일 때 안정적인 원의 모습을 나타내고 있다. 따라서 I와 Q 신호의 진폭이 거의 같고, 위상은 정확하게 90° 차이를 가지는 것을 보이고 있다.

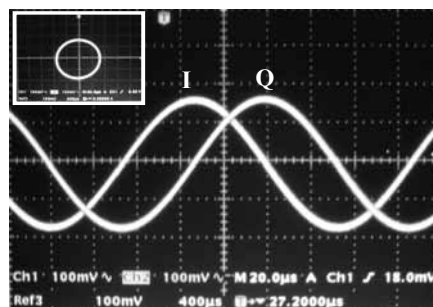


그림 3-25. 출력 I, Q 신호의 진폭과 위상

Fig. 3-25. The amplitude & phase of output I, Q signal.

그림 3-26은 I, Q 신호의 입력 파워 레벨에 대한 출력 전압을 나타내고 있다. 점선은 I 신호, 실선은 Q 신호를 나타내고 있다. RF 입력 -100 dBm 근처에서는 출력 신호의 레벨이 낮아서 그림 3-24의 (q)와 같이 신호가 분산된 것을 보여주고 -40 dBm 이후부터는 수신기에 포화가 발생해서 그림 3-24의 (a)와 같이 I와 Q 신호의 위상이 정확히 90°를 나타내지 않기 때문에 신호를 제대로 검출할 수 없다는 것을 보여준다.

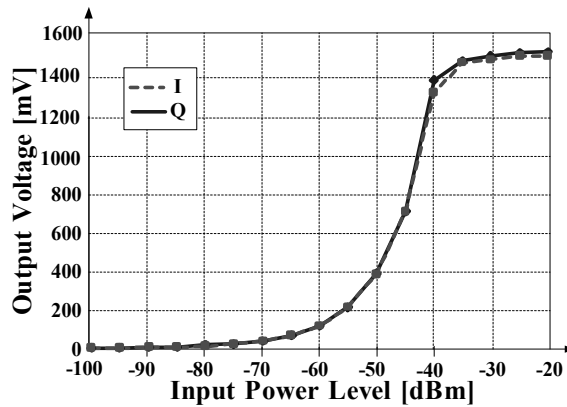


그림 3-26. I, Q 신호의 입력 파워 레벨에 대한 출력 전압

Fig. 3-26. The output voltage/ input power level of I, Q signal.

제 4장 8 채널 DBF 수신기의 설계 및 제작

4.1 설계

제 3장에서 설계한 Low-IF 방식을 이용한 1 채널 DBF 수신기를 바탕으로 그림 4-1과 같이 각 채널을 array하여 8 채널 DBF 수신기를 설계하였다. 수신기의 각 채널을 8 채널로 array한 이유는 향후 MUSIC이나 ESPRIT법 등의 빔 추적 적응 알고리즘을 이용한 베이스밴드에서의 신호 처리로 여러 개의 전파를 수신하여 수신파의 방향을 찾기 하기 위함이다. Array되어진 안테나로부터 수신되는 전파는 각 수신파의 위상과 이득이 다르기 때문에 각 수신파의 상관관계를 해석하여 수신파의 방향을 정확하게 찾을 수 있는 DOA(Direction of Arrival)를 하기 위함이다[30][31].

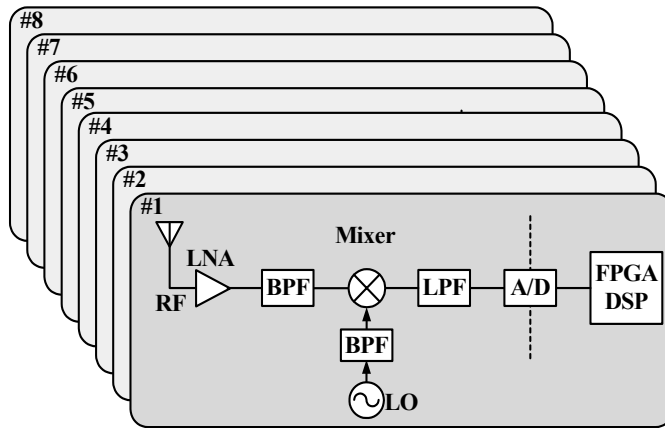


그림 4-1. Low-IF방식을 이용한 8 채널 DBF 수신기의 구성도

Fig. 4-1. Block Diagram of 8-Ch DBF receiver using Low-IF.

4.2 제작 및 측정결과

그림 4-2는 제작된 8 채널 DBF 수신기의 사진을 나타내고 있다. 전체 수신기의 크기는 가로, 세로, 높이가 각각 180 mm × 133 mm × 305 mm이며, 채널별로 제작한 수신기는 지지대를 이용하여 타워형으로 구성하였다. 8 채널 수신기를 제작할 때 가장 중요한 것은 각 채널의 특성이 모두 일정해야만 한다는 것이다. 각 채널의 저잡음 증폭기의 증폭도, 믹서의 변환손실, IF 증폭기 레벨과 각각의 수동소자들의 손실 등을 감안해서 최적으로 제작되어야만 한다.



그림 4-2. 제작된 8 채널 DBF 수신기의 측면

Fig. 4-2. The side of fabricated 8-Ch DBF receiver.

그림 4-3은 제작된 8 채널 DBF 수신기의 전면을 나타내고 있는데 RF 입력을 위해서 50 Ω SMA female 커넥터 8개를 사용하였고, 위상과 이득을 제어하기 위해서 DIP 타입의 10 K 가변저항을 전면에 구성하였다. 그리고 최종 I, Q 신호를 출력하기 위해서 BNC female 커넥터를 사용하였다.

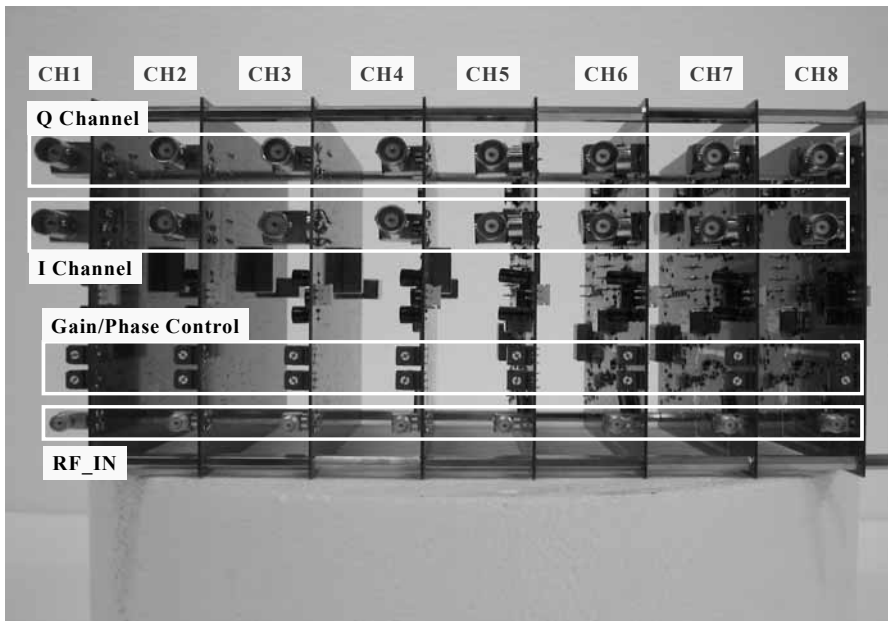
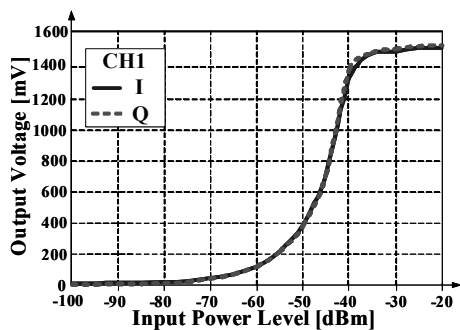


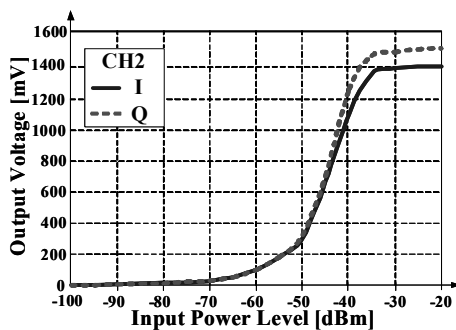
그림 4-3. 제작된 8 채널 DBF 수신기의 전면

Fig. 4-3. The front of fabricated 8-Ch DBF receiver.

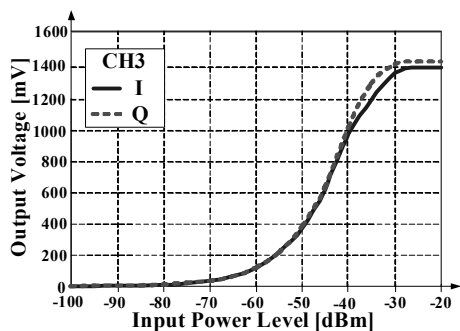
그림 4-4는 각 채널의 I, Q 신호를 분석하기 위해서 RF 입력 파워 레벨에 대한 출력 전압을 각 채널별로 측정한 결과이다. 각 채널마다 일정한 특성을 보이고 있으며 RF 입력 -40 dBm 이후부터는 수신기에 포화 상태가 되어서 I, Q 출력이 달라지고 있다는 것을 알 수 있다.



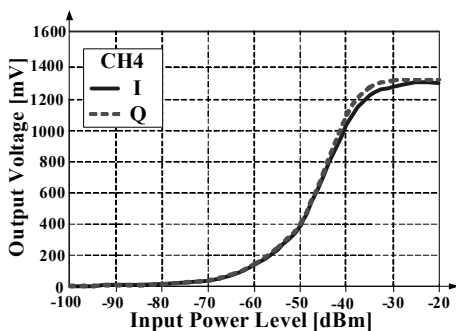
(a) 1-Ch I, Q signal



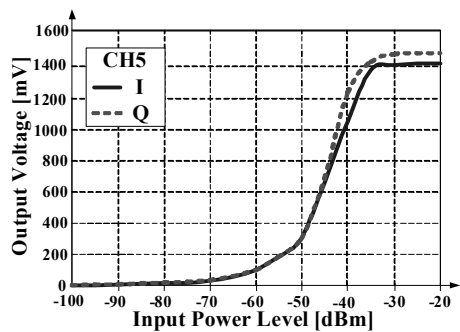
(b) 2-Ch I, Q signal



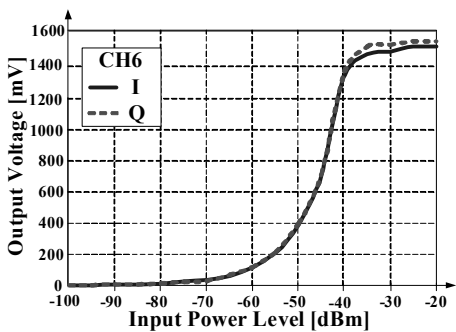
(c) 3-Ch I, Q signal



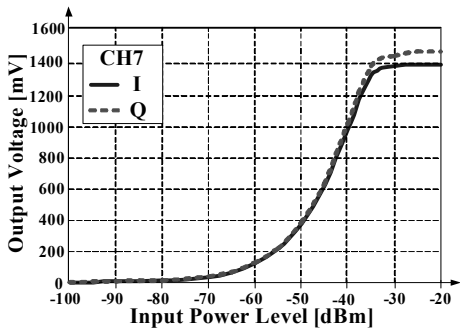
(d) 4-Ch I, Q signal



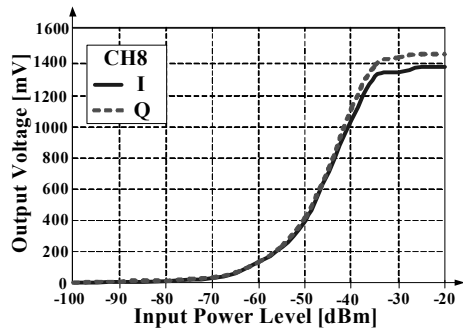
(e) 5-Ch I, Q signal



(f) 6-Ch I, Q signal



(g) 7-Ch I, Q signal

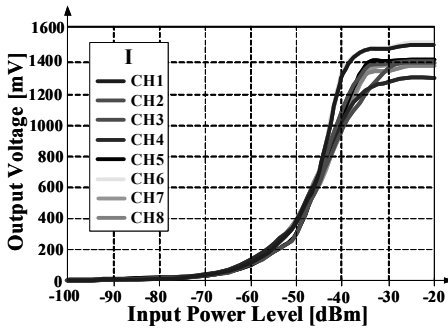


(h) 8-Ch I, Q signal

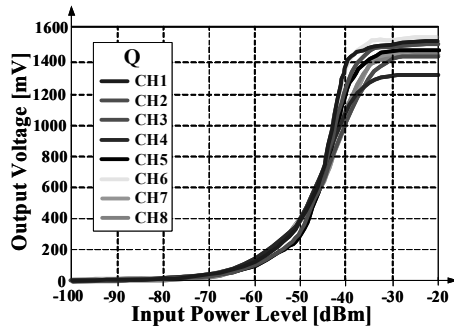
그림 4-4. 각 채널당 I, Q 신호의 입력 파워 레벨에 대한 출력 전압

Fig. 4-4. The output voltage/ input power level of each channel I, Q signal.

그림 4-5는 각 채널의 I와 Q를 분리하여 비교 분석한 것으로 각 채널의 I 신호들도 -40 dBm 이하 일 때 일정한 레벨을 보이고 있다. 마찬가지로 Q 신호 역시 일정한 레벨을 보이고 있다.



(a) I signal of each channel



(b) Q signal of each channel

그림 4-5. 각 채널당 I와 Q 신호의 레벨 비교

Fig. 4-5. The level comparison of each channel I & Q signal.

4.3 특성 평가

기존의 High IF를 이용하지 않고 베이스 신호에 가까운 Low-IF를 이용하여 DBF 수신기를 설계·제작하여 I, Q 신호의 성능을 분석하였다. 이러한 I, Q 신호는 서로 독립적이고 수직 관계이므로 서로 간섭하지 않는다. 따라서 각 신호 좌표들이 위치한 기하학적인 상관관계를 이해 할 수 있고 수신된 신호의 I, Q 신호가 송신 신호의 I, Q 신호에 비해 얼마나 분산되어 있는 지를 통해 통신 시스템의 전송 성능을 평가 할 수 있다. 그리고 수신기의 성능은 왜곡 없이 얼마나 RF 입력신호의 레벨을 복조 할 수 있는 지를 나타내는 동작 범위(Dynamic Range)에 의해서 결정된다. 따라서 본 논문에서 제작한 8 채널 DBF 수신기의 각 채널 I, Q 신호 레벨은 일정하게 동작하고 있으며 DBF 수신기의 RF 입력이 -80 dBm ~ -40 dBm일 때 오실로스코프상의 X-Y 플롯에서 원에 가까운 결과를 얻었다. 따라서 제작된 수신기의 동작 범위는 약 40 dBm으로 분석되었으며, RF 입력 -60 dBm ~ -50 dBm일 때 최적의 신호 검출이 이루어짐을 알 수 있었다.

4.4 성능 개선 방안

본 논문에서 설계된 DBF 수신기의 동작범위(Dynamic Range)는 약 40 dBm이다. 수신기의 동작 범위는 곧 수신 성능을 나타내는 것이기 때문에 이러한 수신기의 동작 범위를 개선할 필요가 있다. 따라서 수신기의 성능을 개선시킬 수 있는 대표적인 방법 중의 하나는 AGC(Automatic Gain Control) 회로이다. 그림 4-6은 AGC 회로를 포함하고 있는 DBF 수신기의 회로 블록도이다. AGC 회로는 쇼트키 배리어(Schottky Barrier) 다이오드로 구성된 검파회로와 검파회로의 출력 레벨을 인식하는 CPU, 그리고 CPU의 제어에 의해 저잡음 증폭기의 RF 신호 레벨을 조절할 수 있는 디지털 감쇠기로 크게 구성된다. 쇼트키 배리어 다이오드를 이용한 검파회로의 검파출력은 회로에 입력되는 IF 신호 레벨에 비례한 직류 전압을 출력한다. 이러한 직류 전압의 레벨을 기준 입력 전압을 가진 CPU에서 비교·인식하여 프로그램적으로 디지털 감쇠기를 동작시킨다. 만약 복조기에 입력되는 IF 신호 레벨이 크다면 검파회로에 의해 출력된 직류 전압이 CPU에 입력되어 디지털 감쇠기에 의해 단계적으로 RF 신호 레벨이 감쇠된다. 반대로 IF 신호 레벨이 작다면 디지털 감쇠기는 0 dB의 감쇠를 하던지 감쇠를 작게 할 수 있다[32].

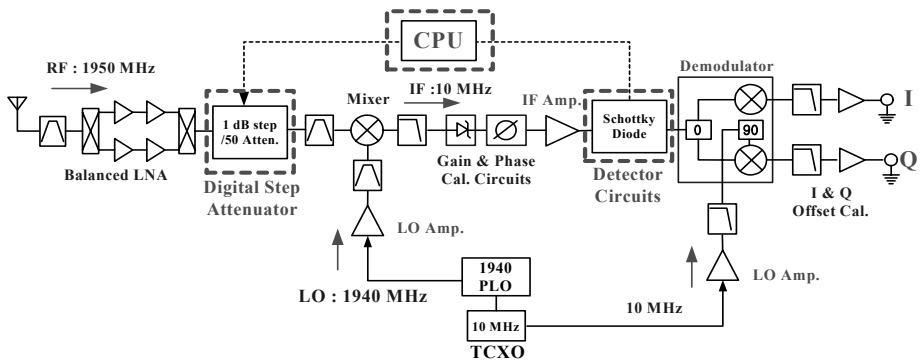


그림 4-6. AGC 회로를 가지는 DBF 수신기의 회로 블록도

Fig. 4-6. The block diagram of DBF receiver with AGC circuits.

본 논문에서 설계된 DBF 수신기에 AGC 회로를 적용하여 RF 수신 레벨을 대략적으로 계산해 볼 수 있다. DBF 수신기의 RF 신호 입력 범위는 $-100 \sim -20$ dBm이다. 제작된 수신기에서 저잡음 증폭기에 의해 증폭되어 믹서에 입력되는 RF 신호가 약 -35 dBm 일 때 양호한 수신 성능을 가진다. 따라서 수신기 첫단의 저잡음 증폭기의 이득을 약 40 dB로 설계를 하고, 저잡음 증폭기 다음 단에 CPU의 제어에 의한 디지털 감쇠기의 감쇠 범위를 약 $0 \text{ dB} \sim 50 \text{ dB}$ 로 설계할 수 있다. RF 입력이 -100 dBm 일 때는 CPU에 의해 디지털 감쇠기는 0 dB 동작하고, 저잡음 증폭기에 의해서 40 dB 증폭하면 믹서에 입력되는 RF 입력은 대략 -60 dBm이 된다. 그리고 수신기에 포화가 되는 높은 RF 레벨인 -20 dBm 일 경우는 저잡음 증폭기 다음단의 디지털 감쇠기와 PIN 다이오드를 이용한 이득제어 회로에 의해 수신신호의 이득을 낮추어서 IF 수신레벨을 조정할 수 있다. 이렇게 믹서에 입력되는 RF 레벨과 복조기에 입력되는 IF 레벨을 일정하게 조정할 수 있다면 전체 수신시스템의 동작 범위(Dynamic Range)가 넓어지게 되고 최종 복조기에서 출력되는 I, Q 신호 역시 일정한 레벨의 원을 가질 수 있게 된다. 또한 수신기의 동작 범위를 향상시키기 위한 방법으로 수신기 회로 각 단의 임피던스 매칭을 생각 할 수 있다. 믹서의 전단까지는 주파수가 약 2 GHz이지만 믹서를 통과한 IF 주파수는 10 MHz이므로 IF 신호의 전력이 효율 좋게 검파회로에 입력되도록 검파회로의 전단에 임피던스 매칭을 해야 한다. 이러한 임피던스 매칭이 회로의 각 단에서 이루어지지 않는다면 전체 수신기의 감도가 나빠지게 된다.

제 5 장 결 론

5.1 결 론

본 논문에서는 Low-IF 방식을 이용한 기지국용 8 채널 DBF 수신기를 설계·제작하였다. 기지국용 수신 방식으로는 기존의 슈퍼헤테로다인 방식과 Low-IF 방식 및 직접변환 방식을 들 수 있다. 슈퍼헤테로다인 방식은 회로의 신호가 비교적 안정적이기는 하나 크기가 커지고 부품이 많이 소요된다는 단점이 있기 때문에 4세대 이동통신을 바라보는 관점에서는 적합하지 않다. 그리고 직접변환 방식은 회로의 크기와 전력소모가 작고 향후 발전하게 될 멀티밴드 이동통신 방식의 기준이 되므로 반도체 IC 기술과 함께 급속한 기술 개발이 이루어지고 있지만, DC offset이나 자기믹싱, LO 주파수의 누설과 같은 문제점이 있다.

따라서 본 논문에서 제작된 8 채널 DBF 수신기는 Low-IF 방식을 이용하여 향후 발전하게 될 직접변환 방식으로의 접근이 쉽고, IF 단을 대폭 줄일 수 있어서 수신기의 저가격, 소형화라는 측면과 멀티밴드화를 바라볼 수 있는 관점에서 유리하다. Low-IF 방식은 안테나로부터 RF신호가 입력되어 저잡음 증폭기에 의해 증폭되고 1단의 믹서를 사용하여 IF신호로 출력된다. 출력된 IF신호는 복조기에서 각각 0° , 90° 의 위상차를 가지는 I, Q로 최종 출력된다.

8 채널 DBF 수신기에서 각 채널의 첫 단인 저잡음 증폭기는 수신기의 안정성을 위해 평형 저잡음 증폭기로 설계하였고, 믹서에서는 RF 주파수 1950 MHz와 LO 1940 MHz를 혼합하여 10 MHz의 low IF를 출력하였다. 그리고 복조기에서 10 MHz의 TCXO의 출력과 혼합되어 최종 0 Hz의 베이스밴드 신호를 출력한다. 향후 A/D 컨버터의 신호에 대한 분해능이 0 Hz부터 10 MHz의 대역폭을 가진다면 본 논문에서 사용된 Low-IF 방식을 이용한 8 채널 DBF 수신기는 직접변환 방식에 가까운 성능을 발휘할 것으로 예상된다. 이러한 Low-IF 방식을 이용한 8 채널 DBF 수신기를 기지국 시스템에 적용하여 전 방향으로 빔을 형성하지 않고 해당 단말기 가입자에게만 빔을 형성하여 신호 간섭 효과를 최소화함으로써 통신품질 향상과 시스템의 채널 용량을 높여서 대용량의 멀티미디어 서비스를 제공할 수 있으며 멀티밴드화로 발전에 응용될 수 있다.

참 고 문 헌

- [1] John Litva, Titus Kwok-Yeung Lo, Digital Beam forming in Wireless Communication, Artech House, Inc, pp. 136-144, 1996.
- [2] Kevin McClaning, Tom Vito, Radio Receiver Design, Noble, Inc, 1996.
- [3] Takashi Mizoroki, Research of Low-IF Receiver, Thesis, Yokohama National University, Feb. 2002.
- [4] Shigeru Ooki, Research of Direct Conversion Receiver for Digital Beam Forming, Thesis, Yokohama National University, Mar. 2001.
- [5] 양진수, 차세대 이동통신을 향한 호모다인의 부활, 電子部品, EP&C Jan. 2002.
- [6] Aarno Parssinen, Jarkko Jussila, Jussi Ryyanen, Lauri Sumanen, Kari A. I, "A 2-GHz Wide-Band Direct Conversion Receiver for WCDMA Application," IEEE Journal, Vol.34, No.12, Dec. 1999.
- [7] Cotter W. Sayre, Complete Wireless Design, McGraw-Hill, Inc, pp. 188-191, 2001.
- [8] Agilent, Biasing MSA Series RF Integrated Circuits, Application Note.
- [9] 배창호, 조평동, 장호성, "RF 저잡음 증폭기(LNA) 설계에 관한 연구," 전자통신동향분석 제16권 제1호, pp. 56-70, 2001.
- [10] Guillermo Gonzalez, Microwave Transistor Amplifiers, Prentice Hall, Inc, 1984.
- [11] Applied Wave Research, Inc. www.mwoffice.com.
- [12] 김정기, 박영기, RF 회로 설계, 우신출판사, pp. 22-27, 1999.
- [13] Peter B. Kenington, High-Linearity RF Amplifier Design, Artech House, Inc, pp. 140-142, 2000.
- [14] Ian Piper, Sid Seward, Al Ward, H.P. Hostergaard, and Samir Tozin, "Balanced LNA Suits Cellular Base Stations," Microwave&RF, pp. 70-80, April, 2002.
- [15] Behzad Razavi, RF Microelectronics, Prentice Hall PTR, Inc, pp. 166-170, 1998.
- [16] Inder Bahl, Prakash Bhartia, Microwave Solid State Circuit Design,

Wiley-Interscience, Inc, pp. 506-509, 2003.

- [17] 민경식, 박진생, “DBF 시스템용 1 채널 Low-IF 수신기 설계,” 대한전자공학회 한국통신학회 부산·경남지부 추계 합동 학술대회논문집, pp. 291-295, 2002.
- [18] Williams, Electronic Filter Design Handbook, McGraw Hill, 1997.
- [19] Sunder Gopani, “SAW IF filter in Mobile Communication Network,” Microwave Journal. Nov. 1998.
- [20] Stephen A. Mass, Microwave Mixer, Artech House, Inc, 1997.
- [21] Djuradj Budimir, General Filter Design by compute optimization, Artech House, Inc, 1994
- [22] Vectron, Temperature Compensated Crystal Oscillator, Application Note.
- [23] Venceslav F. Kroupa, “Priciples of Phase Locked Loops,” IEEE, June 2000.
- [24] www.rfdh.com.
- [25] Alpha, Design with PIN Diode, Application Note.
- [26] Jack Browne, “SMT Phase Shifters Ajust PCS Design,” Microwave&RF, May 2000.
- [27] Mini-circuits, Novel Measurement Schemes serve I/Q Application, Application Note.
- [28] National Semiconductor, LM series High Speed Operational Amplifier, Application Note.
- [29] Rohm, Low Saturation voltage type 3-pin regulator, Application Note.
- [30] 민경식, 박철근, 고지원, 임경우, 이경학, 최재훈, “어댑티브 어레이 안테나의 도래방향추정을 위한 디지털 신호처리에 관한 연구,” 2002년 추계 마이크로파 및 전파학술대회 논문집, 25(2), pp. 309-312, 2002. 9.
- [31] Minseok Kim, A Study of Implementation of Digital Signal Processing for Adaptive Array Antenna, Thesis, Yokohama National University, Japan. 2002.
- [32] Raymond W. Waugh, “Designing Large Signal Detectors for Handsets and Base-station,” Wireless systems Design, Vol. 2, No. 1, July 1997.

감사의 글

오늘의 제가 있기까지 저에게 보다 더 노력하고 인내하는 사람이 되도록 때로는 엄격하게 때로는 따뜻하게 세심한 지도를 해주신 민경식 교수님께 감사드립니다. 언제나 제자들을 믿어주고 저희들과 함께하며 저희들의 마음을 잘 이해해주신 교수님의 은혜를 잊지 않겠습니다. 그리고 보다 좋은 논문이 될 수 있도록 세심하게 지적해주신 김 동일 교수님, 윤 영 교수님께 감사드리며, 전과공학과 모든 교수님들께 감사드립니다.

본 논문이 완성 될 수 있도록 바쁘신 와중에도 아낌없는 기술적 조언과 그리고 무엇보다 귀중한 실무 경험을 하게 해주신 (주)백금정보통신의 김 동철 상무님, 김 정훈 차장님, 김 정현 대리님을 비롯한 연구원들께 깊이 감사드립니다.

또한 대학원 생활동안 같이 부디 끼면서 연구실 생활을 한 고 지원 선배님, 박 철근, 임 경우, 이 종현, 박 영환, 김 동진, 주 상학에게 고마움을 전하며 항상 일상생활에 행운이 가득하길 바랍니다.

오늘까지 제가 살아온 30년에 가까운 시간동안 저를 걱정하고 믿어주시며 키워주신 사랑하는 저의 어머니, 아버지께 깊은 감사를 드리며, 그 은혜 영원히 보답하겠습니다. 항상 오빠를 지켜봐준 여동생 행일, 행심에게도 고마움을 전합니다. 그리고 학교생활에 전념할 수 있도록 항상 나를 이해해주고 챙겨준 김 민지에게도 깊이 감사드립니다.

해양대에서 항상 바다를 바라보면서 큰마음을 가지려고 노력했습니다. 어렵고 힘든 순간들도 많았지만 그곳에서의 생활은 귀하고 소중한 시간이어서 영원히 잊을 수 없을 것 같습니다.

박 진 생 올림