

공학박사 학위논문

이동통신용 고전력증폭기의 선형개선을
위한 디지털 제어기의 설계 및 구현

Design and Implementation of Digital Controller
to improve Linear Characteristics for High Power
Amplifier in the Mobile Communication

지도교수 김 기 문

2005 년 2 월

한국해양대학교 대학원

전자통신공학과

송 중 호

목 차

Abbreviations

Abstract

제 1 장 서 론.....	1
1.1 연구 배경	1
1.2 연구 목적	3
제 2 장 증폭기의 선형화.....	6
2.1 선형화 방식	8
2.2 선형화 측정 지수	16
2.3 경로 길이 변화에 따른 신호의 상쇄	22
2.4 피드-포워드 선형화 증폭기 구성	26
제 3 장 주 증폭기의 설계 및 구현.....	30
3.1 전력 증폭기 설계의 기초	30
3.2 주 증폭기용 종단 트랜지스터의 선정	34
3.3 주 증폭기의 구성	46
3.4 오차 증폭기	53
3.5 선형성 개선을 위한 부가 회로	56
제 4 장 선형화 제어기.....	66

4.1 선형화 제어 시스템	66
4.2 위상동기루프 설정	82
제 5 장 선형 전력증폭기의 성능 평가	91
5.1 고전력 증폭기의 개요	91
5.2 고전력 증폭기의 선형성	92
5.3 다중 고전력 증폭기의 구성	95
5.4 시스템 통합	96
5.5 측정 장치의 구성	98
5.6 2-톤 시험 결과	100
제 6 장 결 론.....	103
참 고 문 헌	106
부 록	110

표 차례

<표 2-1> 주파수에 따른 위상의 변화.....	24
<표 3-1> 주 증폭기의 설계 목표.....	35
<표 3-2> MRF21125 트랜지스터의 주요 사양.....	38
<표 3-3> 단위 증폭기의 등가 입출력 임피던스.....	40
<표 3-4> MRF21180 트랜지스터의 주요 사양.....	41
<표 3-5> 단위 증폭기의 등가 입출력 임피던스.....	44
<표 3-6> MRF21060 트랜지스터의 주요 사양.....	47
<표 3-7> AH-11 트랜지스터의 주요 사양.....	49
<표 3-8> AH-1 트랜지스터의 주요 사양.....	47
<표 3-9> 전압 가변 감쇄기의 주요 사양.....	59
<표 4-1> Band_id에 따른 PLL 주파수 설정표.....	81
<표 4-2> Control Bit의 Data location.....	86
<표 4-3> 입력신호 검출 특성표.....	90
<표 5-1> 선형 전력증폭기의 제작을 위한 선형화 방식의 비교.....	94

그림 차례

<그림 2-1> 증폭기의 최대 포화 전력.....	10
<그림 2-2> 전치보상 증폭기에서의 신호변환.....	14
<그림 2-3> 적분회로.....	14
<그림 2-4> 피드-포워드 전력 증폭기의 개념.....	15
<그림 2-5> 신호의 상쇄.....	21
<그림 2-6> 위상과 진폭 오차에 대한 함수로서의 달성되는 상쇄.....	23
<그림 2-7> 상쇄루프에서 두 경로의 시간지연 불일치에 따른 상쇄지수.....	26
<그림 2-8> 선형 증폭기에서 신호루프.....	28
<그림 2-9> 선형 증폭기에서 오차루프.....	29
<그림 3-1> 증폭기의 직렬 연결.....	31
<그림 3-2> 증폭기의 병렬 연결.....	32
<그림 3-3> 증폭기의 입출력 매칭.....	32
<그림 3-4> 잡음, 이득, 전력에 대한 스미스 차트.....	33
<그림 3-5> 전력 증폭기 트레이드 오프 점의 예.....	34
<그림 3-6> 증폭기의 전력과 효율 사이의 트레이드 오프.....	36
<그림 3-7> MRF21125 단위 증폭기 회로도.....	38
<그림 3-8> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	39
<그림 3-9> 출력 전력에 대한 상호 변조 왜곡.....	39
<그림 3-10> MRF21180 단위 증폭기 회로도.....	42
<그림 3-11> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	43
<그림 3-12> 출력 전력에 대한 상호 변조 왜곡.....	44
<그림 3-13> 1 MHz 채널간격의 2-톤 신호에 대한 IMD 특성.....	45
<그림 3-14> 주 증폭기의 구성도.....	46
<그림 3-15> AH-1 단위 증폭기 회로도.....	48

<그림 3-16> AH-11 트랜지스터의 S-변수.....	49
<그림 3-17> AH-11 단위 증폭기 회로도.....	50
<그림 3-18> MRF21060 단위 증폭기 회로도.....	51
<그림 3-19> MRF21060의 S 파라미터.....	52
<그림 3-20> MRF21060의 IMD3.....	52
<그림 3-21> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	53
<그림 3-22> MRF21125의 증폭회로.....	54
<그림 3-23> MRF21125의 S-파라미터.....	54
<그림 3-24> MRF21125의 IMD3.....	55
<그림 3-25> 오차 증폭기의 구성도.....	55
<그림 3-26> Bridge-T형 감쇄기.....	57
<그림 3-27> Bridge-T형 감쇄기 회로도.....	58
<그림 3-28> RVA-2500의 제어 및 매칭.....	60
<그림 3-29> 위상 편이.....	61
<그림 3-30> 기계식 위상편이기.....	61
<그림 3-31> 선로 변환방식 위상편이기.....	62
<그림 3-32> Loaded Line형, 하이브리드 결합형 위상 편이기.....	63
<그림 3-33> 전송 선로 중간에 다양한 소자를 연결한 위상 편이기.....	64
<그림 3-34> 가변위상 편이기의 회로도.....	65
<그림 4-1> 선형 전력증폭기의 기본 구성도.....	67
<그림 4-2> ATMEGA163의 내부 구성도.....	71
<그림 4-3> 선형화 제어기의 기본 구성도.....	72
<그림 4-4> 시스템 구성도.....	74
<그림 4-5> 실제 제작된 선형화 제어기 기판.....	76
<그림 4-6> 선형화 제어기의 제어 알고리즘에 대한 플로우차트.....	79
<그림 4-7> Band-ID 분할 기준.....	80

<그림 4-8> LMX2326 PLL Frequency Synthesizer 구성도.....	82
<그림 4-9> 주파수 합성기의 동작 구성도.....	84
<그림 4-10> LMX2326의 Serial Data Format.....	86
<그림 4-11> LMX2326의 Serial Data Input Timing.....	87
<그림 4-12> R Counter, N Counter, Clock, Function Latch 실측 파형.....	88
<그림 4-13> 주파수별 가변감쇄기의 특성.....	89
<그림 4-14> 가변위상편이기의 특징.....	89
<그림 4-15> 입력신호 검출 특성.....	90
<그림 5-1> 선형 전력증폭기의 실제 구성도.....	98
<그림 5-2> 측정장치의 구성.....	99
<그림 5-3> 주 증폭기의 IMD 특성.....	100
<그림 5-4> 오차증폭기의 검출기 포트에서의 스펙트럼 특성.....	101
<그림 5-5> 선형 전력증폭기의 IMD 특성.....	102

Abbreviations

AGC	Automatic Gain Control; 자동이득조절
CDMA	Code Division Multiple Access; 부호분할 다중접속
C/I	Carrier to Intermodulation ratio; 반송파 대 혼변조 비
FA	Frequency Allocation; 주파수분배
FCC	Federal Communications Commission; 미연방통신위원회
FET	Field Effect Transistor; 전계효과 트랜지스터
FPLMTS	Future Public Land Mobile Telecommunication System; 미래 공 중 육상 이동통신시스템
HPA	High Power Amplifier; 고전력 증폭기
IMD	Inter Modulation Distortion; 상호변조 왜곡
IMT-2000	International Mobile Telecommunication-2000; 국제 이동통신- 2000
ITU	International Telecommunication Union; 국제전기통신연합
LPA	Linear Power Amplifier; 선형 전력 증폭기
LPF	Low Pass Filter; 저역통과필터
MCPA	Multi Carrier Power Amplifier; 다중채널증폭기
MMIC	Monolithic Microwave Integrated Circuit; 마이크로웨이브 모노리 틱 집적회로
PAE	Power Added Efficiency; 전력 부가 효율
QAM	Quadrature Amplitude Modulation; 직교진폭변조
QPSK	Quadrature Phase-Shift Keying; 직교위상편이전건

RF	Radio Frequency; 무선 주파수
TWTA	Travelling Wave Tube Amplifier; 진행파관 증폭기
UMTS	Universal Mobile Telecommunication System; 범용 이동통신 시스템
VNA	Vector Network Analyzer; 벡터 회로망 분석기
W-CDMA	Wide Band Code Division Multiple Access; 광대역 부호분할 다중 접속

Abstract

Radio frequency and microwave circuits have nonlinear electric characteristics owing to being used the active device usually.

The electric characteristics of the power amplifier can be distorted in the gain and phase easily. Also, an intermodulation distortion is formed due to the nonlinear characteristics of power amplifier near the saturation region when more than two different carriers are input to circuit, which are used in digital mobile communication and satellite communication of the multichannel.

Linear power amplifier needs to satisfy the standards of intermodulation distortion in spite of specific output power, the changes of output power level, operating voltage, external temperature and so on.

To be solved these problems, the Back-off, Feedback, Predistortion and Feedforward methods have been developed to linearize the nonlinear characteristics until now.

The controller for linearization of power amplifier is the core of the main amplifier using Feedforward method and this let power amplifier maintain to operate within the proposed time, fit to the specification of the circuit, have the stability and reliability in the worst circumstances.

In the thesis, we designed and fabricated together with the error amplifier and phase converter.

The phase converter has a very flat phase with in the 200 degree at

frequency range used. And matching circuit is added to minimize the change of attenuation, it has a good characteristics of below 0.09 dB when the phase is changed.

And also the error amplifier which is applied linearization technology used the feedforward method in order to realized the linear power amplifier for 40 watt degree in the W-CDMA base station. And then, we confirm that it is possible to realize excellent linear power amplifier from the measurement of IMD characteristics which is shown good results.

So if they could be applied for the main power amplifier it could be helpful to fabricate the linear power amplifier for the W-CDMA station. Also, in the other fields of telecommunication such as digital mobile communication and satellite communication.

제 1 장 서 론

1.1 연구 배경

고도 정보화 사회를 맞이하면서 이동통신은 그 역할과 서비스가 점증될 것으로 전망되나 다양하게 개발된 현재의 이동통신 서비스는 각각 구현하는 기술방식이 다르기 때문에 동일한 기술방식이라 하더라도 국가나 지역마다 사용하는 주파수 대역이 서로 달라 무선통신의 장점인 이동성을 완벽하게 실현하는 데에 한계를 지니고 있다. 또한 전파를 사용해야 하는 기술적인 제약 때문에 멀티미디어 서비스와 같은 통신은 증대된 이용자의 욕구를 만족시키기에는 어려움이 있다.

이동통신의 발전상을 살펴보면, 셀룰러(Cellular) 이동통신은 1세대인 아날로그 방식인 주파수분할 다중접속방식(FDMA; Frequency Division Multiple Access)을 거쳐 2세대 이동통신인 디지털 방식으로 발전해 왔다. 2세대 이동통신을 무선접속 방식 별로 보면 유럽에서는 시분할 다중접속방식(TDMA; Time Division Multiple Access), 미국에서는 TDMA/CDMA 방식, 한국 및 아시아권에서는 부호분할 다중접속방식(CDMA; Code Division Multiple Access) 방식으로 상용화 되어 있다.

또한 개인휴대통신(PCS; Personal Communication Service) 시스템도 현재 전세계적으로 상용화 되었으며, 우리 나라에서도 PCS 사업자가 선정되어 1997년부터 이미 서비스 제공을 하고 있다. 그러나 PCS는 기존의 디지털 셀룰러 이동통신과 기술적인 유사성으로 인하여 서비스 면에서 차별성을 보이지 못하고 있다. PCS가 해결해야 될 큰 문제점은 단말 및 개인 이동성의 문제, 즉 서비스

권 전환(Roaming)의 문제이다. 지역 또는 국가간의 서로 다른 무선접속 규격으로 인해 한 지역에서 사용하고 있는 이동 단말기는 다른 지역에는 사용할 수가 없다. 또한 데이터 전송률이 8~13Kbps 정도에 불과해서 영상 등의 고속 데이터의 전송이 불가능하다. 이런 단점을 극복하고자 IMT-2000이라 불리는 통신 서비스의 필요성이 대두되었다

IMT-2000은 International Mobile Telecommunication 2000의 약어이며 이 용어가 통용되기 시작한 것은 지난 1996년부터이다. 이전에는 미래 공중 육상 이동통신 (FPLMTS; Future Public Land Mobile Telecommunication System)이란 용어가 사용되어 왔다. FPLMTS는 지난 1978년 국제전기통신연합(ITU; International Telecommunication Union)이 향후 이동통신의 단일 표준화를 연구과제로 결정하고 프로젝트 코드로 정했던 용어이다. 그러나 FPLMTS는 발음하기가 어렵고 뜻도 이해하기가 쉽지 않아 새로운 용어의 필요성이 제기되었다. 이를 고민하던 ITU는 FPLMTS가 사용하려는 주파수 대역(2000MHz대)과 도입 시기(2000년경)를 고려하여 IMT-2000이라는 이름을 고안하고 FPLMTS와 병행해 사용토록 권고하였다. 그러나 이제는 이해하기 쉬운 IMT-2000이 표준 용어로 정착된 상황이며 서비스 방식에 따라 북미방식인 동기식(CDMA-2000)과 유럽방식인 비동기식(W-CDMA)으로 나뉜다.

이 시스템은 언제 어디서나, 누구와도 음성은 물론 동영상 데이터까지 실시간으로 주고 받을 수 있는 이동통신 서비스를 말하며 현재의 이동통신 서비스인 셀룰러폰, PCS, 유럽표준인 전 지구적 이동통신시스템(GSM; Global System for Mobile Communication) 등은 각각 서비스를 실현하는 기술방식이 다르고 국가나 지역마다 사용하는 주파수 대역이 달라 이동성을 완벽하게 실현하는데 근본

적인 한계를 가지고 있지만 IMT-2000은 주파수 대역과 단말기를 포함한 네트워크 장비에 대한 표준화를 피하고 통신위성을 이용해 세계 어디서나 같은 단말기로 서비스를 받을 수 있다.

이 방식에 적용되는 여러 가지 무선 주파수(RF; Radio Frequency) 시스템은 디지털 변조와 멀티톤(multi-tone)에 의한 AM-AM(진폭 왜곡), AM-PM(위상 왜곡)에 대한 고려가 필수적이며, 이들에 의해 비선형 소자에서 발생하는 많은 기생주파수 성분, 상호변조왜곡(IMD; Intermodulation Distortion)은 인접 채널에 대한 간섭현상을 유발하여 시스템의 성능을 떨어뜨리는 결정적인 역할을 한다[1].

특히, 송신시스템의 최종 단에 사용되는 전력증폭기는 충분한 송신전력으로 단말기에 최적의 신호를 전달해야 함은 물론이고, 타 채널이나 다른 서비스 업자에 영향을 미치지 않아야 하므로 관련 규정을 충족할 수 있는 방법이 강구되어야 한다. 특히 기지국에서와 같이 열악한 환경에서도 환경의 변화에 관계없이 안정된 기능이 유지되기 위해서는 고전력 증폭기의 상태를 감시하여 자동으로 동작을 안정시키고 스퓨리어스나 IMD를 제한하기 위한 제어기가 필요하기 때문에 여러 감시기능과 정확한 제어를 위하여 마이크로프로세서 제어장치의 개발이 요구된다[2].

1.2 연구 목적

일반적으로 셀룰러(Cellular) 통신시스템에서 필요로 하는 IMD 특성은 최대 출력에서 60dBc 이상인데, 현재 생산되고 있는 대부분의 전력 증폭기는 높은 전력효율을 얻기 위하여 동작점을 AB급으로 작동시키기 때문에, 여기에서 얻을 수 있는 IMD 특성은 30dBc 정도가 보통이다. IMD 특성을 개선하기 위해서 바이

어스를 A급으로 사용하면 특성을 개선시킬 수는 있겠지만 그렇다고 해서 이 방법이 만족할 만한 특성을 얻기에는 아직 부족함이 많고, 또한 전력효율이 낮아 적절한 방열을 하기 위해서는 실제 전력 증폭기보다 훨씬 큰 방열판을 사용해야 하는 단점을 가지고 있다. 그럼에도 불구하고, 기지국 등의 중계시스템에 적용하기 위한 선형 전력증폭기는 대부분 회로의 복잡성과 가격적인 부담 때문에 A급 바이어스에 의한 고출력 증폭기(HPA; High Power Amplifier)를 사용하고 있으나 낮은 효율에 대한 문제점이 미해결상태에 있다[3],[4].

워키토키(Walkie Talkie)같이 단일채널을 사용하는 경우에는 주파수 사용대역이 협대역으로 수십㎐ 정도의 채널 대역폭을 갖는다. 이러한 시스템에서 증폭특성의 적절한 선형을 얻기 위하여 백-오프(Back-off)방식이나 궤환(Feedback)방식이 많이 사용되고 있으나 대역폭이 제한되기 때문에 수 십㎐ 이상의 대역폭은 쉽게 선형화 할 수 없다. CDMA와 같이 좀더 넓은 대역의 단일채널이나 위성 시스템과 셀룰러 기지국에서와 같이 다중 반송파를 사용하는 경우에는 전방궤환 선형화기나 전치왜곡기와 같은 광대역 선형화 방법이 필요하다[5]-[8].

전치왜곡(Pre-distortion) 방식은 위성시스템에서와 같이, 적당한 선형성 만을 필요로 하는 광대역 응용에 성공적으로 사용되어 왔으며, 근본적으로 전력효율을 떨어뜨리지 않는 장점도 있으나 전력 효율의 향상을 위하여 C급 증폭기를 사용하는 경우, 이들이 아주 많은 왜곡 성분을 포함하고 있고 왜곡 레벨이 포화된 선형 증폭기보다 훨씬 더 크기 때문에 전치왜곡 방식을 사용하여 선형화 하는 것은 매우 어려운 일이다[9].

따라서, 본 논문에서는 에러 증폭기와 위상보상용 지연선로를 이용하여 고전력 증폭기의 선형성을 향상시키는데 적합한 전방궤환 방식을 사용하며, 고전력

증폭기의 특성에 의하여 발생하는 진폭왜곡과 위상왜곡을 제어하기 위한 가변감쇄기 및 가변위상기변환기를 마이크로 프로세서로서 디지털 방식으로 제어케 함으로써 환경의 변화에 정확하고 신속하게 적응하는 시스템을 설계하고 구현하고자 한다. 주 증폭기에 의해 만들어지는 이득과 위상 왜곡을 억제함으로써 넓은 대역에 걸쳐 낮은 IMD 특성을 얻을 수 있도록 하였으며 기존의 HPA에 비해 우수한 IMD 특성뿐만 아니라 높은 효율을 얻을 수 있을 것으로 기대된다.

본 논문은 제1장에서 연구의 배경 및 목적에 대하여 기술하였고, 제2장에서는 지금까지 알려진 고효율 증폭기의 선형성을 높이기 위한 선형화 방법에 대하여 고찰하였다. 제3장에서는 전방궤환방식을 이용한 주 증폭기를 설계하기 위하여 증폭기 설계의 기초 및 종단 트랜지스터 선정에 관한 각종의 전용 소자에 대한 특성을 고찰하였고 선형성의 개선을 위한 회로인 가변감쇄기 및 가변위상 변환기의 이론 및 실제 설계에 대하여 고찰하였다.

그리고 제4장에서는 이 논문의 핵심으로서 피드-포워드(feedforward) 방식을 사용하는 선형화 제어회로에서 제반 조건에 잘 응답하고 엄격한 규격에 따르도록 하는데 필요한 마이크로 프로세서를 선정하였고, 전력 검출기에서 제공되는 파일럿 신호의 크기에 따라서 선형화 루프 내의 각 경로의 이득 및 위상을 조절함으로써 선형화 루프를 최적의 상태로 유지하도록 마이크로 프로세서에서 제어하며 주 증폭기, 오차 증폭기 등의 각 회로의 상태를 감시하고 이를 분석하여 이에 대한 제어신호를 출력하는 알고리즘을 작성하고 논리회로를 설계하였다. 제5장에서는 이에 대한 성능을 평가하였고, 끝으로 제6장에서는 본 논문의 결론을 도출하였다.

제 2 장 증폭기의 선형화

현대의 이동 통신시스템에서는 고출력 전력 증폭기(HPA)를 주로 사용하는데, 이는 여러 단으로 트랜지스터를 배열해 이득과 출력을 구현하며 소자의 특성상 출력에 한계가 있으므로 최종 단에는 푸쉬풀(Push-Pull) 타입의 트랜지스터나 여러 개의 트랜지스터를 결합해서 사용하는 평형 증폭기 형태를 사용하기도 한다.

HPA는 전력 증폭기 중에서도 특히 높은 출력을 지칭하기 위한 용어이다. 그러나 실제로 전력 증폭기가 어느 전력점부터 HPA라고 불리우는 지에 대한 규격이나 정의는 없다.

또한 HPA는 이동통신 기지국 장비에서 수용력을 강화하고 손실과 소비전력, 시스템 비용을 줄이기 위해 점차 단일 반송파 전력 증폭기 대신 다중 반송파 전력 증폭기로 사용되어 가고 있다. 다중 반송파 전력 증폭기 설계자들은 2.5세대와 3세대 표준, 특히 GSM ETSI, CDMA-2000, W-CDMA에 적합하도록 다중 반송파 전력 증폭기내에 적응 가능한 선형화를 구현할 필요성이 대두되었다 [10],[11].

여기서 선형성이란 회로에서 얼마나 신호가 왜곡되지 않고, 원래의 입력신호 모양 그대로 출력이 되는 가를 나타내며 수식적으로는 다음과 같이 표현된다.

$$y = ax + bx^2 + cx^3 \quad (2-1)$$

식(2-1)에서 계수 b , c 등이 작을수록 출력신호는 입력신호에 대하여 a 배로

증폭된, 입력신호와 모양이 비슷한 출력신호가 나오게 되는, 즉 선형성이 큰 회로가 된다.

이러한 비선형성이 나타나는 이유는 회로에 다이오드나 트랜지스터 특성의 비선형성에 기인하는 것이다[12].

선형성이 문제가 되는 회로는 보통 대 전력 신호를 취급하는 전력 증폭기인데 전력 증폭기에서는 이러한 선형성을 측정하기 위한 여러가지 시험방식이 있다.

선형성을 측정하는 방법은

첫째, 두 개의 정현파를 입력하여 다른 주파수 성분이 얼마나 생기는가를 측정하는 2-톤 시험방법.

둘째, 입력신호의 크기 변화에 대한 출력파형의 이득변화와 위상변화를 측정하는 방법으로 AM-AM / AM-PM 측정 방법.

셋째, 입력신호에 직접 사용하는 변조신호를 넣고 출력파형의 변화를 보는 스퓨리어스 측정 방법이 있다.

본 논문에서는 전력 증폭기의 비선형성을 나타내는 주 왜곡 성분인 3차 상호 변조 신호 성분을 제거하기 위하여 첫 번째의 2-톤(Two-Tone) 시험 방식을 적용하였다.

여기서 상호변조란 두 개 이상의 주파수가 비선형 시스템 혹은 회로를 통과할 때, 출력단에 입력에 없던 신호가 상호 교차 변조되어 발생하는 것을 의미하고, 상호변조왜곡은 그러한 상호변조성분에 의한 왜곡 그 자체를 의미한다.

이러한 상호변조 왜곡이 중요한 이유는, CDMA와 같은 디지털 시스템은 아날로그 시스템과 달리 한 신호가 하나의 주파수, 즉 한 채널을 사용하는게 아니라

넓은 채널 대역폭을 여러 신호가 공유하기 때문이다.

즉, 한 밴드를 처리하는 시스템에 여러 주파수의 신호가 동시 다발적으로 입력되기 때문에, 서로 무작위로 섞여서 출력단에 여러 주파수의 혼성신호가 많이 발생하다 보면 신호처리가 제대로 이루어지지 않을 수도 있기 때문이다.

두개의 주파수 f_1 과 f_2 의 예를 든다면, 출력에는 여러가지 변형성분이 섞인 신호가 나오지만, $(2 \times f_1)$ 과 $(3 \times f_2)$ 같은 완전 배수성 고조파들은 필터로 거를 수가 있다. 하지만 문제가 되는 것은 3차항, 즉 $(2f_1 - f_2)$ 와 $(2f_2 - f_1)$ 인데, 이것은 f_1 과 f_2 신호에 아주 가까이 붙어 있기 때문에 심각한 문제가 된다.

상호변조 왜곡이 주로 지칭하는 것은 주로 이러한 3차항 상호변조 성분 때문이며, 그래서 보통 상호변조왜곡이라 부르는 신호들은 3차항의 상호변조 왜곡을 의미하는 경우가 많다. 특히 이 3차항의 상호변조 왜곡은 수식적으로 풀어보면 입력신호가 증가함에 따라 3제곱으로 늘어나기 때문에, 처음에는 상호변조 왜곡이 작지만 입력신호가 증가하다보면 원 신호보다 훨씬 빠른 기율기로 증가하면서 원 신호의 전력과 같아지는 경우까지 발생한다. 이 지점을 바로 IP3(3차 Intercept Point)라고 한다.

즉, 상호변조 왜곡이란 상호변조로 인하여 신호의 왜곡이 일어나는 정도를 의미하고 실제 제품의 사양이나 측정 기준치로는 IP3를 사용하게 된다.

2.1 선형화 방식

HPA는 최대 출력을 얻기 위해 소자를 비선형 영역에서 동작시켜야 하고 이에 따라 출력 전력 증폭기의 단점을 보완하는 방법이 선형화기를 사용한 선형 전력 증폭기의 사용이다.

전력증폭기에서 생기는 비선형 성분은 주로 3차 항에서 생기는 3차 상호변조 왜곡 성분, 인접채널 전력 등이 선형화의 대상이 된다.

선형화에는 여러 가지 방식이 있지만 가장 널리 사용되는 방식에는 백-오프(Back-off) 방식, 궤환(Feedback) 방식, 전치왜곡(Pre-distortion) 방식과 피드-포워드(Feedforward) 방식 등이 있다[13].

2.1.1 백-오프 방식

전력증폭기의 가장 중요한 특성 중 하나가 상호변조 왜곡인데 HPA는 최대 출력을 얻기 위해 소자를 비선형 영역에서 동작시켜야 하지만, 이에 따른 왜곡 때문에 입력 전력을 낮추어 선형 영역에서 동작시키는 백-오프 방식을 이용한다.

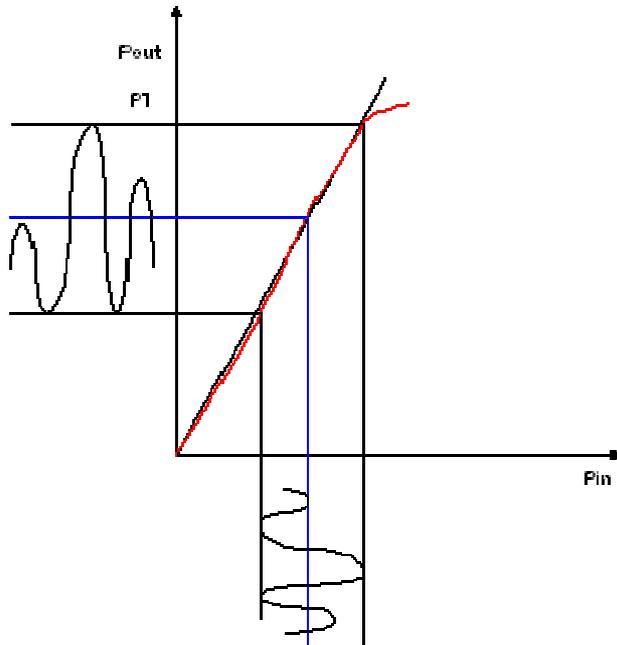
이 방식은 소정의 출력을 얻기 위하여 많은 수의 트랜지스터를 필요로 하고, 그에 따른 부피 증가와 전력효율의 감소, 방열 문제 그리고 더 큰 전원을 공급해야 하는 단점이 있다.

백-오프 방식은 실제 이용 가능한 최대 전력 점까지 사용하지 않고, 3 ~ 5dB 낮은 점에서 증폭기가 동작하게 하여 선형성을 확보하는 방법을 일컫는다.

<그림 2-1>과 같이 전력 증폭기에서 최대 포화전력을 정확히 추정하기 애매하고 최대 선형 출력 점은 이미 이득이 억압되기 시작한 후의 점이기에 때문에 실제로 선형적인 동작을 하는 전력 점으로 간주할 수 없으므로 일반적인 전력 증폭기가 실제 선형적으로 동작하는 점은 최대 선형 전력 점에서 3 ~ 5dB 정도 낮은 지점이라 할 수 있다.

출력 전력의 포화가 나타나는 구동 전력을 입력 포화전력이라 하고 입력 포화전력과 원하는 구동전력의 비를 증폭기 입력 백-오프라 한다. 입력 구동 전력을

낮추는 것, 즉 입력 백-오프를 높이는 것은 낮은 출력전력을 생성하지만 소자의 선형성은 향상시킨다.



<그림 2-1> 증폭기의 최대 포화 전력

<Fig. 2-1> Maximum saturation power of amplifier

증폭기의 출력 포화전력은 증폭기에서 활용할 수 있는 전체 최대전력이고 출력 백-오프는 최대출력전력 대 실제출력전력의 비이다. 따라서 출력 백-오프는 명확하게 구동 전력이 동작하는 입력 백-오프에 의해 결정된다.

따라서 입력 백-오프의 증가는 출력전력을 낮추고 출력 백-오프를 증가시킬 것이다.

2.1.2 케환 방식

케환 방식은 출력방향으로 나가야 할 신호의 일부가 입력 단으로 되돌아 오는 현상을 지칭한다. 특성상 주로 증폭기에서 많이 사용된다. 회로설계에서 굉장히 많이 사용되는 용어인데, 이것은 관점에 따라 불필요한 제거대상 성분일 수도 있고, 특정 목적에 따라 고의적으로 유발시킬 수도 있다.

즉, 매칭 오류 등에 의한 불필요한 케환은 회로의 특성을 불안정하게 만들고 발진을 일으킬 수 있으나, 사용자의 특별한 목적에 의해 고의적으로 일정량을 케환시킴으로써 안정도를 높이는 경우도 있다. 그 외에도 회로설계의 관점에서 출력 단 신호를 일부 입력 단으로 돌려보내는 루프, 설계방법 및 현상에 이 케환이라는 용어가 사용된다.

케환되어 돌아온 신호가 왜곡을 포함한 증폭의 관점에서 이득을 증가시키면 정케환, 이득을 감소시키면 부케환이라고 불린다.

정케환 방식은 증폭기류의 설계에서 이득을 증가시키기 위해 출력의 일부를 입력으로 되돌려 보내는 케환방식 또는 현상을 말한다. 정케환 방식을 적용하면 이득이 증가하고 그에 따른 왜곡 또한 증가하며 왜곡 증가에 따른 선형성 악화와 안정도가 떨어진다는 많은 단점이 있다.

그런데 실제로 이득을 증가시키기 위해 정케환 방식을 적용하는 경우는 극히 드물다. 실제로 증폭기를 설계할 때는 정케환 방식이 아닌 정반대의 특성을 가진 부케환 방식을 사용하면 다음과 같은 특성을 구할 수 있다.

- 1) 안정도 향상
- 2) 왜곡 감소에 따른 선형성 상승
- 3) 외부 잡음에 대한 영향이 적어짐

- 4) 이득 감도를 줄여서 온도변화 등에 조금 덜 민감하게 됨
- 5) 입출력 임피던스에 영향을 주어 조절이 가능
- 6) 증폭기의 대역폭을 증가시킴
- 7) 내부의 잡음지수는 대체로 올라감
- 8) 이득이 떨어짐

부궤환 방식은 많은 장점을 갖고 있어서 RF 증폭기 설계는 물론 모든 증폭기 설계에서 널리 사용된다.

특히 안정도 확보가 매우 중요한 RF 증폭기에서 이러한 부궤환 방식은 안정도를 향상시키기 위해 많이 사용된다.

그러나 앞서 언급한 부궤환 방식의 특성에서 알 수 있듯이 이득이 떨어지는 단점으로 인해 이득에서 충분한 여유가 있을 때, 부궤환 방식을 이용하여 이득을 다소 손해 보더라도 안정도 확보는 물론 증폭기의 동작 주파수 범위를 넓혀주는 광대역화를 이끌어 낼 수 있다. 또한 조절하기에 따라서 이득 평탄도를 향상시킬 수도 있고, 주변 환경변화에 대해 이득의 변화를 둔감하게도 만들어주기 때문에 일석 삼조의 효과가 있다.

2.1.3 전치보상 방식

전치보상 방식은 피드-포워드 방식에 비해 왜곡 제거 루프에 사용되는 증폭기가 없으므로 구조가 간단하여 소형으로 제작될 수 있고, 부가적인 DC 전력 소모가 적어 효율도 좋다. 그래서 비용 면에서 피드-포워드 방식보다 저렴한 장점을 가지고 있고 개방 루프 구조이므로 궤환 방식보다 대역폭의 제한을 덜 받는

다. 그러나 다른 방식과 달리 왜곡 제거를 위한 신호가 자체에서 나온 신호를 처리하여 만들어지는 방식이 아니므로 전치 왜곡기와 주 증폭기간의 비선형 특성이 얼마나 비슷한가에 따라 선형화 성능이 결정되는 단점이 있다.

전치보상 방식에서 전치보상기와 증폭기에서의 신호 변환 과정을 살펴 보면 <그림 2-2>과 같다.

전치보상 회로의 특징은 위상 변조 송신기를 이용하여 주파수 변조파를 얻는 간접 주파수변조방식에 사용되는 회로로 주파수 변조의 변조지수

$$M = \frac{\Delta f}{f_p} \quad (2-2)$$

가 위상변조의 최대위상편이

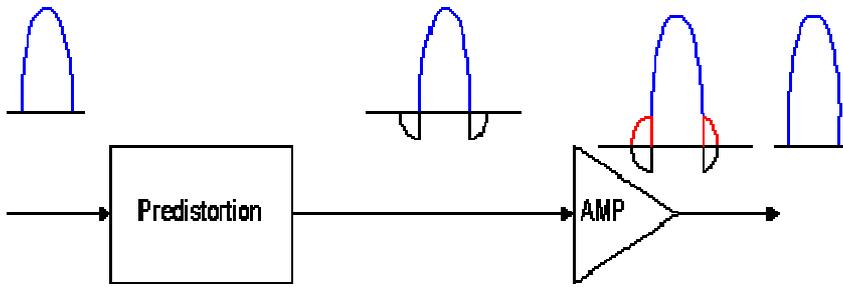
$$\Delta\theta (= \Delta\omega_c / \omega_p) \quad (2-3)$$

와 같게 하기 위해서 신호파 f_p 에 반비례하여 $\Delta\theta$ 를 감소시켜야 되고 주파수 스펙트럼 분포를 얻기 위해 신호파 위상이 90° 도 차이가 있어야 한다. 즉, 입력과 출력의 위상차가 90° 가 되어야 한다는 뜻이다.

이러한 기능을 수행하는 적분회로를 전치보상회로이라고 한다.

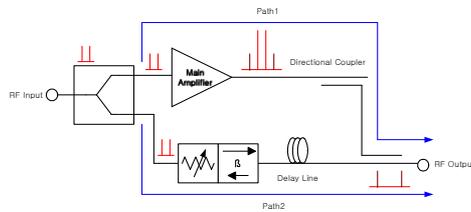
<그림 2-3>에서 전치보상의 입출력 전압비를 살펴보면

$$\frac{V_o}{V_i} = \frac{\{1/j\omega_p C\}}{\{R+1/(\omega_p C)\}} \quad (2-4)$$



<그림 2-2> 전치보상 증폭기에서의 신호변환

<Fig 2-2> Signal alteration on predistortion amplifier



<그림 2-3> 적분회로

<Fig. 2-3> Integral circuit

와 같이 나타낼 수 있다 여기서, $R \gg 1/\omega_p C$ 의 주파수 범위에서는

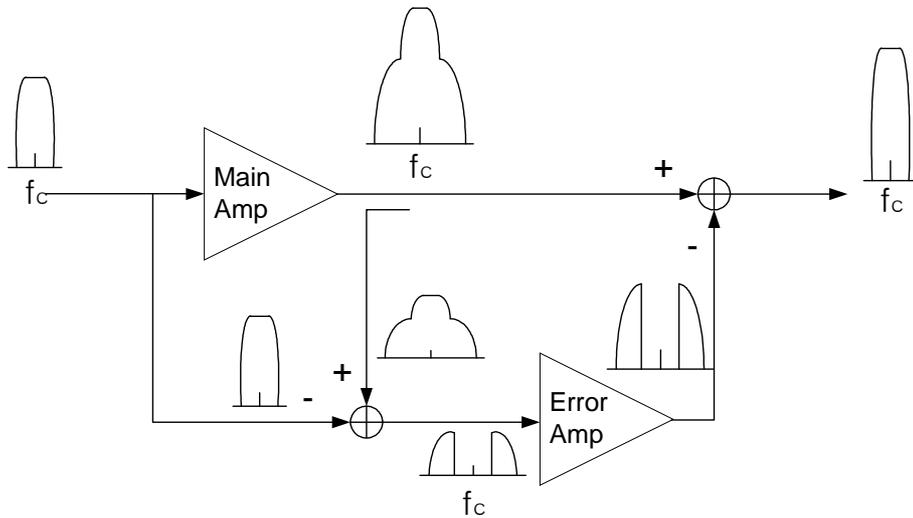
$$\frac{V_o}{V_i} = 1/j\omega_p C = *j\omega_p C \quad (2-5)$$

와 같다. 이 식에서 알 수 있듯이 신호파의 주파수에 반비례한 전압비를 가리 킴과 동시에 위상 $\pi/2$ [rad]만큼 지연시키는 작용을 한다. 또 이 회로는 차단 주파수 $f_c = 1/2\pi RC$ [Hz]의 저역 필터이기도 하므로 신호파 주파수가 f_c 이하가 된 경우는 감쇠하지 않는다.

2.1.4 피드-포워드 방식

선형화에는 여러 가지 방식이 있지만 가장 널리 사용되는 방식에는 피드-포워드 방식이 있다.

feedforward 방식은 선형화 시킬 전력 증폭기의 입·출력 특성을 미리 조사하여 입력 단에 증폭기에서 발생할 상호변조신호에 대해 위상이 반대가 되고 진폭이 같은 신호를 인가하여 상호변조왜곡 특성을 개선시키는 방식으로 넓은 대역폭과 간단한 회로구성으로 구현이 가능하다는 장점이 있다. 즉, 이 방식은 최종 출력 단에서 증폭기에서 발생한 왜곡 성분을 제거해줌으로써 선형화 시키는 방법으로 여러 선형화기 중 가장 뛰어난 선형화 특성을 갖는다.



<그림 2-4> 피드-포워드 전력 증폭기의 개념

<Fig 2-4> The concept of a Feed-forward power amplifier

피드-포워드 전력 증폭기의 RF 부분은 다음 <그림 2-4>과 같이 두 개의 상

쇄 루프를 가진다.

첫 번째 루프는 신호상쇄 루프가 되고 두 번째 루프는 오차 상쇄루프에 해당된다. 신호 상쇄 루프에서는 주 전력 증폭기의 결합된 출력 신호로부터 입력 신호 성분을 추출함으로써 순수한 오차 신호만을 제공한다.

이 오차 신호는 오차 증폭기에 의해 증폭되고 오차 상쇄루프에서 직접 빼줌으로써 증폭기 출력의 왜곡 성분을 상쇄시킨다.

이러한 피드-포워드 전력 증폭기는 주로 위성 지구국의 고출력 증폭기의 성능 개선용으로 사용되고 왔으며 동일한 진폭 위상 특성을 갖는 두 개의 증폭기가 요구되고 부수적인 전력 공급기 및 지연회로가 요구되어 타 방식에 비하여 효율이 5~7% 정도로 낮다.

따라서 90% 이상의 전력이 열로써 방출됨에 따라 방열판 설계에 따른 매우 큰 용적, 중량이 요구될 뿐 아니라 시간, 온도변화 등에 성능이 열화 될 가능성이 크다.

이러한 단점에도 불구하고 다중 반송파용 증폭기에서는 현저하게 개선되는 상호변조왜곡 특성으로 인하여 가장 많이 사용되고 있다.

2.2 선형화 측정 지수

2.2.1 인접채널 전력비

CDMA와 같은 디지털 통신 시스템의 전력 증폭기에서 선형성을 나타내는 지표 중 하나로 한 채널의 주파수 대역에서 인접채널까지의 특정 오프셋(Offset) 주파수에서의 전력 차를 나타내며, 단위로는 dBc를 사용한다.

CDMA의 채널간격은 1.23MHz, 1.25MHz이므로, 일반적으로 수식으로 따지자면 인접채널 전력비(ACPR; Adjacent Channel Power Ratio)는 다음과 같다[13].

$$ACPR = \frac{1.23MHz(1.25MHz)\text{채널 주파수 전력}}{\text{특정 Offset 주파수에서의 } 30kHz \text{ 대역폭 전력}} \quad (2-6)$$

여기서 offset은 +1.25MHz 뿐만 아니라 +885MHz + 2.25MHz 등, 시스템에 따라 여러가지 규격이 있다. 인접채널 전력비는 과거 앰프스 이동전화(AMPS; advanced Mobile Phone Service)의 인접채널전력의 개념에서 대역폭의 개념만 다른 것이다. 인접채널전력은 각 채널 폭이 30kHz이지만, CDMA는 1.23MHz(1.25MHz)이기 때문에 30kHz×30kHz의 전력비를 보는 인접채널전력과 달리 인접채널전력비는 1.23MHz(1.25MHz)×30kHz의 전력비를 보게 된다. 여기서 1,230kHz / 30kHz = 41 정도의 비율이고, 이것을 dB로 환산하면

$$10 \log 41 = 16dB \quad (2-7)$$

가 된다. 그래서 앰프스 이동전화방식(AMPS; Advanced Mobile Phone Service)의 인접채널 전력보다는 채널 대역폭이 41배이기 때문에 채널대역폭을 30kHz로 계산한 인접채널 전력 값에 16dB을 더하게 되는 것이다.

보통 측정할 때는 스펙트럼 분석기의 분해능(RBW)을 30kHz로 맞춘 후, 해당 offset과의 차이(인접채널 전력)에 16dB을 더하는 경우가 많게 된다.

인접채널 전력비는 2-톤을 입력하여 서로 다른 주파수간의 3차 고조파를 측정하는 IP3 선형지표와 혼동되는 경우가 있는데, 인접채널 전력비는 자신의 단

일 톤 신호입력에 의해 내부의 비선형성 때문에 발생한 인접채널 잡음성분과의 비를 말하는 것이다.

물론 측정방법에 따라 2-톤을 입력하여 인접채널 전력비를 측정하기도 한다. 결론적으로 인접채널 전력비는 자기 신호가 남의 채널에 얼마나 간섭을 주느냐를 따지는 선형성을 의미한다. 전력 증폭기의 경우 자기 채널신호만 잘 증폭하고 인접채널 대역은 최대한의 증폭이 억제되어야 하기 때문에 인접채널 전력비가 전력증폭기의 주요 지표로 사용되는 것이다[14].

2.2.2 혼 변조

혼변조(Cross Modulation)의 정의는, 원하지 않는 신호에 의해 원래 신호의 반송파에 신호변조가 발생하는 현상을 의미한다. 단말기 등에서는 송신신호와 수신신호를 듀플렉서를 통해 하나의 안테나에서 처리하게 되는데, 이때 듀플렉서(Duplexer)의 송·수신단간의 독립성이 중요해진다. 하지만 이들의 독립성이 완벽할 수는 없어서 송신신호의 일부가 안테나로 가지 못하고 수신 단으로 유입되면서, 실제 수신신호와 서로 변조를 일으키게 된다. 이러한 종류의 현상을 흔히 혼변조라 하며, 단일 톤 시험 등을 통해 그 정도를 가늠하기도 한다. 혼변조와 상호변조의 원리는 기본적으로 동일하다. 비선형 시스템에서의 고조파 생성과 그 조합에 의해 불필요한 신호가 잡음원으로서 발생하는 것이다.

하지만 두 가지는 엄연히 구분되는데, 혼변조가 일어나는 신호의 소스(Source)원에 따라 분류된다. 상호변조는 원래 원하는 신호의 주파수 대역 안에서 여러 톤(Tone)들의 조합에 의해 발생하는 변조잡음을 지칭하기 위한 것이다. 즉 원하는 수신신호 혹은 송신신호 중에서 내부적으로 발생한다. 반면 혼변조는

이렇게 자체적인 주파수 자원 내부가 아닌, 아예 상관없는 주파수원이 치고 들어와서 발생하는 상호변조현상을 지칭하는 말이다. 수신 단에 송신신호가 유입되어 발생하는 것이 대표적인 혼변조 현상이지만, 이외에도 외부에서 잠입 가능한 주파수 잡음원에 의한 변조현상 일체를 지칭한다.

2.2.3 상호 변조

상호변조(Inter Modulation)는 시스템 내에 존재하는 능동회로에 포함된 비선형 소자, 즉 트랜지스터, 다이오드로 인해 발생하는 것으로서, 입력에는 없으나 출력에 나타나는 신호성분이다.

비선형 회로의 입력 단에 한 주파수의 신호 성분이 들어가면 출력 단에서는 그 비선형성으로 인해

$$y = a + bx + cx^2 + dx^3 \quad (2-8)$$

과 같이 고조파 성격을 가진 비선형 출력들이 연속해서 나오게 된다.

그런데 만약 두개의 주파수가 한 시스템을 통과할 때는 이것이 서로 간섭하여 고조파들의 합과 차에 해당하는 주파수 에너지 성분들이 나오게 된다.

예를 들어, f_1 , f_2 의 두 주파수가 입력에 동시에 들어가면 출력에서는 f_1 , f_2 는 물론 $2f_1 - f_2$, $2f_2 - f_1$, $2 \times f_1$, $3 \times f_2$ 등의 무수히 많은 주파수 성분들이 발생하게 된다.

이러한 현상 자체 혹은 그 기생 주파수성분들을 상호변조라고 부른다.

2.2.4 IP3 (3차 Intercept Point)

상호변조 왜곡은 두 주파수가 하나의 비선형 시스템을 통과하면서, 출력에서 두 주파수의 고조파들의 합과 차에 대한 성분들이 검출되어 방해요소가 되는 문제점을 일컫는다.

이러한 상호변조 왜곡의 방해 정도를 나타내는 대표적인 지표가 IP3이다.

즉 선형성이 얼마나 좋느냐를 나타내는 것으로서, 디지털 통신에서 매우 중요한 변수다. 3차 항의 상호변조 왜곡신호는 원래 신호보다 3배곱, 즉 dB(log)스케일(Scale)로 보면 3배의 기울기를 가지고 증가한다. 입력신호가 계속 증가하면 처음에는 작았던 3차 상호변조 왜곡신호도 급격하게 증가함에 따라 어느 지점에 선 결국 원래 신호와 같은 전력 수준으로 상승한다. 그렇게 됨으로써 원래의 신호주파수 에너지와, 3차 항의 상호변조 왜곡이 만나는 전력 점을 IP3 (3rd Intercept point) 라고 한다.

이는 실제로 출력전력은 3차 상호변조 왜곡과 만나기 전에 포화되어 더 이상 증가하지 않게 되기 때문에, 실제로 동등한 레벨이 되는 전력 점을 의미하는 것이 아니라 증가되는 기울기를 봤을 때 동등한 레벨이 될 것이라고 예상되는 전력 점이 바로 IP3이다.

예를 들어, 입력이 0dBm일 때 원래 신호의 출력은 12dBm, 3차 상호변조 왜곡 신호출력은 -15dB라고 가정하고, 입력전력을 증가시켜본다면, 3차 상호변조 왜곡이 실수영역에서 3배곱, 즉 log 영역에서 기울기가 3배이기 때문에 더욱 급격히 증가하여 결국 입력전력이 13.5dBm에 도달하면 원래 신호의 출력과 3차 상호변조왜곡의 출력이 똑같이 25.5dBm이 되어 버린다.

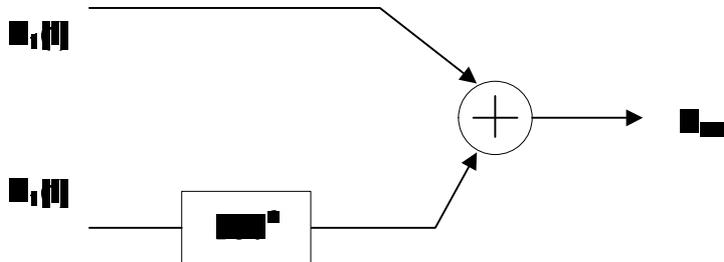
이렇게 원 신호출력전력과 3차 상호변조 왜곡 신호전력이 똑같아지는 전력점

이 바로 IP3이다.

여기서 IP3는 IIP3 (입력 IP3) 와 OIP3 (출력 IP3)로 나누어지는데, 출력전력이 똑같아지는 점의 입력전력 13.5dBm이 IIP3이고, 출력전력 25.5dBm을 OIP3라고 부른다.

2.2.5 상쇄지수

피드-포워드 전력증폭기의 기본적인 동작원리는 <그림 2-5>에서 보여 주듯이 두 신호가 입력되었을 때 하나의 신호를 180° 반전 시켜주고 신호의 크기를 동일하게 하여 합했을 때 신호가 상쇄되는 효과를 이용한 것이다.



<그림 2-5> 신호의 상쇄

<Fig 2-5> Cancellation of signals

신호의 왜곡성분은 신호의 순시적인 진폭 및 변조 주파수를 변하게 하는 결정적인 신호가 된다. 그러나 이러한 왜곡 성분은 항상 동일한 조건에서 유사하게 나타나는 특성이 있다. 본 논문은 피드-포워드 선형화 기술을 제어하는 것을 주목적으로 하고 있지만 이러한 왜곡성분이 변화하는 신호 환경에서 어떻게 동작

하는지 찾는 것도 큰 의미를 가진다. 이는 일부 기본적인 상쇄 기술에 의해 훌륭한 신호의 상쇄를 달성하는 데 있어서 매우 유용한 정보가 될 수 있다.

물론 직접적으로 충분한 상쇄가 이루어지지 않더라도 왜곡의 동작에 대한 주의 깊은 연구는 좀 더 정교한 선형화 기술의 상쇄 방식을 적용함으로써 20 ~ 30dB 까지 상쇄를 끌어올릴 수도 있을 것이다.

좋은 상쇄 성능은 증폭기의 왜곡 성분과 선형화 소자에 의해 생성된 신호 성분의 사이에 진폭과 위상 매칭에 대한 매우 엄격한 요건이 따른다.

잔류 상호변조 성분의 전력은 코사인 법칙을 사용하여 계산할 수 있고 주어진 상쇄 정도에 따라 요구되는 매칭은 다음 식 (2-9)와 같다.

$$CANC = 10 \log (1 - 2(1 + \Delta A/A) \cos(\Delta \phi) + (1 + \Delta A/A)^2) \quad (2-9)$$

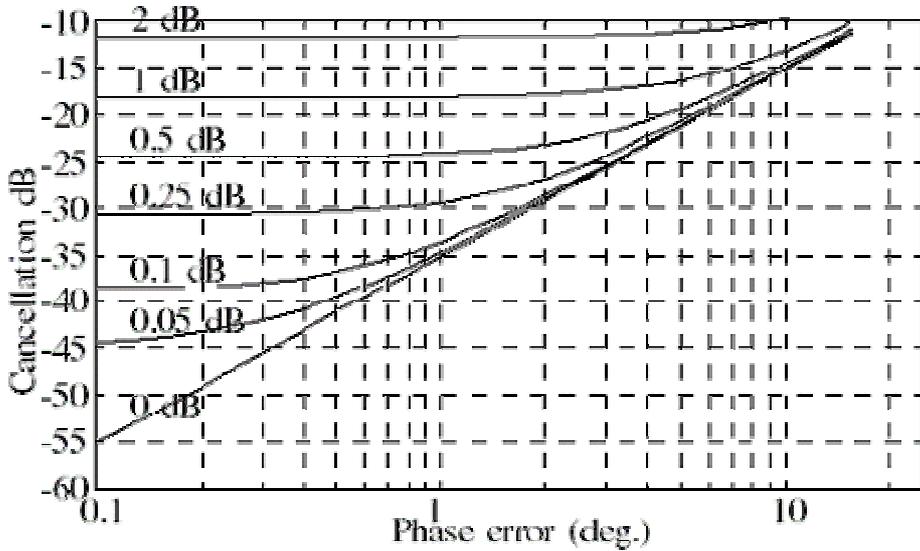
여기서 $\Delta \phi$ 는 위상 오차, ΔA 는 진폭 오차를 나타낸다.

다음 <그림 2-6>는 전체 신호 및 상호변조 대역 이상에서 상호변조 성분을 25dB 줄이기 위해 위상 오차는 $2^\circ \sim 3^\circ$ 이상 차이가 발생하지 않아야 하고 이득의 매칭인 평탄도가 0.25dB(3%) 이상이어야 한다는 것을 보여준다.

2.3 경로 길이 변화에 따른 신호의 상쇄

앞 절에서는 상쇄지수와 피드-포워드 선형화 방식에 대하여 설명하였다. 이때 시간지연에 관한 영향은 무시하였다. 그러나 시간 지연라인은 피드-포워드 선형화 회로에서 상쇄지수의 대역폭을 결정한다. 다음은 시간 지연과 상쇄지수와의

관계를 관한 내용이다.



<그림 2-6> 위상과 진폭 오차에 대한 함수로서의 달성되는 상쇄

<Fig. 2-6> Cancellation achieved as functions of phase & amplitude error

상쇄지수는 식(2-9)에서 정의하였다. 피드-포워드의 각 루프의 두 입력신호 S_1 과 S_2 를 다음과 같이 크기는 같고 위상이 180도 라고 가정하자.

$$S_1 = A_1 \cos(\omega_1 t) \quad (2-10)$$

$$S_2 = A_2 \cos(\omega_2 t) \quad (2-11)$$

θ_1 과 θ_2 는 각 선형화 루프에서 각 경로의 전기적인 길이이다. 선형화 회로에서 시간지연 라인 은 중심주파수에서 두 경로의 시간지연이 같도록 맞추어 주어 야 한다. 두 신호의 크기가 같고 위상이 반전되어 있고 시간지연이 두 경로에서

같다면 식(2-9)에서와 같이 상쇄지수가 최대가 됨을 알 수 있다. 그렇다면 시간 지연이 다를 때는 어떻게 되는지 고려해 보자.

비록 두 경로의 시간지연이 다르다고 해도 위상변화기의 위상을 조절하여 한 주파수에 대해, 즉 중심주파수에 대해 시간의 지연을 맞출 수 있으나 중심주파수가 아닌 다른 주파수에서는 두 경로에서 시간지연 차이가 생기기 때문에 위상이 달라지게 된다.

즉, 중심주파수, f_0 에서 경로 1의 전기적인 길이가 $10\lambda_0$ 라고 하고 경로 2가 $9.9\lambda_0$ 라고 하고 경로 2에 위상변화기가 있다고 하자.

두 경로의 차가 $0.1\lambda_0$ 이므로 전기적인 길이 차이에 의한 위상 차는 36° 이다. 이를 위상변화기로 216° 의 위상변화를 주면 위상 차에 해당하는 36° 의 지연을 뺀 두 경로의 위상 차는 180° 가 된다.

<표 2-1> 주파수에 따른 위상의 변화표

<Table 2-1> Table of phase variation according to frequencies

	경로1의 전기적 길이	경로2의 전기적 길이	경로차	위상 차	위상변화기의 요구량	경로간의 위상차
주파수 f_1	$10\lambda_0$	$9.9\lambda_0$	$0.1\lambda_0$	36°	216°	180°
주파수 $2f_1$	$20\lambda_0$	$19.8\lambda_1$	$0.2\lambda_1$	72°	216°	144°

그러면 주파수 f_1 이 두 배가 되었을 때를 고려해보자. 이때 경로 1의 전기적인 길이는 $20\lambda_0$ 이고 경로 2의 전기적인 길이는 $19.8\lambda_1$ 이 된다. 따라서 두 경로의 길이의 차이는 $0.2\lambda_1$, 즉 72° 가 된다. 위상변화기는 항상 216° 를 변화시킴으로 두 경로의 위상차이는 72° 를 감한 144° 가 됨을 알 수 있다. 이 관계를 <표 2-1>에 정리하였다.

위와 같이 두 경로에 시간차가 날 때는 중심주파수에서는 두 경로의 위상을 반전시켜 상쇄를 시켜줄 수 있으나 주파수가 달라지면 두 경로의 위상차가 180° 가 아니기 때문에 상쇄지수는 감소하게 된다. 즉 상쇄지수에 어떤 대역폭이 생기게 된다. 식(2-10), (2-11)의 두 입력신호에 대해서 두 경로의 시간지연 효과를 적용하면 상쇄지수는 다음과 같다.

$$\text{상쇄지수} = 10 \log(1 - \cos(\theta_1 - \theta_2)) + 3 \quad (2-12)$$

두 경로에서 시간지연 라인을 파장단위로 기술하고 주파수에 따른 상쇄지수를 표현하면 상쇄지수는

$$\text{상쇄지수} = 10 \log \left(1 - \cos \left(2\pi \frac{\lambda_{error}}{\lambda_0} \left(1 - \frac{f}{f_0} \right) \right) \right) + 3 \quad (2-13)$$

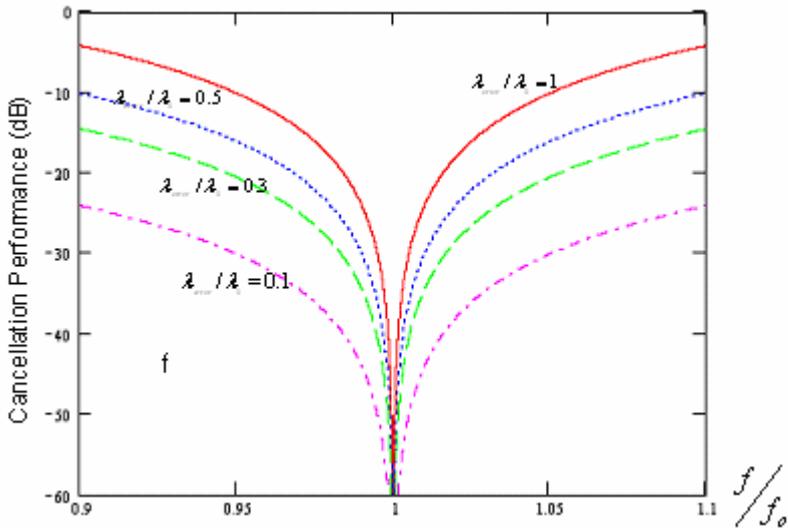
으로 기술된다. 여기서 f_0 는 중심주파수, f 는 임의의 주파수, λ_0 는 중심주파수 파장, λ_{error} 는 두 경로의 길이에 의한 파장의 차이이다. <그림 2-7>는 시간지연 불일치에 따른 상쇄지수를 보여주고 있다. 중심 주파수 파장에 대한 시간지연 라인의 길이의 불일치가 커지면 커질수록 상쇄지수의 대역폭이 줄어드는 것을 볼 수 있다. 따라서 상쇄지수의 대역폭을 최대한 크게 하려면 두 신호의 크기는 같고 위상은 180° 가 되도록 하는 것 이외에도 두 경로의 시간지연을 최대한 맞추어 주어야 한다.

식(2-13)을 두 입력신호의 크기도 다르고 위상도 180° 가 아닐 때까지 일반화 시켜주면 상쇄지수는

$$\text{상쇄지수} = 10 \log \left(1 + \alpha^2 - 2\alpha \cos \left(2\pi \frac{\lambda_{error}}{\lambda_0} \left(1 - \frac{f}{f_0} \right) \right) \right) \quad (2-14)$$

과 같다.

따라서 식(2-14)에서 보여주는 바와 같이 상쇄지수는 입력신호의 크기, 위상 차, 시간지연 길이에 영향을 받음을 알 수 있다.



<그림 2-7> 상쇄루프에서 두 경로의 시간지연 불일치에 따른 상쇄지수
 <Fig. 2-7> Cancellation performance followed by different time delay in cancellation loop

2.4 피드-포워드 선형화 증폭기 구성

피드-포워드 증폭기 시스템은 내부에 많은 증폭소자들의 결합으로 된 증폭 모듈이 다시 한번 결합되어 전체적인 시스템을 형성하므로 먼저 고효율증폭기를 디자인하는 것이 기본이 되어야 한다.

피드 포워드 전력 증폭기 시스템은 크게 두 개의 루프로 구성되어 있으며 여

기서 신호제거 루프는 상호변조 왜곡성분을 분리시키기 위해서 사용되었고, 두 번째 루프는 순수한 상호변조 왜곡만을 분리하고 증폭하여 상호변조 왜곡을 제거할 수 있도록 주 증폭기에 증폭된 상호변조왜곡 신호를 공급하는 역할을 한다.

2.4.1 신호 루프

Feedforward 방식의 선형화 회로는 간단히 설명하면 증폭기에서 생긴 왜곡 성분, 즉 상호변조 신호만을 찾아내 이를 다시 증폭기의 출력에 왜곡 성분과 크기는 같고 위상은 반전되도록 하여 더해준다. 이렇게 하여 증폭기의 왜곡 성분을 없애 주는 것이다.

피드-포워드 방식의 선형화 회로는 앞 절에서 설명한 신호의 상쇄를 이용하는 것이다. 피드-포워드 방식에서는 신호상쇄를 위한 두개의 상쇄루프가 있다.

첫 번째는 주 증폭기에서 순수 신호성분만을 상쇄하는 루프로서 신호루프라 한다. 신호루프에서는 주 증폭기에서 생성된 신호에서 신호성분을 상쇄해 버리고 상호 변조된 왜곡성분만을 찾아낸다. 그 방식은 다음과 같다.

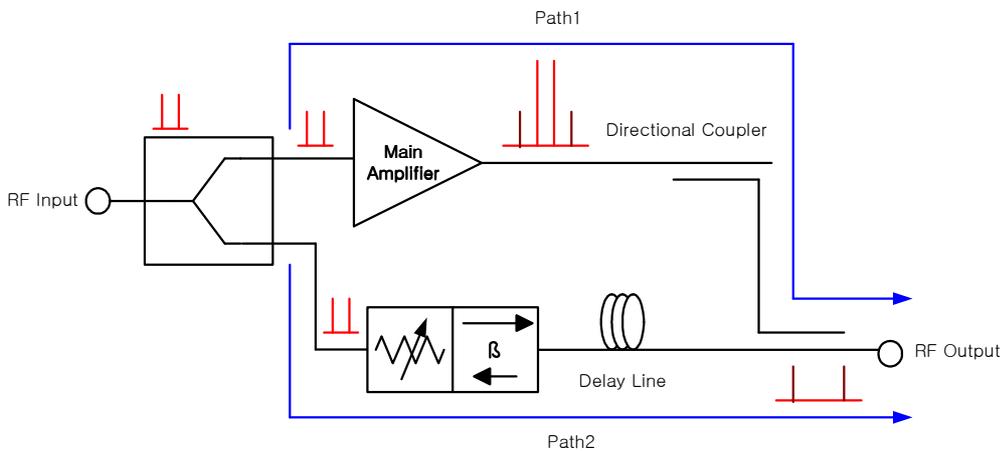
<그림 2-8>에서 보듯이 입력된 신호가 전력 분배기를 통해서 두개의 경로로 나누어진다.

경로 1은 주 증폭기로 가는 신호로 이 신호는 주 증폭기에서 증폭되어 출력에는 캐리어성분과 상호 변조된 왜곡성분이 동시에 존재하게 된다. 이것을 방향 결합기의 결합비만큼 신호를 감소시키고 다시 방향 결합기로 신호를 한번 더 감쇄시켜주는 동시에 경로2를 지나온 신호와 더해준다.

경로2의 신호는 제어기와 시간지연 선로를 거친다. 제어기는 가변감쇄기와 위상제어기로 구성되는데 경로1을 지나온 신호와 경로2를 지나온 신호가 크기가

일치하고 위상이 180° 가 되도록 제어하는 역할을 한다. 시간지연 라인은 경로1과 경로2의 시간지연을 일치시켜주는 역할을 한다. 이때 경로2의 신호는 단지 제어기와 시간지연 라인만을 거친다.

따라서 상호변조 신호가 없으므로 경로1의 신호와 더해졌을 때 순수 신호성분은 상쇄되고 주 증폭기에서 생성된 상호변조 신호만을 골라낼 수 있게 된다. 이 신호를 오차신호라고 한다.



<그림 2-8> 선형 증폭기에서 신호루프

<Fig. 2-8> Signal loop on a linear amplifier

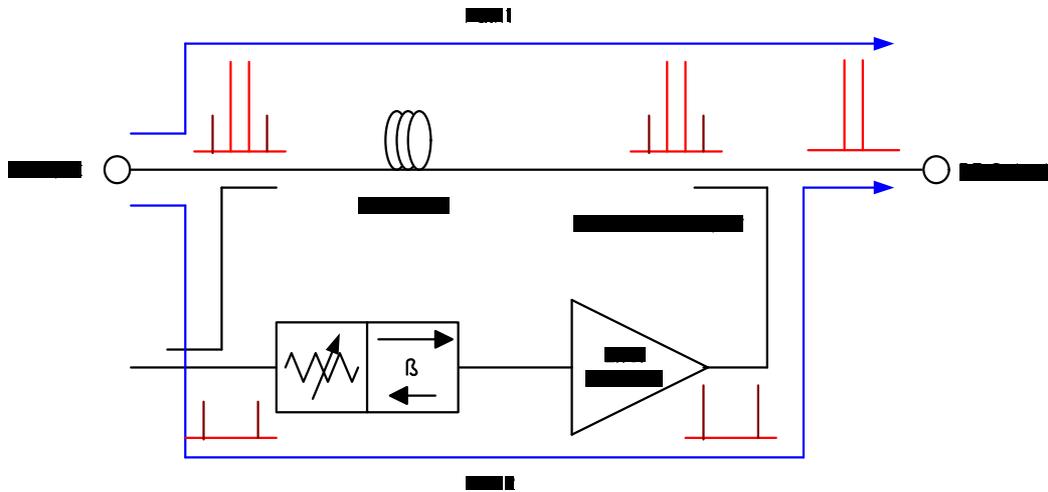
2.4.2 오차 루프

두 번째 루프는 신호루프에서 찾아낸 상호변조신호, 오차신호가 <그림 2-9>에서 볼 수 있듯이 경로1과 경로2를 거쳐 상쇄되므로 오차루프라고 한다.

오차루프에서는 오차루프의 입력에 주 증폭기의 신호성분은 포함하지 않고 상

호 변조된 신호만이 입력된다. 오차루프의 경로1에는 단지 시간지연 라인만이 있다. 이 시간 지연라인은 경로1과 경로2의 시간지연을 맞추어 주는 역할을 한다.

경로2에서는 주 증폭기의 상호 변조된 신호가 신호루프에 있는 두 개의 결합기를 통해 크기가 감소된 왜곡 신호가 제어기를 거쳐 오차 증폭기에서 증폭된다. 증폭된 신호는 결합기에서 결합비만큼 감쇄된 후 경로1을 지나는 주 증폭기의 출력신호와 더해진다. 이렇게 하여 주 증폭기의 상호변조 신호를 제거한다.



<그림 2-9> 선형 증폭기에서 오차루프
 <Fig. 2-9> Error loop on a linear amplifier

제 3 장 주 증폭기의 설계 및 구현

최근의 CDMA-2000 또는 W-CDMA의 3세대 무선 통신은 채널당 3.84Mbps의 고속 데이터 전송율과 9 ~ 12dB의 높은 침투치 대 평균 전력의 비를 요구하고 있다. 또한 다중 채널을 사용함으로써 인해 2.1GHz대역에서 60MHz의 넓은 대역폭을 점유하게 되고, 미국 연방 통신 위원회(FCC; Federal Communication Commission)를 비롯하여 국제전기통신연합 무선통신섹터(ITU-R)의 표준화를 통해 대역 외 발사에 대한 엄격한 요건을 규제 받고 있다.

이러한 제반 요건을 만족하기 위해 제2장에서 설명된 바와 같이 다양한 선형화 기법이 사용되고 있으며 그 중 전치왜곡 방식과 피드-포워드 방식이 보편적으로 적용되고 있다.

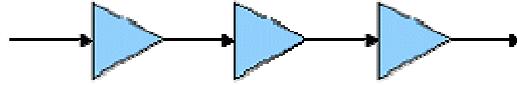
본 장에서는 피드-포워드 방식의 선형 전력 증폭기를 구현하기 위한 대상에 해당하는 주 전력 증폭기의 설계 및 제작에 대해 설명하고자 한다.

3.1 전력 증폭기 설계의 기초

본 논문에서는 40W급의 선형 전력 증폭기를 설계하기 위해 신호의 분배 및 결합과정에서 생기는 다양한 손실을 감안하여 60W급의 주 전력 증폭기를 설계하게 되었다. 또한 증폭기의 이득은 54dB 이상을 가지도록 하였다.

여기서, 증폭기의 성능을 나타내는 최대출력 전력과 증폭기의 이득은 서로 상관관계가 없는 별개의 내용으로 최대출력 전력은 출력단에 얼마나 많은 전류(전력)를 흐르게 할 수 있느냐를 나타내는 반면에 증폭기의 이득은 입력신호를 몇 배로 키울 것인가를 나타내는 지수이다.

실제 증폭기의 제작에서는 필요로 하는 이득을 얻기 위해 저전력 증폭기와 대전력 증폭기를 다음 그림과 같은 원리로 직렬 연결하여 원하는 이득을 구할 수 있다.



$$11.6 \times 10 \times 1001.6 = 116185 \text{ 배}$$

$$12\text{dB} + 10\text{dB} + 32\text{dB} = 54\text{dB}$$

<그림 3-1> 증폭기의 직렬 연결

<Fig. 3-1> Cascade connection of amplifiers

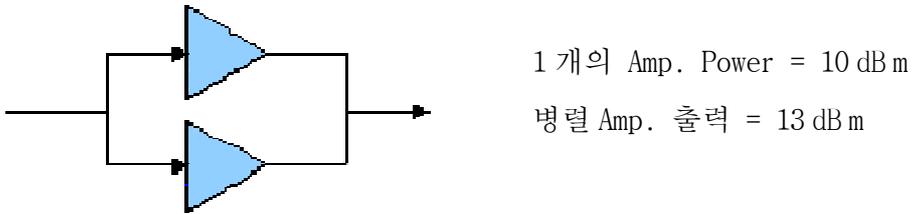
물론, <그림 3-1>의 증폭기 각 단의 연결에는 각 단 상호간에 매칭이 이루어져야 할 것이다.

그러나, 앞서 설명한 바와 같이 증폭기의 이득이 증가되어도 최대출력전력이 증가하지 않기 때문에 최대출력전력은 종단 증폭기에 절대적으로 의존하게 된다.

최대출력전력을 설계하기 위해서는 <그림 3-2>와 같이 증폭기를 병렬로 연결하여 출력단에 동시에 흐를 수 있는 전류 용량을 증가시킴으로써 원하는 최대출력전력까지 높일 수 있게 된다.

RF 증폭기는 본 논문에서 구현하고자 하는 선형 전력증폭기 이외에도 이동통신 수신 단에서의 사용되는 저 잡음증폭기(LNA; Low Noise Amplifier), 종단 증폭기의 입력 레벨을 조정하기 위한 구동증폭기(DA; Drive Amplifier) 등의 다양한 용도로 사용될 수 있다.

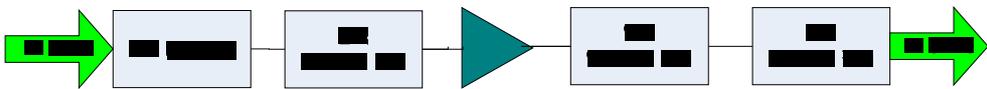
따라서 이러한 용도에 따라 구체적인 설계 법은 다르지만 입출력 임피던스를 원하는 목표에 맞게 결정해야 한다는 공통점이 있다.



<그림 3-2> 증폭기의 병렬 연결

<Fig. 3-2> Parallel connection of amplifiers

<그림 3-3>과 같이 증폭기에 사용할 트랜지스터의 입출력 임피던스는 결정되어 있지 않기 때문에 설계 시에 적절하게 결정되어야 한다. 그리고 어떤 목적의 증폭기를 제작하느냐에 따라 그 목적에 잘 부합되는 적절한 임피던스를 설정하는 것이 중요한 작업이다. 이는 입출력 임피던스에 따라 잡음이나, 이득, 출력 등의 특성이 변한다는 것을 의미한다.

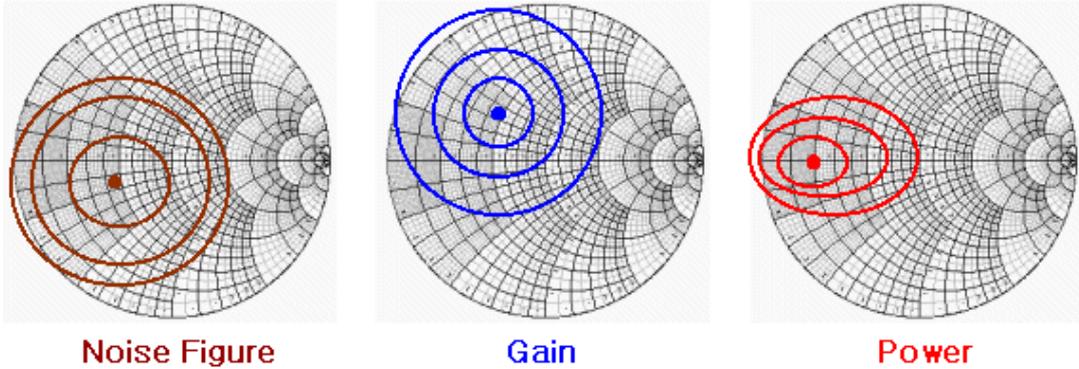


<그림 3-3> 증폭기의 입출력 매칭

<Fig. 3-3> Input/output matching of an amplifier

<그림 3-4>는 트랜지스터 S-파라미터를 이용하여 계산되는 최적의 입출력

임피던스 점들의 예이다. 그림에서 각 동심원들의 중심점이 최소 잡음, 최대 이득, 최대 전력을 나타내는 최적의 값을 나타내고 주변의 동심원들은 중심점에 비해 해당 규격이 1dB씩 떨어지는 점을 나타내고 있다.



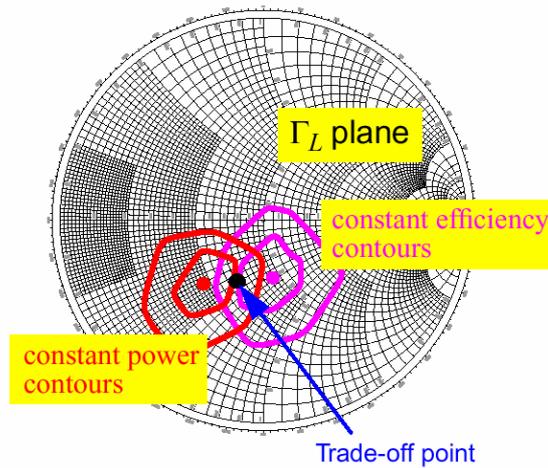
<그림 3-4> 잡음, 이득, 전력에 대한 스미스 차트

<Fig. 3-4> The Smith charts for a noise figure, gain and power

또한 <그림 3-4>의 잡음, 이득, 전력에 대한 스미스 차트(Smith charts)에서 알 수 있듯이 최소 잡음과 최대 이득, 최대 출력을 각각 만족하는 최적의 임피던스 점은 서로 다른 곳에 위치하고 있음을 알 수 있다.

따라서 설계하고자 하는 증폭기의 용도가 저 잡음증폭기, 전력증폭기 혹은 이득만 높게 나오는 증폭기 등에 따라 임피던스를 적절히 결정하고 결정된 임피던스를 입출력단의 50Ω 과 매칭시키는 것이 설계의 관건이 되는 것이다. 보통의 경우 이 세가지 요건을 동시에 만족시키는 것은 불가능하므로 저 잡음증폭기의 경우 잡음과 이득이, 전력증폭기의 경우 이득과 출력이 트레이드 오프(Trade-off) 관계를 가지게 된다[15].

이것이 RF 증폭기 설계의 핵심이며, 원하는 결과를 얻기 위한 임피던스 점을 적절히 잡고 매칭을 잘하는 것이 가장 중요하다. 이외에도 부가적으로 발진을 막고 선형성을 증가시킬 방법을 부가한다면, 증폭기의 설계는 완성될 것이다.



<그림 3-5> 전력 증폭기 트레이드 오프 점의 예

<Fig. 3-5> An example of trade-off point for a power amplifier

<그림 3-5>는 전력증폭기 설계를 위한 이득과 출력 전력 사이의 트레이드오프 점을 찾는 예를 보이고 있다[15].

3.2 주 증폭기용 종단 트랜지스터의 선정

앞서 설명된 설계의 기초를 바탕으로 $-5\text{dBm}(0.3\text{mW})$ 의 입력전력에 대하여 $43\text{dBm}(20\text{W})$ 의 평균전력을 갖는 W-CDMA 선형 전력증폭기를 구성하기 위해서는 주 증폭기는 최소 48dB 의 이득을 가져야 하겠지만, 40W 급 증폭기로 구성하기

위하여 제2장에서 설명된 바와 같이 주 증폭기의 백 오프를 예상하고 지연선로의 손실, 방향성 결합기의 손실 등을 고려하여 다음 <표 3-1>과 같이 60W급의 증폭기와 54dB의 이득을 설계 목표로 설정하였다.

<표 3-1> 주 증폭기의 설계 목표

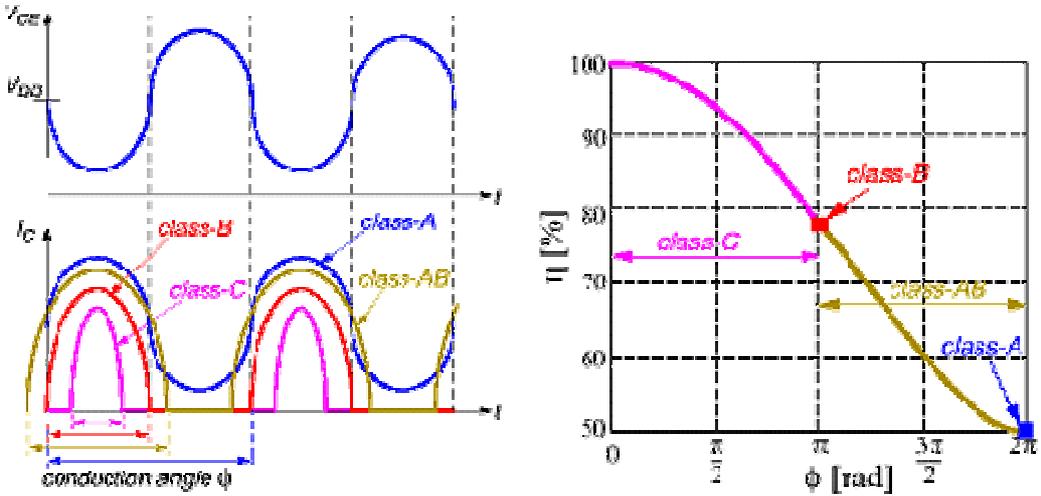
<Table 3-1> A design task for main amplifier

항 목	규 격	비 고
주파수 범위	2.11GHz~2.17GHz	
최대 출력전력	60W	
증폭기 이득	54dB	
임피던스	50Ω	
AM-PM 왜곡	< 1.5° /dB	
평탄도	< ±0.5dB	
IMD 특성	1MHz 간격의 2-톤 신호를 통해 최대 -30dBc	

또한 종단 증폭기의 선정에서 효율을 높이기 위해 가능한 한 높은 출력이 나오도록 조정하지만 -30dBc 이하의 상호변조곱을 갖도록 백-오프 시킬 수 있는 최대출력 전력을 고려해야 한다. 이러한 목적을 위해 검토된 A급 증폭기는 <그림 3-6>에서 보는 바와 같이 선형성은 좋으나 효율이 낮으므로 일반적으로는 AB급 증폭기로 설계하게 된다.

여기서 이상적인 첨두 드레인 효율 η 은 다음 식에 의해 구해진다.

$$\eta = \frac{\phi - \sin\phi}{4\sin(\phi/2) - 2\phi\cos(\phi/2)} \quad (3-1)$$



<그림 3-6> 증폭기의 전력과 효율 사이의 트레이드 오프

<Fig. 3-6> Trade-off between power and efficiency

그러나 효율이 높은 AB급 증폭기로 설계할 경우, 동작 점에 따라 상호 변조 곱이 다르게 나타나므로 먼저, 여러 바이어스 조건으로부터 입사전력의 변화나 전압의 변동에도 큰 차이 없이 일정하고 상하 측파대가 대칭적으로 나타나는 최적 점을 찾는 과정이 필요하다.

주 증폭기의 전력이 커져 포화영역 부근에서 동작할 경우, 상호변조 왜곡이 심해져 선형 보상을 통해서도 상호변조 왜곡은 쉽게 제거되지 않으며 3차 상호 변조 왜곡 이외에도 5차, 7차의 상호변조 왜곡의 제거는 더 더욱 어려워진다.

이러한 내용에 대해 검토된 종단 증폭기용 트랜지스터는 MRF21125 및 MRF21180의 두 가지가 있으며 최종적으로 시스템 구성이 용이하고 선형성이 우수한 MRF21180이 선정되었다[16].

3.2.1 MRF21125 증폭기

MRF-21125 트랜지스터는 광대역 CDMA 기지국용으로 설계될 수 있도록 2,110MHz ~ 2,170MHz의 주파수 범위를 가지고 있으며 시분할 다중화 방식, 코드 분할 다중화 방식 및 다중 캐리어 증폭기에 적합한 것으로 확인되었다.

그러나, PCN-PCS 셀룰라 무선 및 무선가입자회선(WLL; Wire Local Loop)의 설계를 위해서는 AB급으로 사용되어야 할 것이다.

2-톤 CDMA신호에 대한 기본적인 특성을 살펴보면 <표 3-2>와 같다. 2-톤 신호는 f_1 이 2.1125GHz, f_2 는 2.1225GHz가 사용되었으며 V_{DD} 에 28V, I_{DQ} 에 1,600mA가 인가되었다.

채널 대역은 3.84MHz로 설정하여 인접채널누설 전력 및 3차 상호변조 왜곡이 측정되었으며 인접채널 누설전력은 f_1 과 f_2 의 기준 입력신호 $\pm 5\text{MHz}$ 에서 측정되었다.

이외에도 MRF21125 증폭기는 사용이 용이하고 내부적으로 매칭이 이루어질 뿐 아니라 Q값이 조정된다는 장점을 가지고 있으며 다른 증폭기에 비해 비교적 효율, 이득, 선형성이 높고 우수한 열적 안정도를 나타내고 지속파(CW; Continuous wave) 인가 시 최대 125W까지 활용할 수 있다.

일반적으로 MRF21125는 최대 이득, 삽입 위상 평탄도를 얻기 위한 설계에 많이 사용되고 정전기 방전에 대한 보호회로를 포함하고 있다는 특징이 있다.

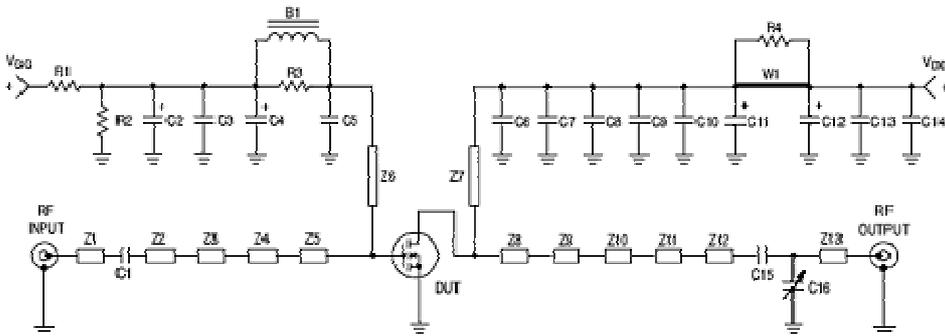
제작된 회로를 통해 측정된 주요 성능을 살펴보면 <그림 3-8>과 같이 출력 20W에서 드레인 효율 약 18%, IM3 약 -43dBc, 인접채널 누설전력 -45dBc, 이득 약 13dB의 주요 사양에 부합됨을 알 수 있다.

<표 3-2> MRF21125 트랜지스터의 주요 사양

<Table 3-2> A chief characteristics of MRF21125 transistor

항 목	규 격	비고
출력 전력	20W	
효율(η)	18%	
증폭기 이득(G_{PS})	13dB	
3차 상호변조 왜곡(IM3)	-43dBc	
인접채널 누설전력(ACPR)	-45dBc	
입력반사손실(TRL)	-12dB	

제작된 MRF21125 단위 증폭기는 <그림 3-7>과 같이 제작되었다.

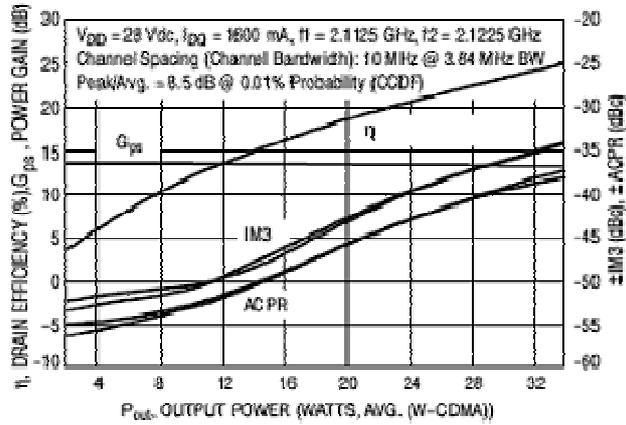


- Z1 = 1.212"×0.082" 마이크로스트립,
- Z2 = 0.236"×0.082" 마이크로스트립,
- Z3 = 0.086"×0.254" 마이크로스트립,
- Z4 = 0.357"×0.082" 마이크로스트립,
- Z5 = 0.274"×1.030" 마이크로스트립,
- Z6 = 0.466"×0.050" 마이크로스트립,
- Z7 = 0.051"×0.050" 마이크로스트립,

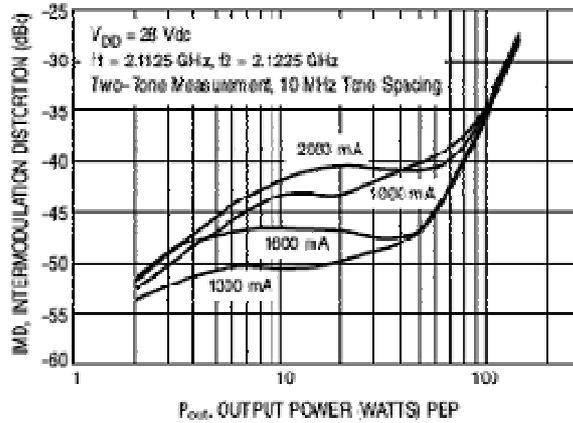
- Z8 = 0.600"×1.056" 마이크로스트립
- Z9 = 0.179"×0.219" 마이크로스트립
- Z10 = 0.100"×0.336" 마이크로스트립
- Z11 = 0.534"×0.142" 마이크로스트립
- Z12 = 0.089"×0.080" 마이크로스트립
- Z13 = 0.620"×0.080" 마이크로스트립

<그림 3-7> MRF21125 단위 증폭기 회로도

<Fig. 3-7> MRF21125 unit amplifier circuit diagram



<그림 3-8> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-8> ACPR, IM3, gain, drain efficiency versus output power



<그림 3-9> 출력 전력에 대한 상호 변조 왜곡
 <Fig. 3-9> Intermodulation distortion versus output power

또한 <그림 3-9>에 나타난 것과 같이 출력 전력 20W를 최적으로 감안한다면 I_{DQ} 에 1,300mA를 인가할 때 약 -50dBc의 높은 상호변조 왜곡 특성을 나타

념을 확인할 수 있었다.

제작된 단위 증폭기의 입출력 임피던스는 <표 3-3>과 같이 나타났다.

<표 3-3> 단위 증폭기의 등가 입출력 임피던스

<Table 3-3> Equivalent Input/output impedance of a unit amplifier

f (MHz)	Z_{source} (게이트와 그라운드)	Z_{load} (드레인과 그라운드)
2110	3.81-j6.86	1.56-j1.58
2140	4.33-j7.90	1.53-j1.90
2170	4.84-j8.46	1.48-j2.26

$$V_{DD} = 28 V, I_{DQ} = 1,600 mA, P_{out} = 20 W.$$

3.2.2 MRF21180 증폭기

MRF-21180 트랜지스터도 MRF21125 트랜지스터와 동일하게 광대역 CDMA 기지국용으로 설계될 수 있도록 2,110MHz ~ 2,170MHz의 주파수 범위를 가지고 있으며 시분할 다중화 방식, 코드분할 다중화 방식 및 다중 캐리어 증폭기에 적합한 것으로 선별되었다.

그러나, PCN-PCS 셀룰라 무선 및 WLL의 설계를 위해서는 AB급으로 사용되어야 할 것이다.

2-톤 CDMA신호에 대한 기본적인 특성을 살펴보면 <표 3-4>와 같다. 2-톤 신호는 f_1 이 2.135GHz, f_2 는 2.145GHz가 사용되었으며 V_{DD} 에 28V, I_{DQ} 에 $2 \times 850mA$ 가 인가되었다. 채널 대역은 3.84MHz로 설정하여 인접채널누설 전력 및 3차 상호변조 왜곡이 측정되었으며 인접채널 누설전력은 f_1 과 f_2 의 기준 입력신

호 $\pm 5\text{MHz}$ 에서 측정되었다. 평균전력 대비 첨두전력의 비는 f_1 과 f_2 의 기준 입력 신호 $\pm 10\text{MHz}$ 에서 약 8.3dB로 나타났다.

이외에도 MRF21180 증폭기는 사용이 용이하고 내부적으로 입출력이 매칭될 뿐 아니라 다른 증폭기에 비해 비교적 효율, 이득, 선형성이 높고 우수한 열적 안정도를 나타내고 CW 인가 시 최대 170W까지 활용할 수 있다.

일반적으로 MRF21180은 최대 이득, 삽입 위상 평탄도를 얻기 위한 설계에 많이 사용되고 정전기 방전에 대한 보호회로를 포함하고 있다는 특징이 있다.

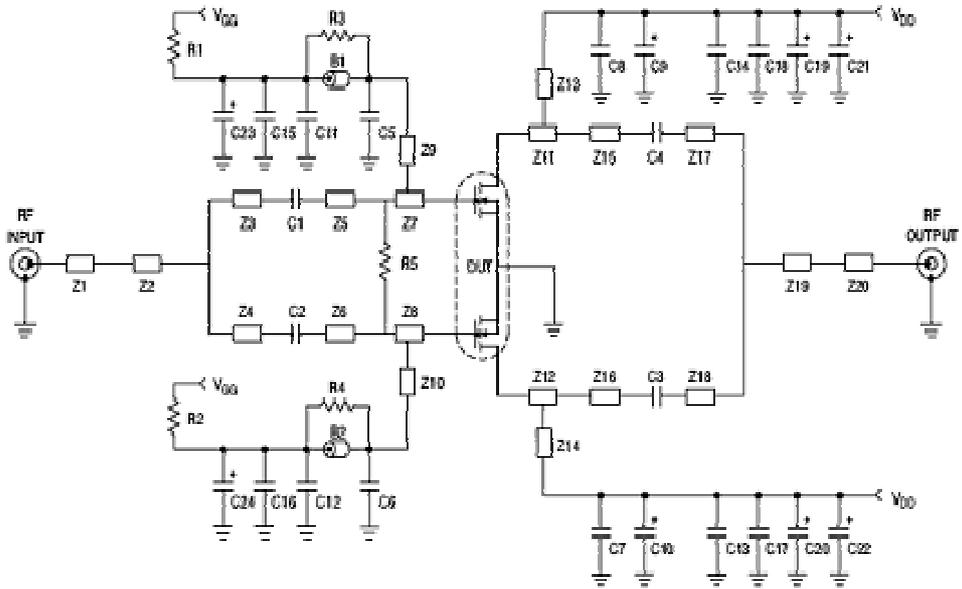
<표 3-4> MRF21180 트랜지스터의 주요 사양

<Table 3-4> A chief characteristics of MRF21180 transistor

항 목	규 격	비 고
출력 전력	38W	
효율(η)	22%	
증폭기 이득(G_{PS})	12.1dB	
3차 상호변조 왜곡(IM3)	-37.5dBc	
인접채널 누설전력(ACPR)	-41dBc	
입력반사손실(IRL)	-12dB	

제작된 MRF21180 단위 증폭기는 <그림 3-10>과 같이 제작되었다.

제작된 회로를 통해 측정된 주요 성능을 살펴보면 마치 MRF21125를 두 개를 병렬로 연결해 놓은 것과 같이 출력 38W에서 드레인 효율 약 22%, IM3 약 -37dBc, 이득 약 12dB의 성능을 나타내었다.



- Z1, Z20=0.790"×0.065" 마이크로스트립, Z2, Z19=0.830"×0.112" 마이크로스트립
 Z3, Z18=0.145"×0.065" 마이크로스트립, Z4, Z17=1.700"×0.065" 마이크로스트립
 Z5, Z6 =0.340"×0.065" 마이크로스트립, Z7, Z8 =0.455"×0.600" 마이크로스트립
 Z9, Z10=0.980"×0.035" 마이크로스트립, Z11,Z12=0.510"×0.645" 마이크로스트립
 Z13,Z14=0.770"×0.058" 마이크로스트립, Z15,Z16=0.280"×0.065" 마이크로스트립

<그림 3-10> MRF21180 단위 증폭기 회로도

<Fig. 3-10> MRF21180 unit amplifier circuit diagram

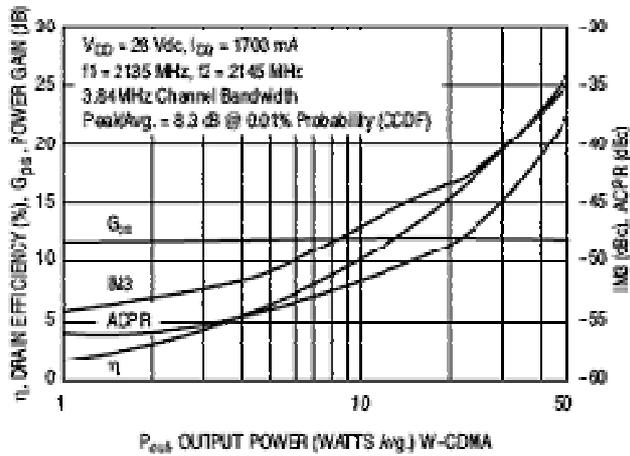
다음 <그림 3-11>은 MRF-21180의 주요 성능을 나타내었다.

또한 <그림 3-12>에 나타낸 것과 같이 출력 전력 38W를 최적으로 감안한다면 I_{DQ} 에 1,700mA를 인가할 때 약 -47dBc의 높은 상호변조 왜곡 특성을 나타냄을 확인할 수 있었다.

제작된 단위 증폭기의 입출력 임피던스는 다음 <표 3-5>와 같다.

3.2.3 MRF21125 와 MRF21180 에 대한 비교

앞서 기술한 주 증폭기의 선정에서 종단 증폭기는 내부에 2개의 트랜지스터를 가진 MRF21180이 MRF21125에 비해 하드웨어 설계에서 부피를 줄일 수 있고 경제적으로도 유리하며 상호변조 왜곡특성 또한 다소 우수한 것으로 판단되었다.



<그림 3-11> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-11> ACPR, IM3, gain, drain efficiency versus output power

<표 3-5> 단위 증폭기의 등가 입출력 임피던스

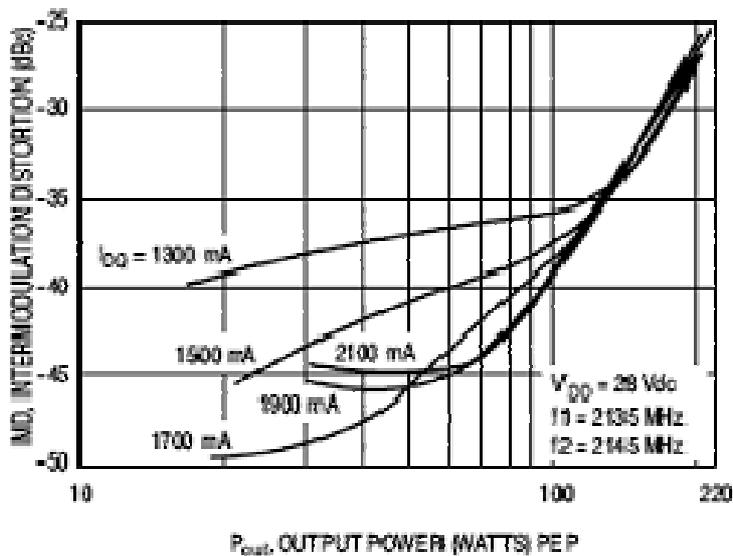
<Table 3-5> Equivalent Input/output impedance of a unit amplifier

f (MHz)	Z_{source} (게이트와 그라운드)	Z_{load} (드레인과 그라운드)
2110	2.45-j2.08	2.65-j1.52
2140	2.39-j2.51	2.71-j1.80
2170	2.16-j3.14	2.64-j2.04

$$V_{DD} = 28 \text{ V}, I_{DQ} = 2 \times 850 \text{ mA}, P_{out} = 38 \text{ W}$$

<그림 3-13>은 최종 성능 평가에 사용될 1MHz 주파수 간격을 가진 2-톤 신호를 입력했을 때 나타나는 상호변조 왜곡 성분을 스펙트럼 분석기를 통해 측정한 결과이다.

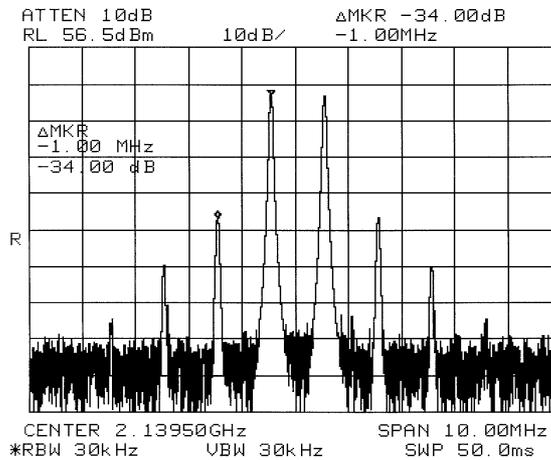
따라서 최종 증폭단으로 MRF21180을 사용하고 60W급 증폭기 구현을 위해서는 38W급 두 개를 병렬로 연결하여 76W까지 출력 전력을 활용할 수 있는 증폭기를 설계하였다.



<그림 3-12> 출력 전력에 대한 상호 변조 왜곡

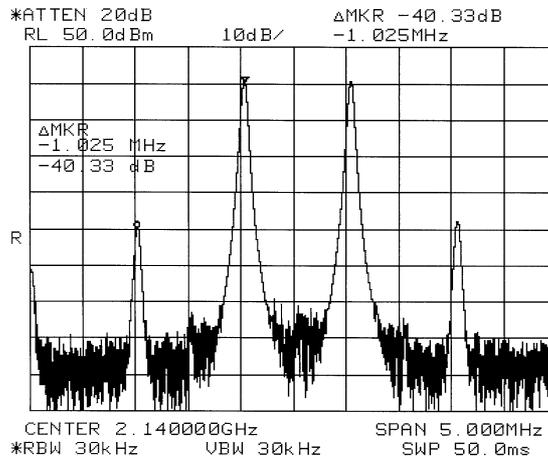
<Fig. 3-12> Intermodulation distortion versus output power

또한 이미 설계된 MRF-21125 단위 증폭기는 충분히 특성이 파악되었을 뿐 아니라 우수한 특성을 나타냄으로써 종단 증폭기 앞 단에 붙여 요구되는 이득을 얻을 수 있도록 활용하였다.



(a) MRF21125를 이용한 평형증폭기의 IMD 특성

(a) The characteristics of IMD in the balanced amplifier using MRF21125



(b) MRF21180를 이용한 평형증폭기의 IMD 특성

(b) The characteristics of IMD in the balanced amplifier using MRF21180

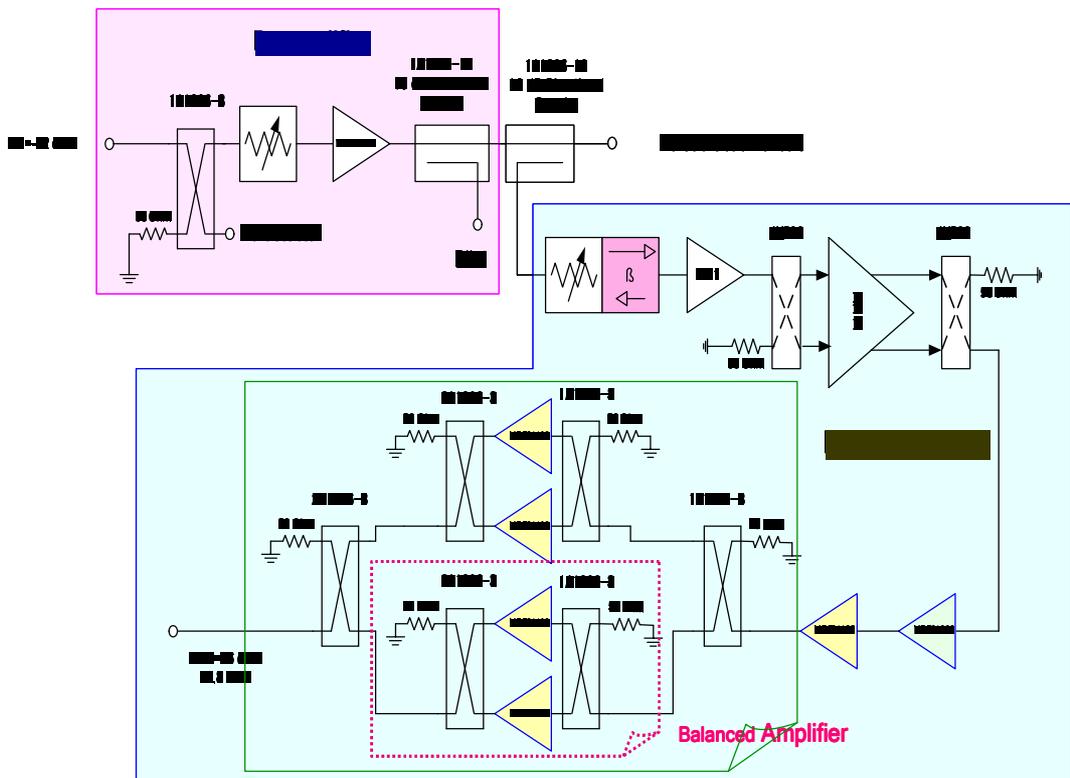
<그림 3-13> 1 MHz 채널간격의 2-톤 신호에 대한 IMD 특성

<Fig. 3-13> IMD characteristic according to 2-tone signal with 1 MHz channel spacing

3.3 주 증폭기의 구성

주 증폭기는 <그림 3-14>에서 보인 바와 같이 전치증폭기에는 MHL21336, 저전력 증폭기에는 AH-1 및 AH-11, 중간증폭기에는 MRF21060과 MRF21125, 종단전력 증폭기에는 MRF21080 2개를 평형 증폭기로 구성하고 다시 이것을 2조 병렬로 접속하여 40watt 출력이 나오도록 하였다.

<그림 3-14> 주 증폭기의 구성도



<Fig. 3-14> Diagram of main amplifier

3.3.1 저전력 증폭기 AH-1

저전력 증폭기로 사용된 AH-1은 표면 장착형 패키지로 구성되는 높은 다이 나믹(Dynamic) 범위의 증폭기로 동일한 바이어스 점에서 낮은 저 잡음 형상과 높은 IP3의 특성이 조합되어 있어 수신기 및 송신기에 적용하기에 매우 이상적이다.

AH-1 증폭기는 광대역 증폭기를 목표로 제작되었기 때문에 신뢰성이 높은 GaAs(Gallium Arsenide) 소자를 이용한 마이크로웨이브 모놀리식 직접회로(MMIC; Microwave Monolithic Intergrated Circuit) 기술을 사용하고 높은 선형성이 요구되는 곳에 적합하며 따라서 GSM, CDMA 및 W-CDMA와 같이 현재의 다양한 수요와 차세대 무선통신에 적용하기에 적합하다.

AH-1의 주파수 운용 범위를 살펴보면 250MHz ~ 3GHz의 광대역 특성을 가지고 있고 기타 사양은 다음 <표 3-6>과 같다.

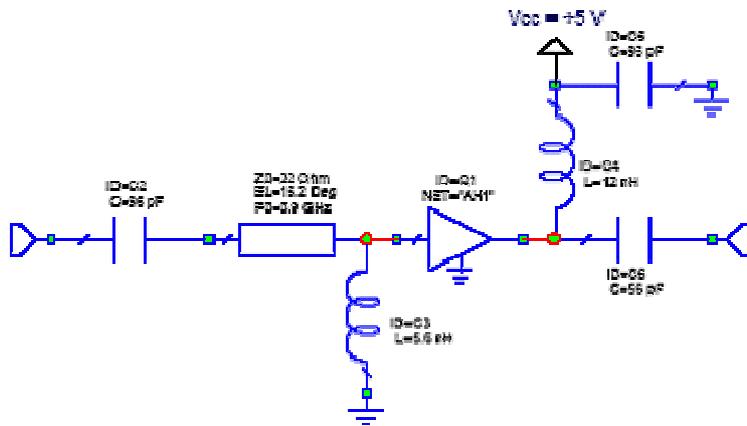
<표 3-6> AH-1 트랜지스터의 주요 사양

<Table 3-6> A chief characteristics of AH-1 transistor

주 파 수	900 MHz	1,900 MHz	2,140 MHz
S21 Magnitude	14.2dB	12.2dB	12.0dB
S11 Magnitude	-21.0dB	-14.0dB	-21.0dB
S22 Magnitude	-14.0dB	-13.0dB	-11.0dB
NF(Noise Figure)	2.2dB	2.9dB	2.9dB
출력 PI	21.7dBm	22dBm	22dBm
출력 IP3	42dBm	41dBm	40dBm
입력반사손실	8dB	8dB	8dB
출력반사손실	15dB	15dB	15dB

이는 공급 전압 5V에 소자 전류 150mA를 인가했을 때 나타나는 일반적인 특성이고 인접채널 전력비는 -45dBc로 측정되었으며 가장 큰 3차 상호변조 신호의 억압은 2:1의 규칙을 적용하여 3차 출력 IP의 계산에 사용된다. 또한 잡음 형상은 입력 반사 손실을 매칭함으로써 최적화 될 수 있다.

제작된 AH-1 단위 증폭기는 <그림 3-15>와 같다.



<그림 3-15> AH-1 단위 증폭기 회로도

<Fig. 3-15> AH-1 unit amplifier circuit diagram

3.3.2 저전력 증폭기 AH-11

저전력 증폭기로 사용된 AH-11은 디지털 통신 시스템용으로 사용되는 높은 선형성을 가진 증폭기이다. 이 소자는 AH1의 높은 선형성의 장점에 두 개의 내부적으로 매칭된 증폭기를 조합함으로써 높은 전력 레벨의 부가적인 특성까지 확장시킨다.

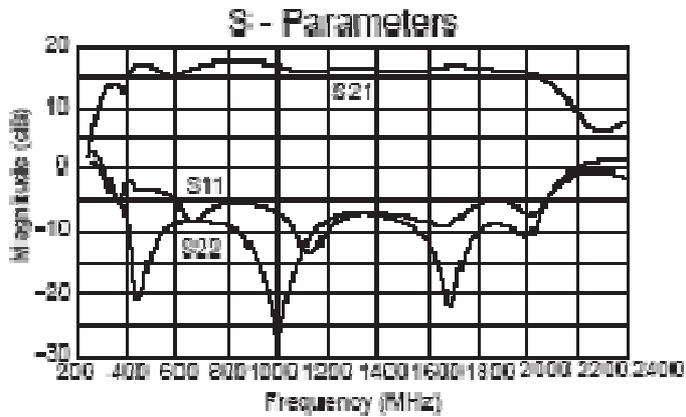
이러한 이중 증폭기 구성은 평형 증폭기, 푸쉬풀 증폭기 등의 설계에 가장 적

합하다. 이 증폭기는 선형 증폭기의 주 증폭기 설계에서 다이버시티 수신 시스템의 각 단계에 단일 종단 법으로 사용될 수 있다는 특징을 잘 활용하였다.

<표 3-7> AH-11 트랜지스터의 주요 사양

<Table 3-7> A chief characteristics of AH-11 transistor

주 파 수	600MHz	900MHz	1,900MHz	2,100MHz
S21 Magnitude	10.7dB	12.2dB	11.2dB	10.6dB
S11 Magnitude	-10.0dB	-10.0dB	-13.5dB	-10.0dB
S22 Magnitude	-12.7dB	-18.2dB	-10.0dB	-10.0dB
NF(Noise Figure)	7.62dB	4.13dB	4.16dB	5.55dB
출력 IP2	63dBm	65dBm	65dBm	63dBm
출력 IP3	42dBm	46dBm	44dBm	45dBm



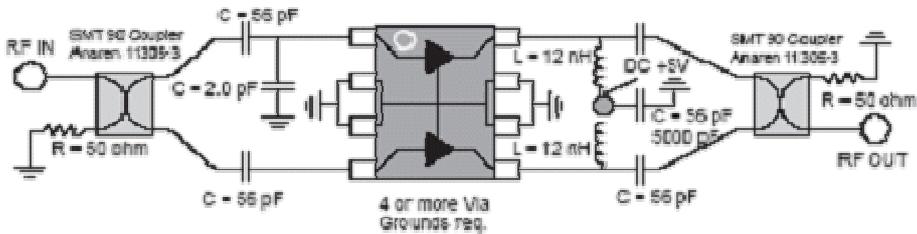
<그림 3-16> AH-11 트랜지스터의 S-변수

<Fig. 3-16> A S-parameters of AH-11 transistor

제작된 AH-11의 단위 증폭기는 <그림 3-17>과 같다.

이 증폭기는 완성도가 높고 신뢰성이 높은 GaAs MESFET 기술이 채택되어 낮은 잡음 특성을 달성하면서도 선형성을 최대화시킨다[17],[18].

AH-11은 평형 증폭기로 사용될 경우 600MHz ~ 2,100MHz 대역에서 다음 <표 3-7>과 <그림 3-16>과 같은 특성을 나타낸다. 바이어스 전압은 V_{ds} 에 5.0V, I_d 에 300mA가 인가되었다.



<그림 3-17> AH-11 단위 증폭기 회로도

<Fig. 3-17> AH-11 unit amplifier circuit diagram

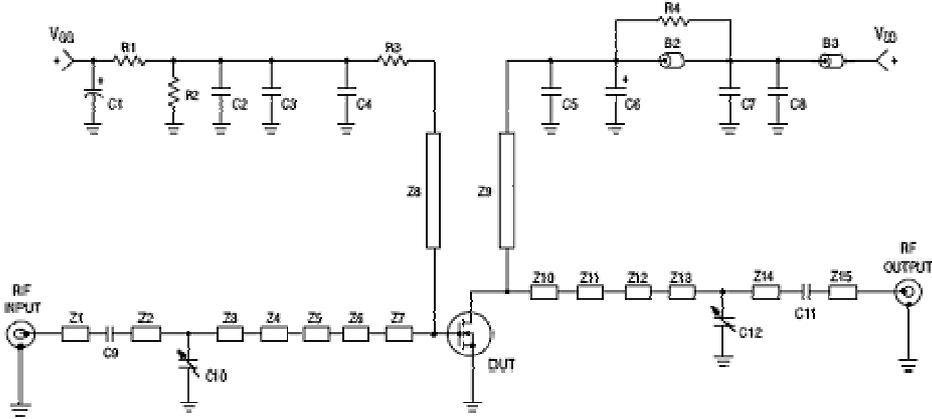
3.3.3 중간 증폭기 MRF21060

<표 3-8> MRF21060 트랜지스터의 주요 사양

<Table 3-8> A chief characteristics of MRF21060 transistor

항 목	규 격	비 고
출력 전력	6W	
드레인 효율(η)	15%	
증폭기 이득(G_{PS})	12.5dB	
3차 상호변조 왜곡(IM3)	-30dBc	
입력반사손실(IRL)	-12dB	

제작된 MRF21060 증폭기는 <그림 3-18>과 같고 MRF21060의 S-파라미터와 IMD3의 측정치는 <그림 3-19>, <그림 3-20>에, 그리고 드레인 효율 등은 <그림 3-21>에 나타내었다.

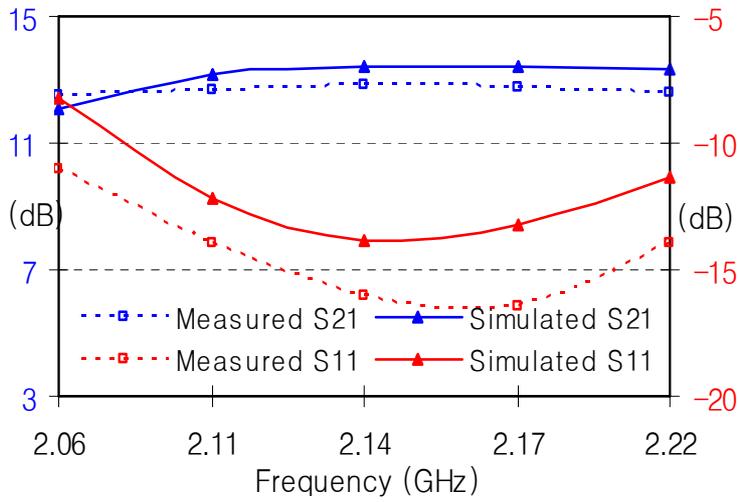


- | | |
|-----------------------------|----------------------------|
| Z1 = 0.743"×0.080" 마이크로스트립, | Z2 = 0.070"×0.100" 마이크로스트립 |
| Z3 = 0.180"×0.100" 마이크로스트립, | Z4 = 0.152"×0.293" 마이크로스트립 |
| Z5 = 0.216"×0.100" 마이크로스트립, | Z6 = 0.114"×0.410" 마이크로스트립 |
| Z7 = 0.626"×0.872" 마이크로스트립, | Z8 = 1.050"×0.050" 마이크로스트립 |
| Z9 = 0.830"×0.050" 마이크로스트립, | Z10= 0.596"×1.040" 마이크로스트립 |
| Z11= 0.186"×0.315" 마이크로스트립, | Z12= 0.097"×0.525" 마이크로스트립 |
| Z13= 0.353"×0.138" 마이크로스트립, | Z14= 0.112"×0.080" 마이크로스트립 |
| Z15= 0.722"×0.080" 마이크로스트립, | |

<그림 3-18> MRF21060 단위 증폭기 회로도

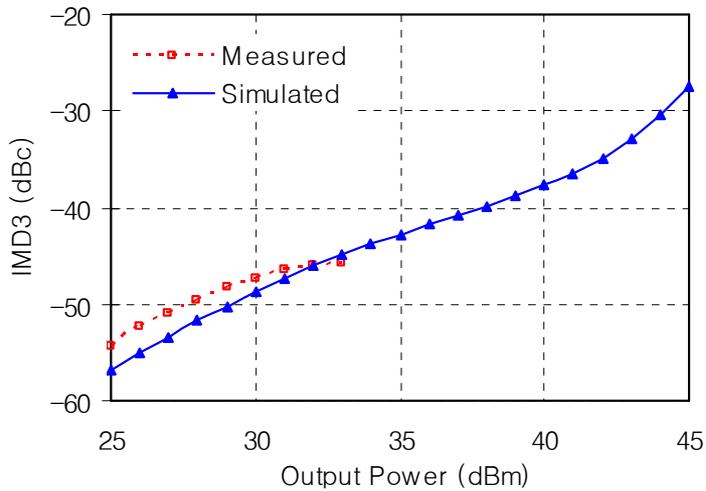
<Fig. 3-18> MRF21060 unit amplifier circuit diagram

MRF-21060은 원래 2.1GHz ~ 2.2GHz의 주파수를 사용하는 PCS 기지국용으로 설계되었으며 광대역 코드분할 다중화접속 방식, 협대역 코드분할 다중화접속 방식, 시분할 다중화접속 방식 및 다중 캐리어 증폭기용으로도 사용할 수 있다.



<그림 3-19> MRF21060의 S 파라미터

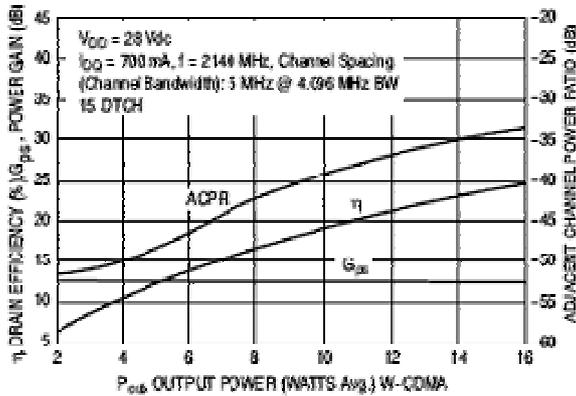
<Fig. 3-19> S-Parameter of MRF21060



<그림 3-20> MRF21060의 IMD3

<Fig. 3-20> IMD3 of MRF21060

MRF21060의 광대역 CDMA 특성을 살펴보면 V_{DD} 에 28V, I_{DQ} 에 700mA를 인가하고 2,140MHz 신호에 대하여 5MHz 채널 간격에 대해 구해진 이득, 인접채널 누설전력, 드레인 효율을 살펴보면 <표 3-8>과 같다.



<그림 3-21> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-21> ACPR, IM3, gain, drain efficiency versus output power

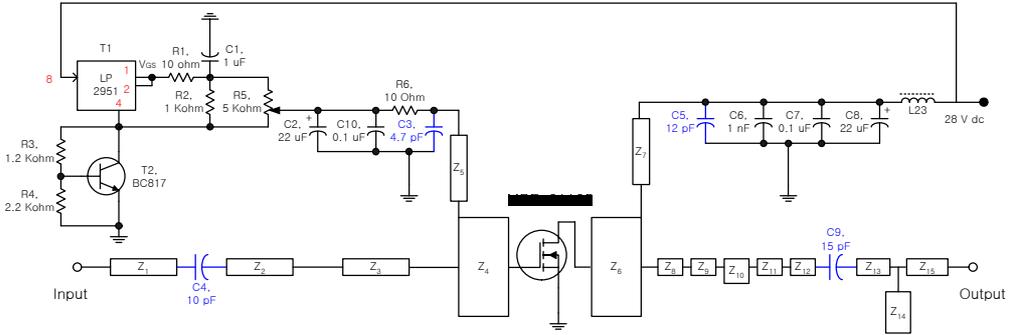
3.3.4 중간 증폭기 - MRF21125

이 회로는 종단전력 증폭기 MRF21180에 입력전력을 공급하기 위한 중간증폭회로로서 회로 구성은 <그림 3-22>에 도시하였고 특성의 측정치는 <그림 3-23>, <그림 3-24>에 보였다.

3.4 오차 증폭기

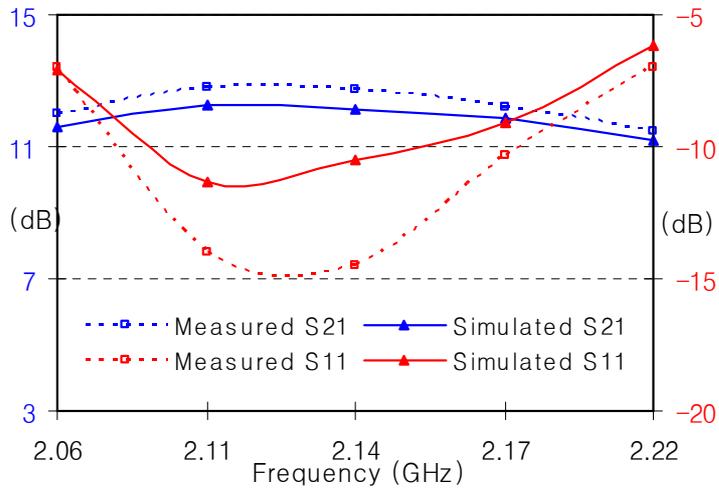
오차 증폭기의 회로는 <그림 3-25>에 도시하였다. 주 증폭기의 최대전력 하에서 발생하는 상호변조왜곡신호를 상쇄시키기 위한 충분한 전력을 가급적 적은

왜곡으로 증폭하기 위해서는 A급 증폭을 해야 하므로 종단전력 증폭기에 허용 전력용량이 큰 MRF21125를 사용하였다.



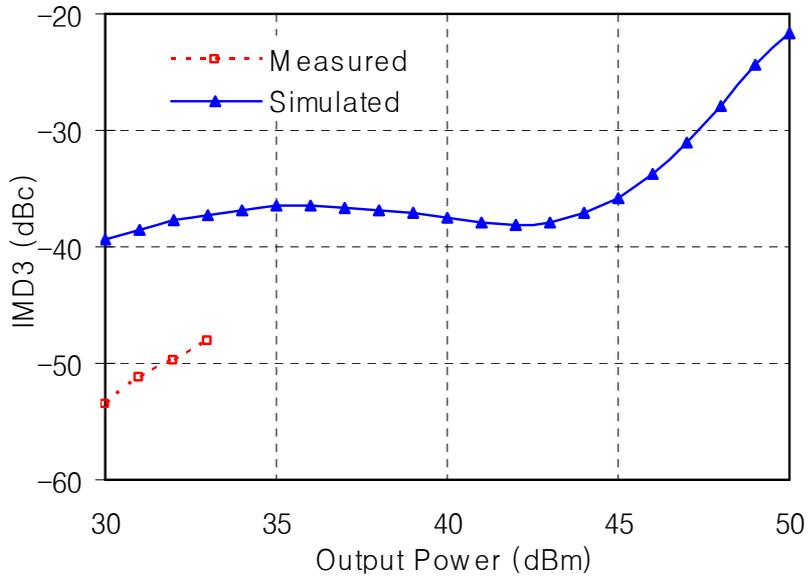
<그림 3-22> MRF21125의 증폭회로

<Fig. 3-22> Amplifier of MRF21125



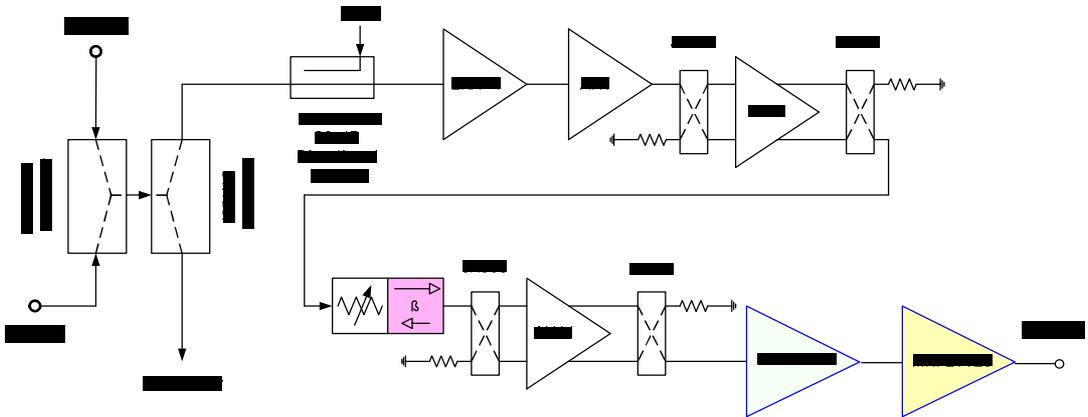
<그림 3-23> MRF21125의 S-파라미터

<Fig. 3-23> S-parameter of MRF21125



<그림 3-24> MRF21125의 IMD3

<Fig. 3-24> IMD3 of MRF21125



<그림 3-25> 오차 증폭기의 구성도

<Fig. 3-25> Diagram of error amplifier

3.5 선형성 개선을 위한 부가 회로

3.5.1 가변 감쇄기

제2장에서 살펴본 바와 같이 피드-포워드 시스템에서는 두 개의 신호 경로가 나누어지고 그 신호의 상쇄지수가 최대가 될 때, 가장 낮은 상호변조 왜곡 신호 성분을 포함하게 된다.

그리고 상쇄지수는 두 신호의 크기의 차에 해당하는 α 에 의해 영향을 받으므로 가변 감쇄기는 본 논문에서 구현하고자 하는 선형전력증폭기에서 제어기의 기능 중 매우 중요한 대상의 하나이다.

일반적으로 감쇄기는 고정형 감쇄기와 가변형 감쇄기로 크게 나누어 볼 수 있다. 여기서 고정형 감쇄기는 입력되는 신호의 세기를 원하는 크기로 조정하여 스펙트럼 분석기나 회로망 분석기 등의 최대 입력 레벨 이하로 떨어뜨려 계측기를 보호하는 기능과 회로를 보호하는 기능으로 자주 사용된다.

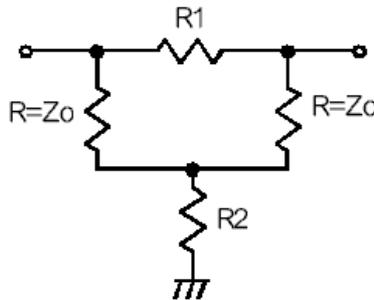
본 논문에서 구현한 가변형 감쇄기는 아날로그 형태의 가변 감쇄기로 자동 이득 조정(AGC; Automatic Gain Control) 시스템 또는 고전력 증폭기(High Power Amplifier) 등에서 상호변조 신호를 감쇄시키는 선형화기(Linearizer) 등에서 주로 사용되며 미세한 전력의 세기까지 제어할 수 있다는 장점이 있다.

또한 아날로그 형태의 가변 감쇄기는 투과형과 반사형으로 구분할 수 있다. 투과형은 일반적으로 감쇄량의 변화에 따른 위상 변화량이 크고 입출력 반사특성이 좋지 않은 반면 반사형 가변 감쇄기는 감쇄량에 따른 위상 변화량이 작으나 3dB 90° 하이브리드 커플러(Hybrid coupler)나 링 하이브리드 커플러(Ring hybrid coupler) 등 다양한 종류의 커플러를 사용해야 되므로 부피가 커진다는

단점을 가지고 있다.

이러한 가변 감쇄기는 가변 할 수 있는 감쇄량의 범위가 회로에서 요구되는 세기 변화량을 충족할 수 있는 범위의 가변 감쇄량을 가지지만 감쇄량이 범위가 가능한 한 적은 것이 보다 정확한 감쇄값을 제어할 수 있다는 측면에서 유리하다.

연속으로 가변 할 수 있는 감쇄기의 회로 구성을 살펴보면, 반도체 하나를 가변 가능한 저항소자로써 생각할 수 있고 3개의 저항소자를 사용하는 T형, π 형의 감쇄기 회로구조가 있을 수 있다. T형, π 형 이외에 더 적은 수의 반도체를 사용하여 만들 수 있는 Bridge-T형 감쇄기 회로가 있으며 이 회로의 구성도를 <그림 3-26>에 나타내었다.



<그림 3-26> Bridge-T형 감쇄기

<Fig. 3-26> Bridge-T type attenuator

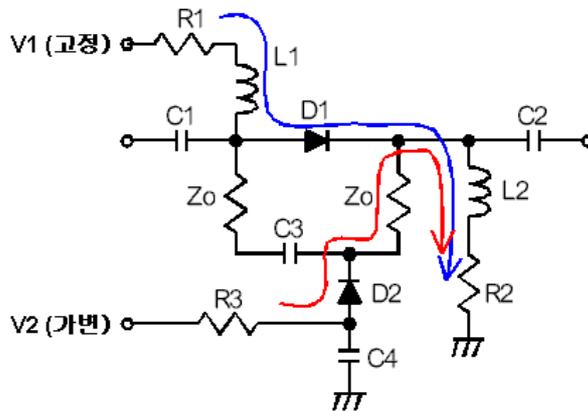
여기에 포함된 각 저항의 값들은 다음 식을 통해 구할 수 있다.

$$R1 = Z_0(10^{L/20} - 1) \quad (3-2)$$

$$R2 = \frac{Z_0}{10^{L/20} - 1} \quad (3-3)$$

핀 다이오드(Pin diode)를 이용한 Bridge-T형 가변 감쇄기의 회로 예를 <그림 3-27>에 나타내었다. 여기서 감쇄량을 작게 만들려면 D1의 전류를 크게 하고 D2의 전류를 작게 만들면 되고 반대로 감쇄량을 크게 하려면 D1의 전류를 작게, D2의 전류를 크게 해야 한다.

이 회로의 경우 D1, D2의 전류는 공통의 부하저항 R2를 통과하게 된다. V2를 크게 하여 D2의 전류를 증가시키면 R2에서 전압강하가 커지므로 D1의 전류가 감소하며, 반대로 V2를 작게 하면 D2의 전류는 줄어들게 되어 D1의 전류가 증가하게 된다. 이러한 동작을 위해서는 V2를 변화시키면서 D1, D2의 저항 값이 원하는 값이 되도록 R1 ~ R3 값을 결정해야 한다. 이 회로의 장점은 하나의 단자로 감쇄량 조절이 가능하다는 점으로 만약 R1과 R2가 큰 값이라면 (수 kΩ), 쇼크 인덕터(Choke inductor) L₁, L₂는 빼버려도 무관하다.



<그림 3-27> Bridge-T형 감쇄기 회로도

<Fig. 3-27> The circuit diagram of Bridge-T type attenuator

본 논문에서는 선형 전력 증폭기의 특성이 위상 변화에 의해 감쇄지수에 크게 영향을 미치게 됨으로 위상 변화가 적은 반도체형 가변 감쇄기를 사용하였다.

우선 연속적으로 가변 할 수 있는 반도체형 감쇄기를 구현하기 위해서는, DC 값으로 저항값을 조절할 수 있는 반도체가 필요하며 PIN 다이오드의 경우 순방향 저항값은 DC 바이어스 전류에 의해 조절이 가능하며, MESFET의 경우 드레인-소스 단자간 저항성분이 게이트 바이어스 전압에 의해 조절 가능하다. 이러한 특징들로 인해 위의 두 가지의 반도체 소자가 가변 감쇄기에 많이 이용되고 있다.

본 논문에서는 GaAs MESFET 형태의 미니 회로(Mini Circuit) RVA-2500을 사용하였다. RVA-2500의 1.5GHz ~ 2.5GHz 대역에서 나타나는 전기적인 특성을 살펴보면 <표 3-9>와 같다.

<표 3-9> 전압 가변 감쇄기의 주요 사양

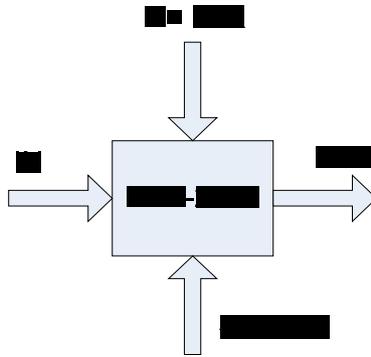
<Table 3-9> The characteristics of voltage variable attenuator

주 과 수	사 양	비 고
삽입손실	4.0dB	
감쇄	37dB	
IP3	+44dBm	
반사손실	20dB	
임피던스	50Ω	

이 소자는 10MHz ~ 2500MHz의 광대역 특성을 가지고 있고 3차 IP 특성은 +43 dBm, 1.5GHz에서 40dB 감쇄 특성을 나타낸다. 또한 감쇄 범위 이상에서 위상 변화가 적고 입출력 단자에서 좋은 전압 정재파비 특성을 나타낼 뿐 아니라 <그림 3-28>와 같이 외부 바이어스나 RF 매칭 회로가 필요 없다는 특징을 가지고 있다.

3.5.2 가변 위상 변환기

위상편이(Phase shift)란, 위상을 이동시킨다는 의미로 신호의 위상을 전기적 혹은 기계적인 방법으로 변화시키는 방법을 말한다. 이러한 기능을 수행하는 가변 위상 변환기는 위상의 미세한 조절이 가능하도록 구성하는 회로이다.

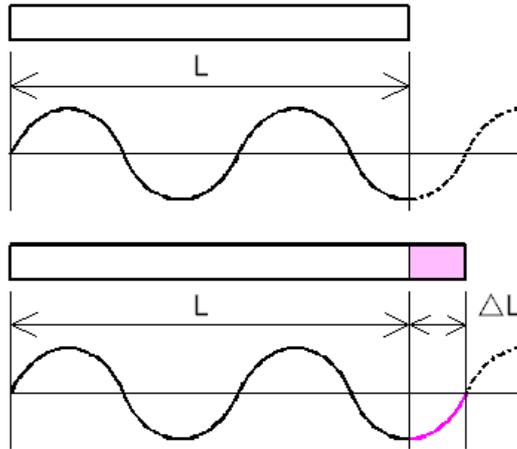


<그림 3-28> RVA-2500의 제어 및 매칭

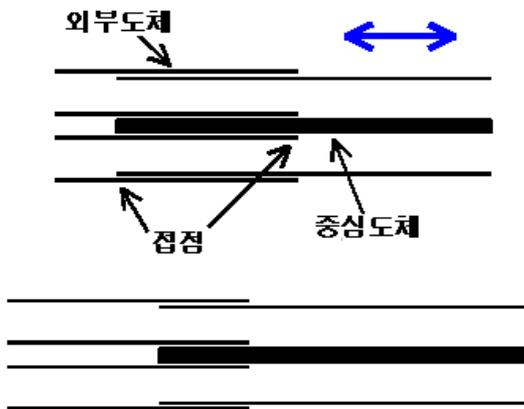
<Fig 3-28> The control and matching of RVA-2500

위상을 바꾸는 제일 간단한 방법은, 신호가 통과하는 전송선로의 물리적인 길이를 바꾸는 방법으로 물리적 길이가 바뀌면 그 선로를 통과한 신호의 위상이 당연히 변화하게 되며, 이것을 <그림 3-29>에 나타내었다.

<그림 3-30>는 기계적으로 선로 길이를 바꾸는 방법을 나타낸 것이며 두 개의 금속 동축 선로가 겹쳐진 구조에서, 한쪽의 동축 파이프를 넣었다 빼었다 하면서 신축시키면 위상을 자유롭게 바꿀 수가 있다. 이러한 기계식 방법은 손실을 적게 하면서 연속적으로 위상을 손실을 적게 하면서 바꿀 수 있다는 장점이 있으나, 기계적이라서 위상을 바꾸는데 시간이 많이 걸리고 부피가 크다는 단점이 있다.



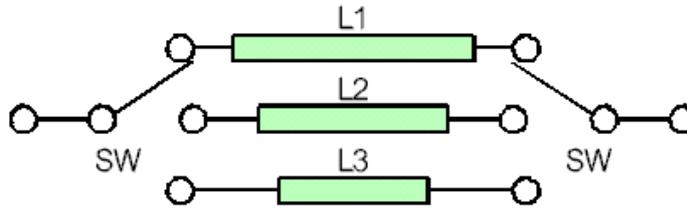
<그림 3-29> 위상 편이
 <Fig. 3-29> Phase Shift



<그림 3-30> 기계식 위상편이기
 <Fig. 3-30> Mechanical type phase shifter

전기적으로 길이를 바꾸는 위상편이 방법은 그림 <3-31>에 나타내었다. 길이가 다른 복수의 전송선로를 배치하고, 스위치로 경로를 바꾸면 신호 경로의 위상을 바꿀 수가 있는 방법으로 소형화가 가능하다. 그러나 위상변환 시간이

매우 짧다는 장점이 있고 연속적인 위상 값의 변화가 불가능하다는 단점이 있다.



<그림 3-31> 선로 변환방식 위상편이기

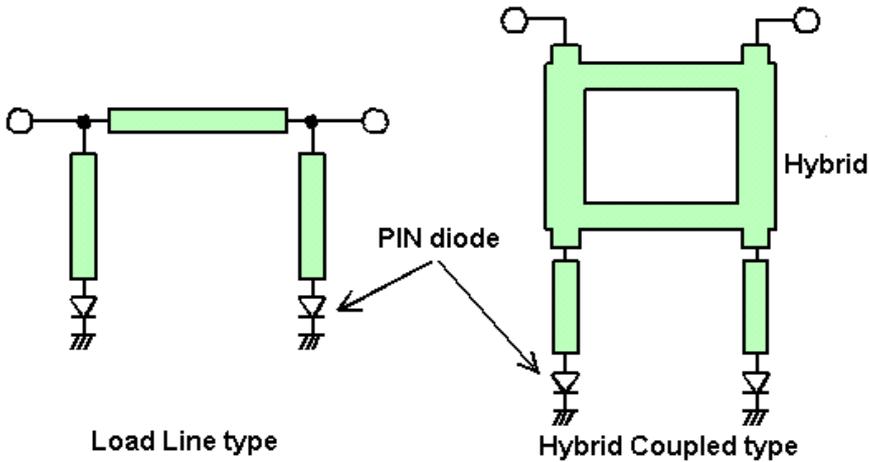
<Fig. 3-31> A phase shifter using the alteration of lines

디지털 방식의 위상편이기로 자주 애용되는 것은 로디드 라인(Loaded Line) 형태, 하이브리드 결합 형태의 2종류가 있다. 전자는 전송 선로 형태의 위상 변환기의 한 종류로 위상 편이량이 45° 이하인 경우에, 그리고 후자는 위상 변화량 그 이상일 때 주로 이용되는데 <그림 3-32>에 그 개략적인 회로구성을 나타내었다.

이것들은 PIN 다이오드를 개폐(On/Off)시켰을 때의 리액턴스 변화를 이용하여 위상을 가변 시킨다. 전기적으로 위상을 바꾸는 방법에는 이외에도, 반사에 의한 위상의 변화를 이용하는 방식과 두 신호의 합성에 의한 방식이 있을 수 있다. Pin 다이오드 위상 변환기는 반사형 회로를 주로 이용하며 이 때 하이브리드 결합형이 가장 많이 사용된다.

반사형 위상 변환기의 원리는 빛의 굴절과 같이 전기 신호에서도 임피던스가 변화하는 지점에서 반사가 일어나는 것을 이용하는 것이다. 그래서 신호경로 중간에서 임피던스의 차이가 발생하도록 만든다면, 신호의 반사가 발생하면서 위

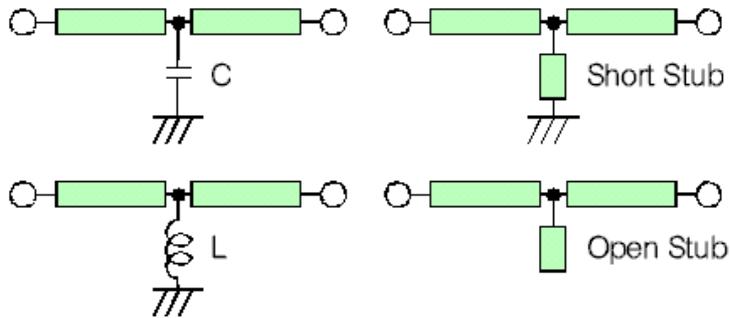
상이 변하게 되는데 <그림 3-33>과 같이 특성 임피던스 50Ω의 전송선로 중간에 다양한 소자를 연결하여 임의적인 반사를 일으킨 경우, 각 소자의 특성에 대한 위상 특성이 다르게 나타난다.



<그림 3-32> Loaded Line형, 하이브리드 결합형 위상 편이기
 <Fig. 3-32> Loaded Line type & hybrid coupled type phase shifters

먼저, 전송선로에 아무것도 연결되어 있지 않다면 전송선로의 길이에 해당하는 위상차가 나타날 것이다. 캐패시터를 연결할 경우에는 캐패시터의 용량이 커질수록 위상 변화량이 커지고 삽입손실 또한 커지게 된다. 인덕터를 연결할 경우, L값을 작게 할수록 위상 변화량은 적어지고 삽입손실은 증가하게 된다. 이는 짧은 스텐브(Stub)를 연결할 경우에도 마찬가지로 스텐브의 길이를 길게 할수록 위상 변화량은 적어지고 삽입손실은 증가한다.

반면 개방형 스텐브를 연결할 경우, 스텐브의 길이를 길게 할수록 위상 변화량, 삽입손실 모두 커진다.



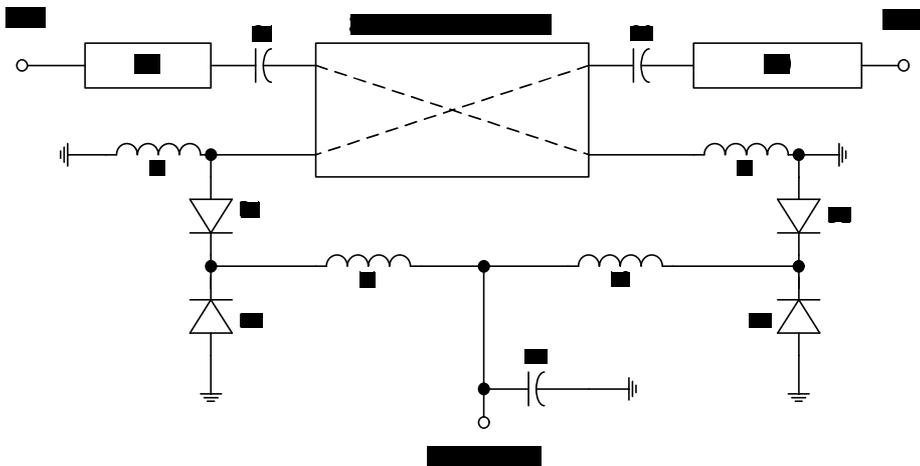
<그림 3-33> 전송 선로 중간에 다양한 소자를 연결한 위상 편이기
 <Fig. 3-33> The phase shifters with a variable device

이상의 사실을 통해 전송선로 중간에 연결한 소자 값에 따라 삽입위상을 조절할 수 있다는 점을 알 수 있었고 선로중간에 소자를 연결하여, 임피던스 매칭된 상태를 임의로 약간 조정하면서 반사된 신호들을 이용해 위상의 변화를 피하는 것이다. 그러나 주의할 점은 위상 변화를 통해 삽입손실을 악화시킬 수 있다는 점인데 전송선로에 L, C, 스텐브와 같은 리액턴스 소자를 연결한 경우, 부정합에 의한 반사로 인해 손실이 커지고 입출력 임피던스 특성도 악화될 수 있다는 것이다.

실제 주 증폭기의 설계에서도 반사형 아날로그 위상 변환기가 사용되었으며 여기에는 바랙터 다이오드(Varactor diode)를 종단시킨 다음 3dB 하이브리드 결합기로 연결시킨 상태에서 바랙터 다이오드의 반사 특성을 이용하였다. 이러한 반사형 위상 변환기는 전압 조정시 가능한 한 낮은 삽입손실을 유지하면서 원하는 위상 변환기의 응답을 이룰 수 있다[19].

<그림 3-34>은 실제 사용된 가변 위상 변환기의 회로도 이다. 3dB 방향성 결

합기를 이용한 반사형 구조로 외부 전압 인가에 의해 바랙터 다이오드의 내부 캐패시턴스의 변화량을 이용한 위상 변환기이다. 위상 변화를 시뮬레이션한 결과 2.11GHz ~ 2.17GHz 대역에서 외부 인가전압이 0V ~ 12V까지 변화할 때, 약 60°의 범위에서 위상이 선형적으로 변화함을 알 수 있었다. 이 때 투과하는 전파는 1dB 정도의 낮은 투과 손실을 가지고 있고 입력 단에서는 -11dB 이하, 출력 단에서는 -14dB 이하의 매우 낮은 반사 손실을 가지고 있어 3dB 커플러의 내부 손실을 제외하고는 손실 없이 신호의 위상을 선형적으로 제어할 수 있게 되었다.



<그림 3-34> 가변위상 편이기의 회로도

<Fig 3-34> The circuit diagram of a variable phase shifter

제 4 장 선형화 제어기

4.1 선형화 제어 시스템

제어 시스템은 전자·통신기술의 눈부신 발전과 더불어 이동통신 개인휴대 단말기 뿐만 아니라 각 기지국 및 중계기 등의 신뢰성과 선형성은 물론, 통화 품질의 향상 및 보장을 위해 아주 중요한 작용을 하는 요소이다. 그 중에서 특히 고출력 증폭기의 선형성을 보장하는 것은 더 없이 중요한 요소가 아닐 수 없다.

이러한 고출력 증폭기의 선형성을 보장하기 위해 사용하는 것이 선형 전력증폭기이며, 선형성 보장을 위해 사용하는 방법 중에서 피드-포워드 방법이 있다. 피드-포워드 방법은 고출력 증폭기의 입력 신호를 검출하여 상호 변조 왜곡 부분에 대한 역 보상 신호를 만들어서 최종 출력단에서 상쇄시켜 선형성을 확보하는 방법으로 선형화 제어기가 필수적으로 요구된다. 따라서, W-CDMA 선형전력 증폭기는 제어 시스템이 내장된 고출력 선형전력 증폭기라 할 수 있다.

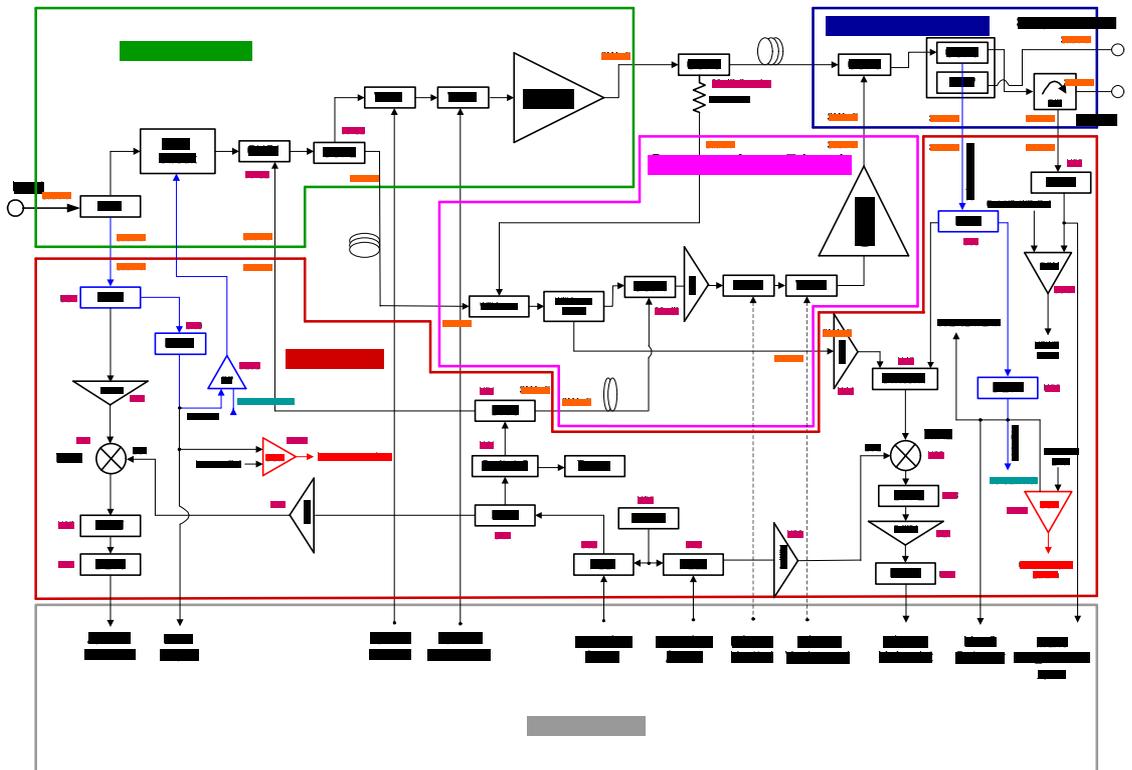
제어 시스템은 다음과 같은 사항들을 충분히 고려하여 설계해야만 한다.

- 1) 실시간 및 반응 : 최악의 상황에서도 정해진 시간에 동작되도록 함.
- 2) 소형 및 경량 : 기기의 특성에 맞도록 소형, 경량으로 설계해야 함.
- 3) 안전성 및 신뢰성 : 기기의 중요한 부분이므로 안정성 및 신뢰성을 보장해야 함.
- 4) 열악한 환경 : 열악한 환경 속에서도 최대한의 안정성을 보장해야 함.
- 5) 비용 : 저가의 비용으로 높은 효율을 발휘할 수 있도록 해야 함.

이상과 같은 점들을 충분히 고려하여 적용하고자 하는 시스템에서 최대의 성능을 발휘할 수 있는 최적의 알고리즘으로 선형화 제어기를 설계하였다.

피드-포워드 선형전력 증폭기는 선형화 루프가 최적의 상태를 유지하도록 선형화 루프 내의 가변감쇄기와 가변위상변환기를 제어해야 한다. W-CDMA 선형 전력증폭기의 기본 구성은 <그림 4-1>과 같다.

선형화 제어기는 첫 번째 선형화 루프와 두 번째 선형화 루프가 최적의 상태로 동작하도록 제어하는 중앙처리장치(CPU; Central Processor Unit)_1과 각종 정보의 수집 및 처리, 호스트와의 통신을 위한 CPU_2로 구성된다.



<그림 4-1> 선형 전력증폭기의 기본 구성도

<Fig. 4-1> Basic diagram of linear power amplifier

CPU_1은 시스템의 감시 및 제어에 대한 안정성과 선형화 루프 제어를 담당

하고 CPU_2는 CPU_1의 상태를 감시하도록 듀얼 프로세서(Dual processor)로 설계되었다.

각각의 CPU는 독립적으로 동작을 하지만 정보 수집 및 처리를 담당하는 CPU_2가 루프 제어를 담당하는 CPU_1의 상태를 감시하며, 각각의 CPU의 상태는 하나의 물리적인 포트(Port)로 호스트(Host)에 의한 감시가 가능하다. 또한 선형화 제어기는 프로그램 유지 보수를 위한 포트를 제공한다.

W-CDMA 선형전력 증폭기는 LPA Main Block(주 증폭기), Error Block(오차 증폭기), 전력 검출기, 선형화 제어기로 구성된다. LPA Main Block은 W-CDMA 선형 전력증폭기의 기본 블록으로 입력되는 RF 신호를 최소한의 왜곡으로 최대 증폭하는 것을 주기능으로 한다.

LPA Main Block은 크게 첫 번째 선형화 루프와 두 번째 선형화 루프로 구분이 가능하며, 각각은 RF 신호(원 입력 신호)의 제거 기능과 에리(왜곡 신호, IMD 신호)신호를 제거하는 기능을 가진다. 주 증폭단(MAU; Main Amplifier Unit)의 전단 부에는 첫 번째 선형화 루프의 위상과 크기를 제어하기 위한 가변 감쇄기와 가변위상변환기가 실장 되어 있고, 오차 증폭단(CAU; Correction Amplifier Unit) 전단 부에도 두 번째 선형화 루프의 위상과 크기를 제어하기 위한 가변감쇄기와 가변위상변환기가 실장 되어 있다. 각각의 선형화 루프에는 선형화 루프의 지연 시간을 일치시키기 위한 지연선로를 포함하고 있다.

전력 검출기(Detector)는 LPA Main Block의 동작상태 및 입력 신호의 위치(주파수), 출력 신호 세기 및 반사 신호 세기 등을 측정하기 위한 수단을 제공한다. 전력 검출기는 LPA Main Block의 첫 번째 전력분배기(DIV1)로부터 입력되는 신호는 선형화 제어기로부터 PLL의 설정 주파수 정보를 인가 받은 후, PLL

의 설정 주파수에 따른 입력 신호의 세기를 측정할 수 있게 한다. CPU_1은 이러한 PLL의 Data, Enable, Clock을 제어하여 원하는 파일럿 주파수를 생성하도록 한다.

전력 검출기 내의 전력분배기(DIV 6)는 LPA Main Block에 파일럿 신호를 첫 번째 루프(CUP1)와 두 번째 루프(CUP4)에 제공하는 기능을 한다. 전력 검출기 내의 PLL을 구동하기 위한 기준 신호발생기는 전력 검출기 내에 위치한다. 각 루프의 동작 상태는 파일럿 신호의 크기를 측정함으로써 수행되며, 각 루프의 동작 상태를 감시하기 위한 신호는 LPA Main Block 내의 전력분배기(DIV3)와 전력 결합기(CUP6)로부터 제공 받는다. 전력 검출기 내의 DET4와 DET5는 각각 출력 신호와 출력 포트에서 반사 신호의 크기를 검출하는 기능을 제공한다.

선형화 제어기는 LPA Main Block내의 선형화 제어 대상인 가변감쇄기와 가변위상변환기를 제어하는 기능을 제공한다. 또한 선형화 제어기는 전력 검출기 내의 PLL의 주파수 설정을 위한 데이터를 제공하고, 전력 검출기로부터 제공받은 입력 신호의 크기 정보로부터 입력 신호의 위치와 왜곡 신호의 위치를 계산하고, 검출된 출력 신호의 크기 및 출력 포트에서의 반사 신호 세기에 대한 정보를 인가 받을 수도 있다.

본 선형화 제어기를 위해서는 아래와 같은 성능을 만족할 수 있는 프로세서가 필요하다.

- 1) 8 Bit 연산이 가능 해야 함.
- 2) 메모리는 최소 64k Byte 이상.
- 3) 분해능 12 bits 이상, 입력신호범위가 0 ~ 5 V인 A/D 변환기 3개 이상 내장.

- 4) 분해능 12 bits 이상, 입력신호범위가 0 ~ 12 V인 D/A 변환기 4개 이상 내장.
- 5) 최적 제어 알고리즘의 1 Cycle 처리속도는 최소 20 msec.
- 6) 최적 제어치 안정화 소요 시간은 최소 50 Cycle 이내.
- 7) 2100 ~ 2180MHz 주파수 범위의 PLL 2개를 동시 구동 가능 해야 함.

따라서, 선형전력 증폭기를 위해 필요한 선형화 제어기 설계에 있어서 핵심인 CPU, 즉 마이크로 컨트롤러(Micro controller)는 Atmel사의 ATMEGA163을 선택 하였다.

ATMEGA163은 16K Bytes의 프로그램 가능한 플래쉬 메모리(Flash memory)를 내장한, 고성능 저전력 8-Bit 마이크로 컨트롤러이며 이것의 주요 기능 및 사양은 아래와 같다.

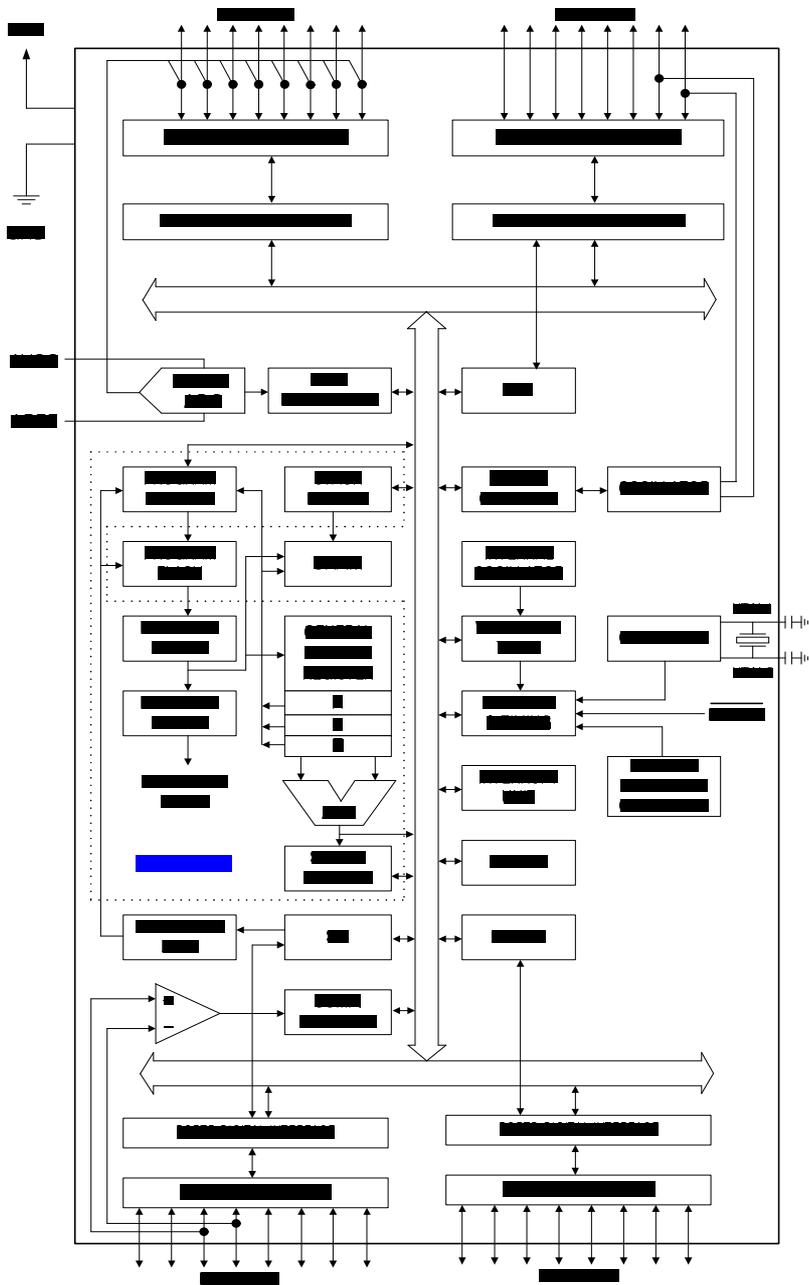
1) RISC Architecture

- (1) 32 x 8 GPWR
- (2) 16MIPS @ 16MHz
- (3) 2 cycle Multiplier

2) Nonvolatile Program and Data Memories

- (1) 16 K Bytes Self-Programmable Flash
- (2) 512 Bytes EEPROM
- (3) 1K Byte 내부 SRAM
- (4) 소프트웨어 보안을 위한 Programming Lock

3) JTAG(IEEE std. 1149.1 Compliant) Interface



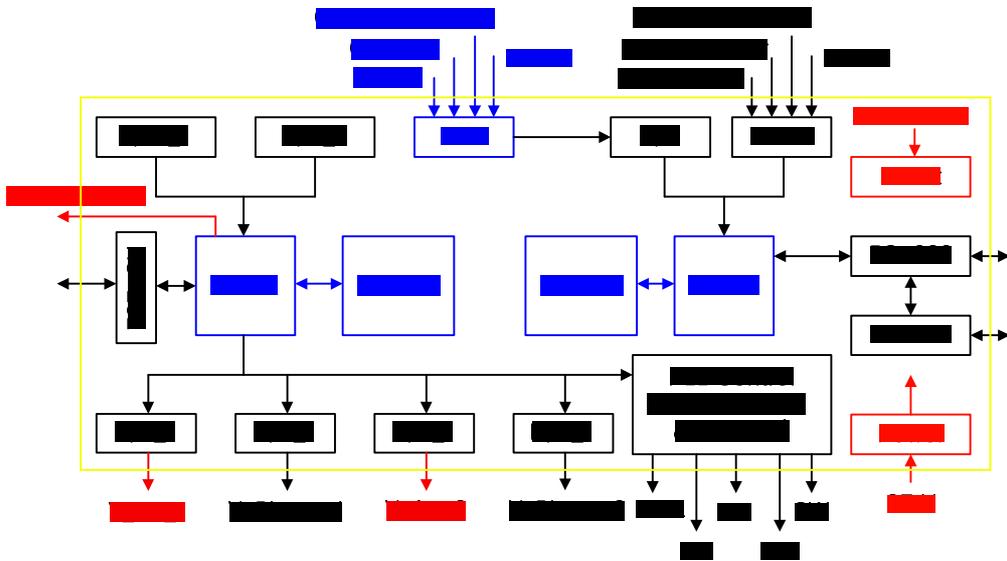
<그림 4-2> ATMEGA163의 내부 구성도

<Fig. 4-2> Internal block diagram of ATMEGA163

4) 병렬 기능

- (1) Two 8 Bit Timer/Counters
- (2) One 16 Bit Timer/Counter
- (3) RTC
- (4) Four PWM Channels
- (5) 8 Channel, 10 Bit ADC
- (6) Two wire Serial Interface
- (7) Serial USART
- (8) Master/Slave SPI Serial Interface

5) 32 Programmable I/O Lines



<그림 4-3> 선형화 제어기의 기본 구성도

<Fig. 4-3> Basic diagram of controller for linearization

<그림 4-2>는 ATMEGA163의 내부 구성도이다.

이상과 같이 Dual Processor, D/A, A/D, 메모리부, 전원부 및 외부 연동부를 가지는 선형화 제어기를 구성 하였다.

<그림 4-3>은 선형화 제어기의 기본 구성도를 보여준다.

선형화 제어기는 전력 검출기로부터 제공되는 파일렛 신호의 크기에 따라서 선형화 루프 내의 각 경로의 이득 및 위상을 조절함으로써 각각의 선형화 루프를 최적의 상태로 유지하는 기능을 주기능으로 한다.

<그림 4-4>는 선형화 제어기를 중심으로 한 시스템 구성도이며, 여기서 선형화 제어기는 상위 호스트와 연동되어 선형화 제어기의 상태뿐만 아니라 선형전력 증폭기 전체의 상태를 감시하고 보고하는 기능을 제공한다. 또한 선형화 제어기는 선형화 제어기에 필요한 프로그램의 유지 보수를 위한 포트(RS-232)를 제공한다. 선형화 제어기의 주 기능은 다음과 같다.

- 1) 제어 알고리즘을 통한 선형화 루프 제어 기능
- 2) 선형증폭기의 상태 감시 및 보고 기능
- 3) 프로그램 유지 보수를 위한 외부 인터페이스 제공

선형화 제어기는 2개의 CPU를 실장하고 있으며, 각각의 CPU는 다음과 같은 기능을 분담한다.

- 1) 선형화 루프 제어용 CPU(CPU_1) : 인가되는 RF 신호를 최소의 왜곡으로 최대 증폭을 하기 위한 루프 제어 기능을 담당
- 2) 선형증폭기 상태의 감시 및 보고를 위한 CPU(CPU_2) : 선형전력 증폭기의 출력 전력(아날로그 출력 감시 및 일정 이득 유지 기능), 반사 전력

(alarm), 정상 동작 상태 여부 등의 감시 및 보고.

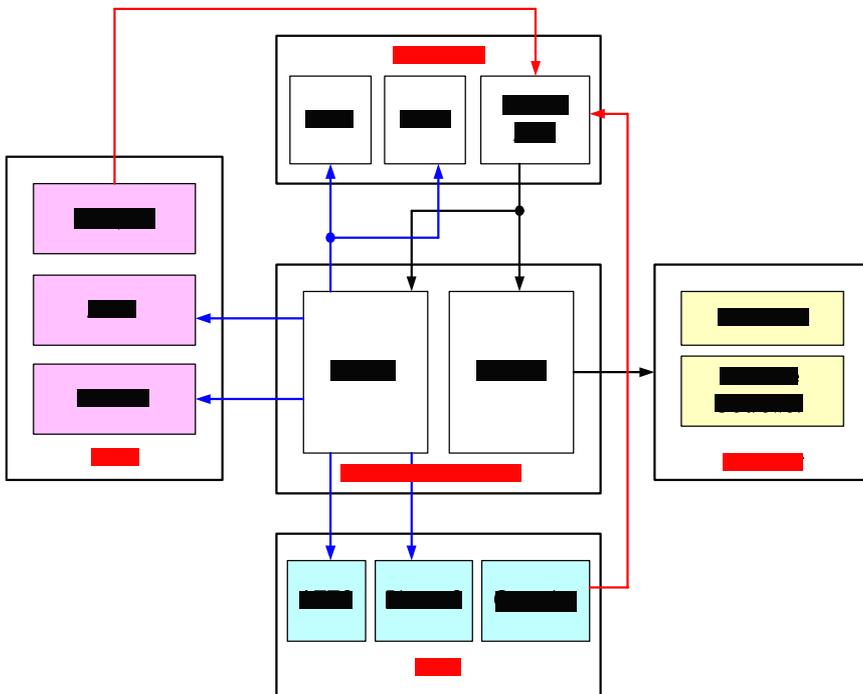
3) 원격 On/Off : 물리적인 신호 선을 통한 외부 인터페이스.

4) 선형증폭기의 출력 전력 감시 : Over Power Alarm은 물리적인 신호 선을 통한 외부 인터페이스(또는 RS - 485), 출력 전력 감시에 따른 일정 이득을 얻기 위한 선형증폭기 초단에 위치한 가변감쇄기 조절 기능.

5) 반사 전력 : 물리적인 신호 선을 통한 전압 정재파비 Alarm 보고 기능.

6) LPA 동작 상태 보고 : 제어기로부터 물리적인 신호 선을 통한 보고 기능.

7) Sample 기능 : 선형전력 증폭기 정상 동작 중에 송신 표본 신호 제공.



<그림 4-4> 시스템 구성도

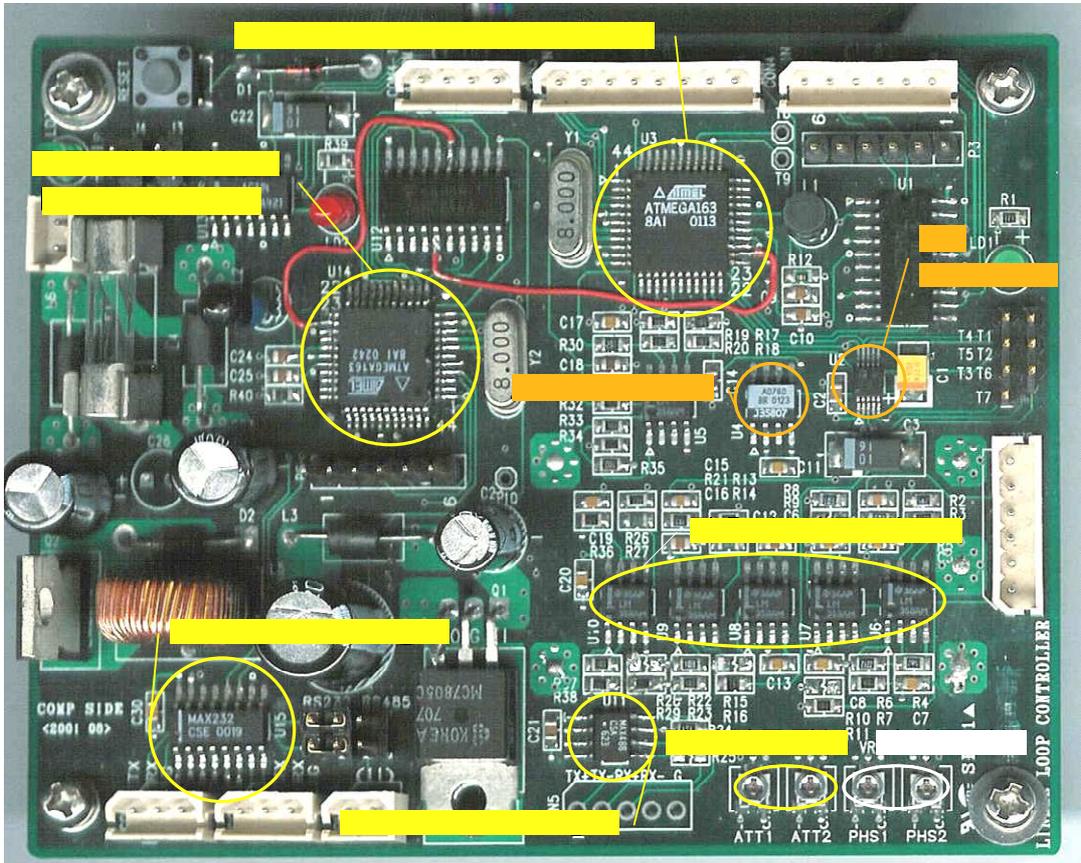
<Fig. 4-4> System diagram

선형화 제어기의 주 기능을 지원하기 위한 부가 기능

- 1) CPU reset 기능(push 버튼).
- 2) CPU가 적절히 동작하고 있음을 표시(Green LED).
- 3) 제어기에 전원이 인가되고 있음을 표시(Green LED).
- 4) 선형화 제어기에 필요한 전원 생성 기능.
- 5) A/D 기능 : 전력 검출기의 출력을 디지털로 변환.
- 6) D/A 기능 : 선형화 루프를 제어용 디지털 신호를 아날로그 전압으로 변환.
- 7) Mux 기능 : 빈번한 검출이 필요하지 않은 전력 검출기의 출력(DET1_out, DET4_out, DET5_out) 선택으로 인식하기 위한 수단.
- 8) 알람 버퍼링 : 전력 검출기에서 출력하는 선형증폭기의 상태 경보
- 9) (In_over_pwr_alarm, Out_over_pwr_alarm 및 VSWR alarm)를 수집.
- 10) 주파수 합성기 제어 : 전력 검출기 내부에 위치하는 주파수합성기의 주파수 설정을 위해서 필요한 data, clock 및 enable 신호 제공 기능.
- 11) 스위치 제어 : 전력 검출기 내에 위치하는 스위치 제어 기능.
- 12) 메모리 기능 : 제어기에 필요한 프로그램과 데이터 저장 기능.
- 13) 통신 포트(RS-232) 제어기와 제어기에 필요한 프로그램을 down 로딩 하거나 제어기의 동작 상태를 모니터링 하기 위한 수단 제공.
- 14) 통신 포트(RS-485) : 외부 호스트와의 통신을 위한 수단 제공.

선형화 제어기의 회로도 및 검출부의 회로는 부록에 첨부하였다.

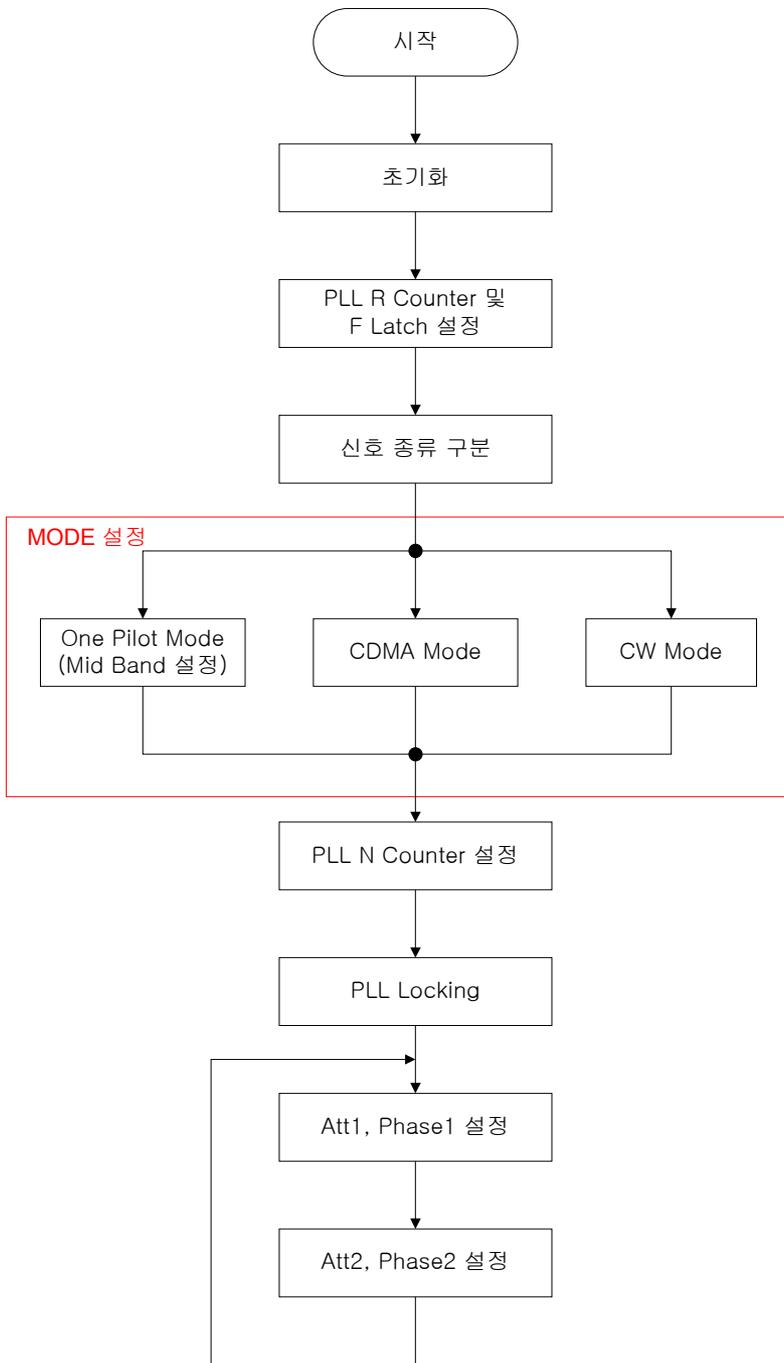
<그림 4-5>는 실제 제작된 선형화 제어기이다. 본 제어기는 4층 기판으로 제작되었으며, 제어기 전체 크기는 80 x 105 mm 이다.



<그림 4-5> 실제 제작된 선형화 제어기 기판

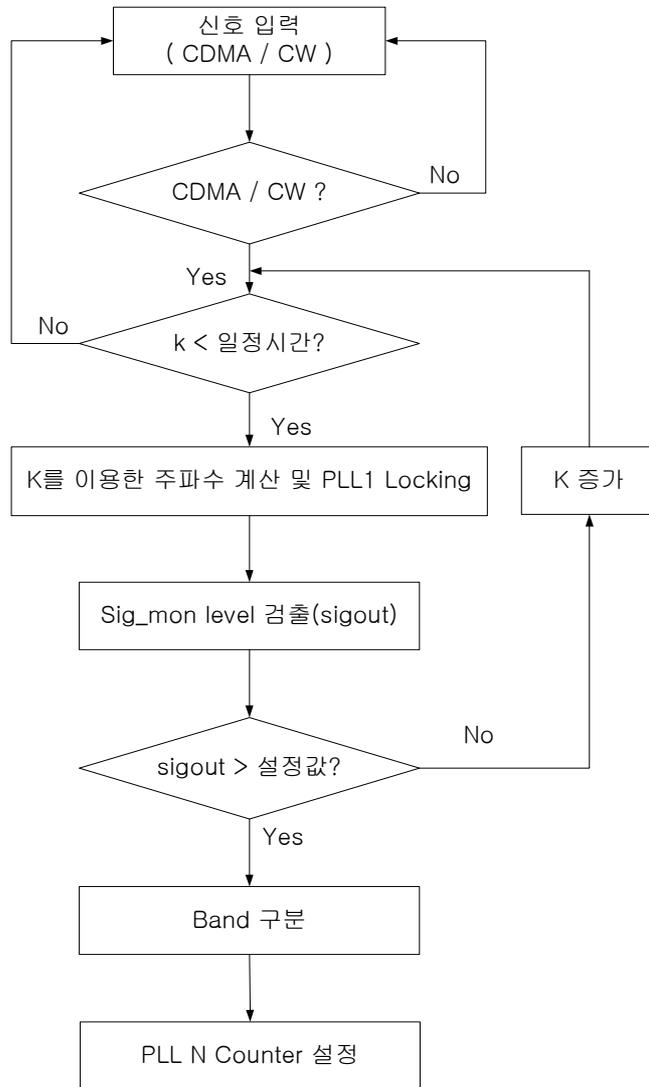
<Fig. 4-5> Actually fabricated PCB of controller for linearization

<그림 4-6>은 선형화 제어기의 알고리즘에 대한 플로우차트이다. 프로그램은 크게 위상제어루프 설정을 위한 부분과 주파수의 업/다운 컨버터(Up/Down converter) 및 선형전력 증폭기의 출력 파형 검출을 위한 검출 부분, 규격 외의 동작에 대한 경보 발생부 등으로 나눌 수 있다.



(a) CPU_1 프로그램의 플로우차트

(a) The flowchart of CPU_1' s program



* Band 구분

1) CDMA 일 경우 : low_band($k \leq 3$), mid_band($k > 3$) & ($k \leq 7$), high_band($k > 7$)

2) CW 일 경우 : low_band($k \leq 33$), mid_band($k > 33$) & ($k \leq 66$), high_band($k > 66$)

(b) CPU_1의 CDMA/CW Mode 플로우차트

(b) The flowchart of CPU_1' s CDMA/CW mode

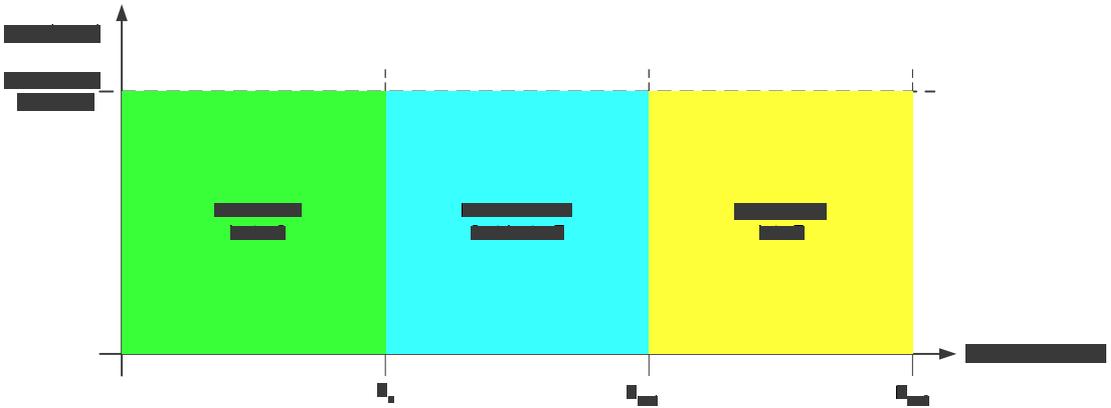


(c) CPU_2 프로그램의 플로우차트

(c) The flowchart of CPU_2' s program

<그림 4-6> 선형화 제어기의 제어 알고리즘에 대한 플로우차트

<Fig. 4-6> The flowchart concerning to control algorism of linearization controller



<그림 4-7> Band-ID 분할 기준

<Fig. 4-7> The reference to divide Band-ID

<그림 4-7>는 신호의 주파수 대역을 구분해주는 Band-ID 분할 기준에 대하여 나타내었다.

<그림 4-6>의 (a)에서 입력된 신호의 종류를 구분하여 해당 신호의 경로로 프로그램이 실행된다. One Pilot Mode에서는 Middle Band로 지정되어 바로 실행되며, CDMA나 CW 신호의 경우에는 <그림 4-6> (b)와 같이 실행되어 각각의 MODE에서의 Band를 구분하여 PLL의 주파수를 자동으로 감지하여 동기 시킨다. 아래 식(4-1)과 (4-2)는 CDMA 신호와 CW 신호에서의 PLL 주파수 밴드를 설정하기 위한 것이다.

$$\text{CDMA 신호의 경우 : } PLL_Freq = (2112.52 + 85.38 + k \times 5.0) \times e^6 \quad (4-1)$$

$$\text{CW 신호의 경우 : } PLL_Freq = (2110 + 85.38 + (k + 1) \times 0.6) \times e^6 \quad (4-2)$$

본 수식에서처럼 k 값을 변화시키면 PLL의 주파수가 점차 증가하게 된다. 주파수의 증가 간격은 CDMA 신호의 경우 5MHz이고, CW 신호의 경우 0.6MHz

간격으로 증가한다. 이렇게 k 값을 순차적으로 증가시킬 때 검출된 입력신호의 신호세기가 설정된 값 이상의 경우 PLL의 주파수가 설정되게 되며, 이 때 k 값을 가지고 <그림 4-7>와 같이 Band 구분을 하게 된다. 이 Band-ID는 각각 0, 1, 2의 세가지 값을 가지게 되며 이 값을 최종적으로 식(4-3), (4-4), (4-5) 및 (4-6)에 적용하여 PLL의 최종 주파수를 설정하게 된다. 아래는 PLL 1, 2의 주파수 적용 수식이다.

$$PLL_1_low = (2110 + 20 \times (Band_id + 1) - (24 + Pilot_Offset) / 2) \times e^6 \quad (4-3)$$

$$PLL_1_high = (2110 + 20 \times (Band_id + 1) + (24 + Pilot_Offset) / 2) \times e^6 \quad (4-4)$$

$$PLL_2_low = PLL_1_low + 85.38 \times e^6 \quad (4-5)$$

$$PLL_2_high = PLL_1_high + 85.38 \times e^6 \quad (4-6)$$

상기 수식들을 적용하여 Band_ID에 따른 PLL 주파수를 나누어 아래 <표 4-1>과 같이 주파수 영역을 나누었다.

<표 4-1> Band_ID에 따른 PLL 주파수 설정표

<Table 4-1> The setup table of PLL frequency depending on Band_ID

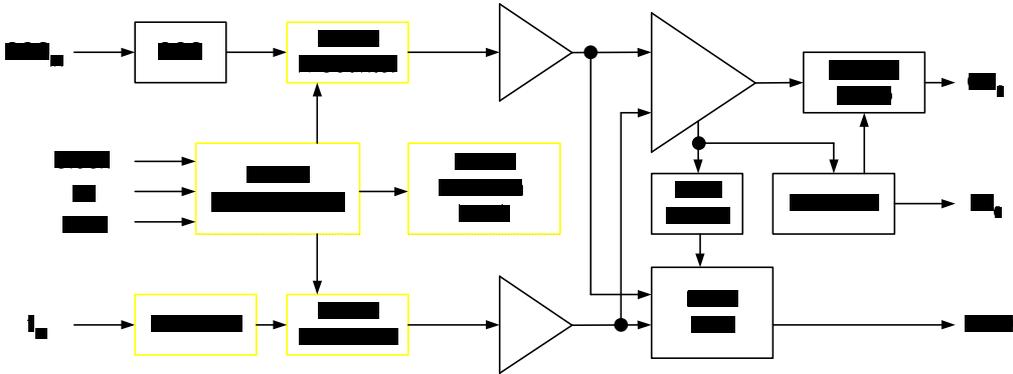
주파수(MHz)	Band		
	Low Band	Mid Band	High Band
PLL1 Low 주파수	2110.00	2130.00	2150.00
PLL1 High 주파수	2150.00	2170.00	2180.00
PLL2 Low 주파수	2195.38	2215.38	2235.38
PLL2 High 주파수	2235.38	2255.38	2265.38

4.2 위상동기루프 설정

선형화 제어기는 전력 검출기 내부에 위치하는 주파수 합성기의 주파수를 생성하는 위상동기루프(PLL; Phase Locked Loop)에 대해 Data, Clock, Enable 신호를 전송하여 특정 주파수를 생성하도록 한다. Dual CPU 중에서 CPU_1이 이 역할을 담당하고 있으며, 주파수 합성기로는 National Semiconductor사의 LMX2326을 이용하였다.

LMX2326은

<그림 4-8>과 같이 14-Bit R Counter, 18-Bit N Counter, 18-Bit Function Latch, 21-Bit Data Register 그리고 32/33 분주 가능한 Dual Modulus Prescaler를 내장하고 있다.



<그림 4-8> LMX2326 PLL Frequency Synthesizer 구성도

<Fig. 4-8> The diagram of LMX2326 PLL Frequency Synthesizer

본 시스템을 위한 PLL의 전기적 특성은 주파수 범위가 2100MHz ~

2260MHz, 출력이 0 dBm, 주파수 설정 단위가 5kHz 이다. 전력 검출기의 경우 주 증폭단(MAU)과 에러 증폭단(CAU)의 RF 신호를 검출하고 그 검출된 신호의 상태를 선형화 제어기와 연동하여 선형화 제어를 할 수 있도록 정보 제공자의 역할을 한다.

따라서, 전력 검출기는 RF 신호의 검출을 위해 파일럿 신호를 생성하여 그 신호를 MAU 및 CAU에 인가하게 되며, RF 출력신호에 대해 선형 루프내의 파일럿 신호를 검출하여 그 세기 정보를 선형화 제어기에 인가함으로써 리니어 루프의 최적화를 위한 정보를 제공한다.

본 시스템의 전력 검출기는 아래와 같은 성능 규격을 가진다.

- 1) Frequency Range : 2110 ~ 2170MHz
- 2) Input : -5 dBm max.
- 3) Output(DC) : 0 ~ 5 V
- 4) Dynamic Range : 30 dB 이상
- 5) BPF(3 dB Bandwidth) : 1.25MHz @ $f_c=85.38\text{MHz}$

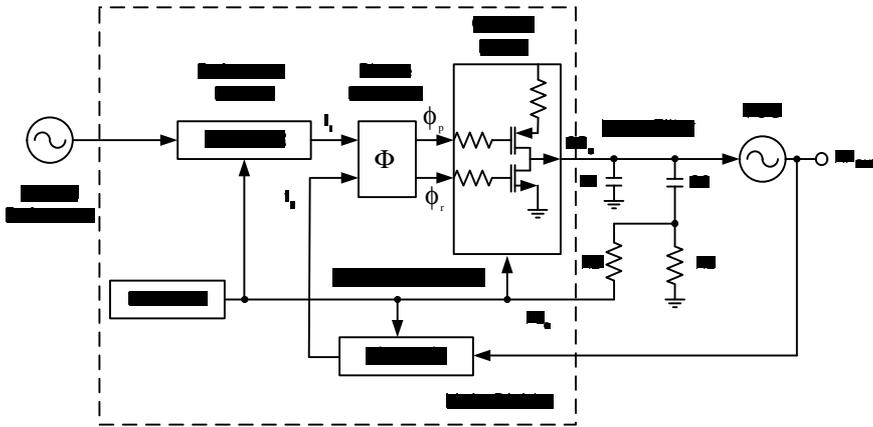
PLL을 로딩하기 위해서는 선형화 제어기로부터 3가지의 정보가 인가되어야 하며, 이 정보는 필요한 주파수를 설정하여 준다.

LMX2326 주파수 합성기를 로딩하는 순서는 첫 번째로 Function Latch와 R Counter를 설정하기 위한 정보를 인가하고, 두 번째로 N Counter를 설정한다. 주파수 합성기의 출력 주파수를 설정하기 위한 식은 아래와 같다.

$$f_{\text{vco}} = ((P \times B) + A) \times f_{\text{osc}} / R \quad (4-7)$$

여기서, f_{vco} 는 VCO의 출력 주파수, B는 N Counter의 18-Bit 중에서 13-Bit Programmable counter($3 \leq B \leq 8191$), A는 N Counter의 18-Bit 중에서 나머지 5-Bit Swallow counter($0 \leq A \leq 31; A \leq B$), f_{osc} 는 외부 출력 주파수, R은 14-Bit Programmable reference counter(3 to 16383), P는 Prescaler(32)이다.

<그림 4-9>은 주파수 합성기의 동작 구성도를 나타냈었다.



<그림 4-9> 주파수 합성기의 동작 구성도

<Fig. 4-9> The operational diagram of frequency synthesizer

만약 합성기의 간격(Δf)이 20kHz이고, 기준 주파수(f_{ref})가 19.68MHz 인 주파수합성기의 출력주파수를 2110MHz로 설정하고자 할 때 R Counter, N Counter는 다음과 같이 설정된다.

$$R \text{ Counter} = f_{ref} / \Delta f = 19.68\text{MHz} / 20\text{kHz} = 984 = (1111011000)_2$$

$$N \text{ Counter} = (P \times B) + A = 2110\text{MHz} / 20\text{kHz} = 105500$$

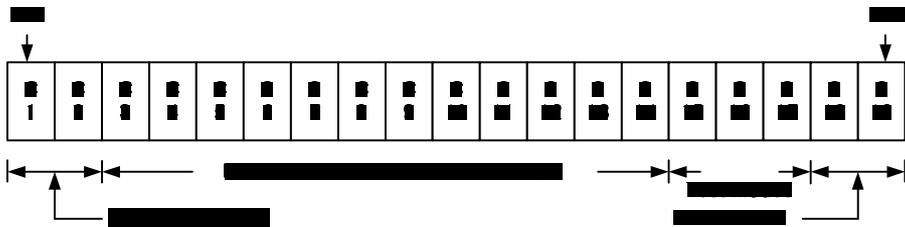
N Counter는 13-Bit Programmable counter(B)와 5-Bit Swallow(A)로 되어 있으므로 다시 나누어 계산하면

$$B = N / P = 105500 / 32 = 3296 = (110011100000)_2$$

$$A = N - (B \times P) = 105500 - (3296 \times 32) = 28 = (11100)_2$$

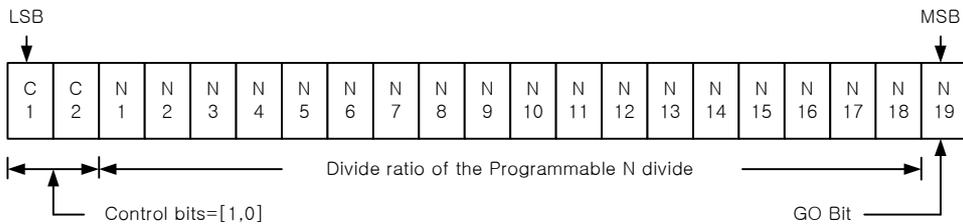
A와 B는 상기 조건($0 \leq A \leq 31; A \leq B, 3 \leq B \leq 8191$)에 만족 함을 알 수 있으며, 2진 코드화 한 데이터를 <그림 4-10>와 같은 직렬 데이터 형식에 맞추어 PLL을 로딩하게 된다.

직렬 데이터 형식 중에서 C1, C2는 제어 비트이며, 각 데이터의 위치를 지정한다. <표 4-2>는 제어 비트의 데이터 위치를 나타내었다.



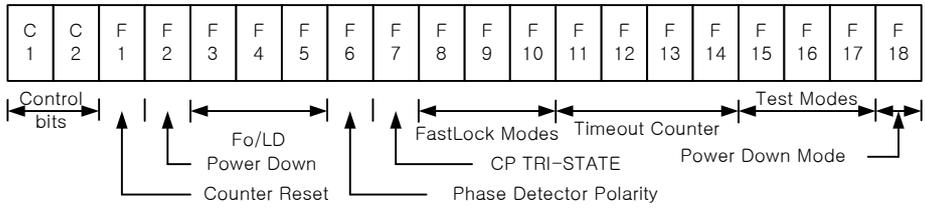
(a) R counter 직렬 데이터 형식

(a) R Counter Serial Data Format



(b) N counter 직렬 데이터 형식

(b) N Counter Serial Data Format



(c) Function latch 직렬 데이터 형식

(c) Function Latch Serial Data Format

<그림 4-10> LMX2326의 Serial Data Format

<Fig. 4-10> The serial Data Format of LMX2326

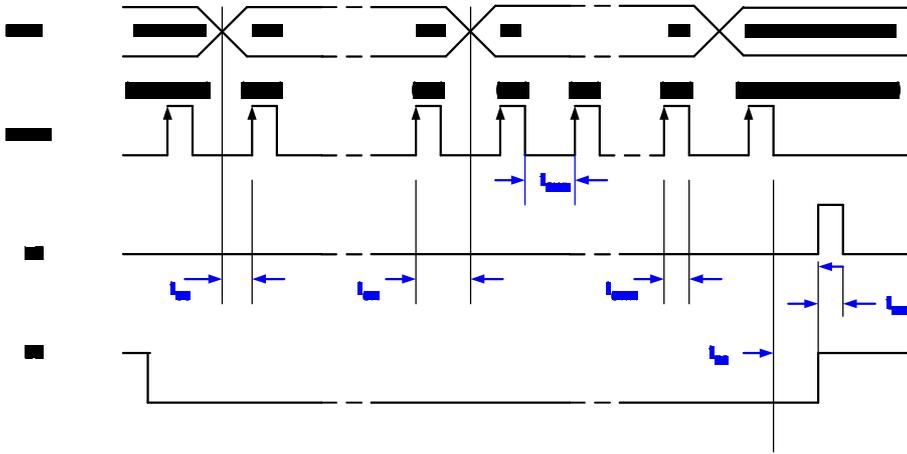
<표 4-2>에서와 같이 R Counter일 경우 2-Bit의 제어 비트(C1, C2)는 모두 “ 0” 가 된다. N Counter일 경우 2-Bit의 제어 비트는 C1=1, C2=0 이 되며, 초기화를 위한 제어 비트는 모두 “ 1” 이 된다.

<그림 4-11>은 시리얼 데이터의 입력 타이밍 도를 나타낸다.

<표 4-2> Control Bit의 Data location

<Table 4-2> The data location of control bit

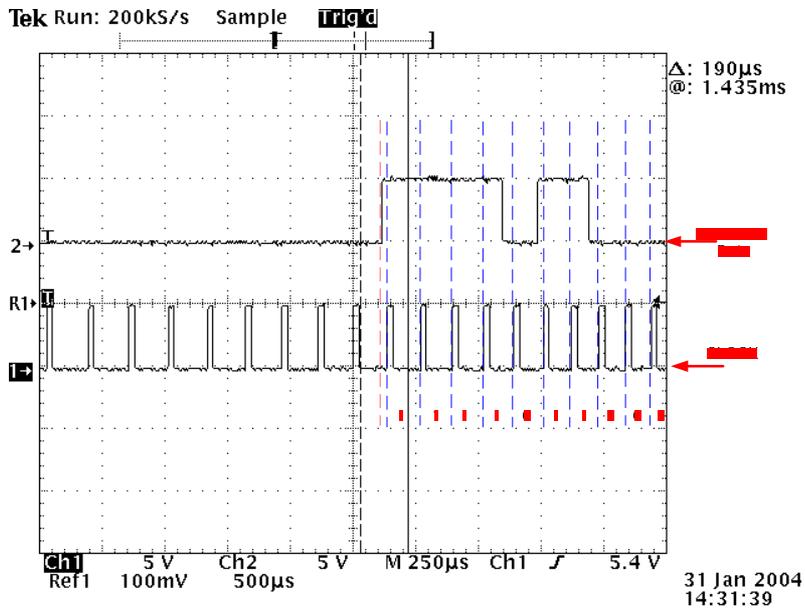
Control		Data Location
C1	C2	
0	0	R Counter
1	0	N Counter
0	1	Function Latch
1	1	Initialization



<그림 4-11> LMX2326의 Serial Data Input Timing

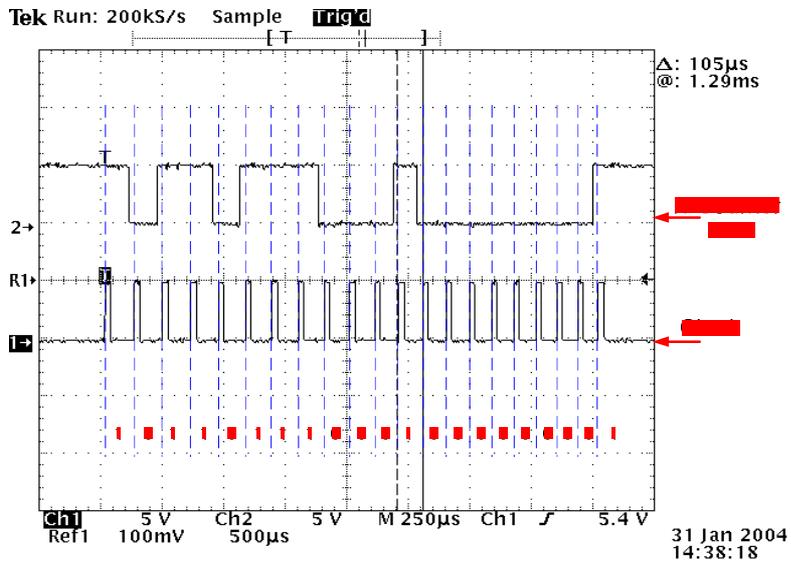
<Fig. 4-11> The serial Data Input Timing of LMX2326

<그림 4-12>는 PLL 1, 2를 로딩하기 위한 R Counter, N Counter, Clock, Function Latch 등의 파형을 실측한 것이다.



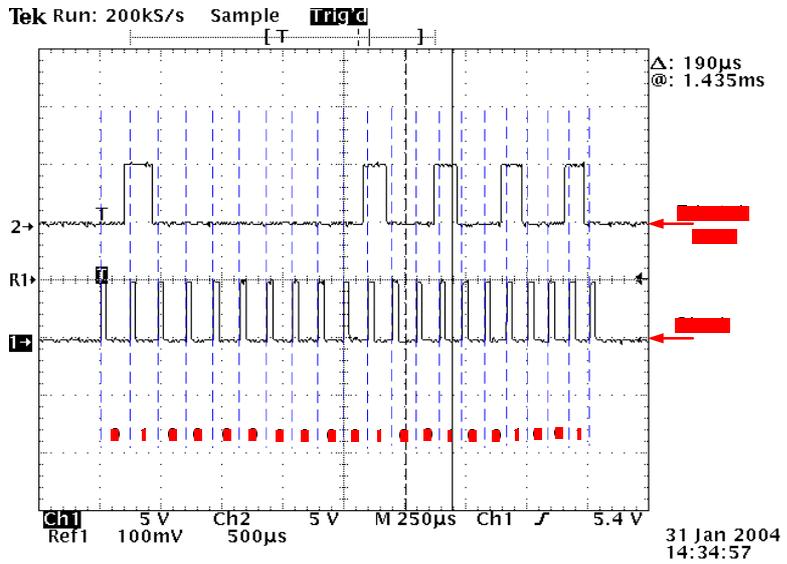
(a) R Counter Data 실측 파형(R Counter = $(1111011000)_2$)

(a) Real measurement of R counter Data



(b) N Counter Data 실측 파형(N Counter = $(110111000100000000)_2$)

(b) Real measurement of N counter Data



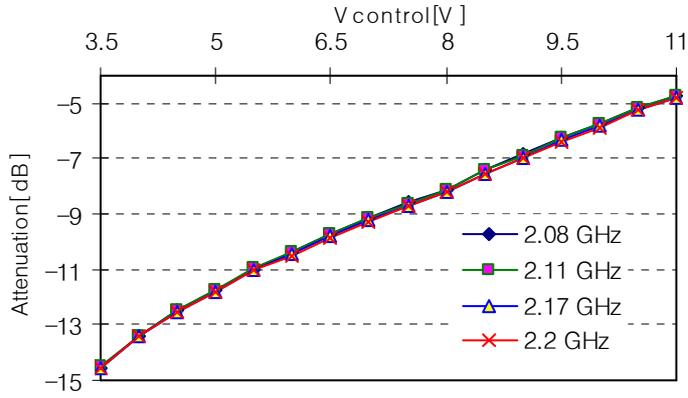
(c) Function Latch 실측 파형(F = $(01000000001001001001)_2$)

(c) Real measurement of function latch

<그림 4-12> R Counter, N Counter, Clock, Function Latch 실측 파형

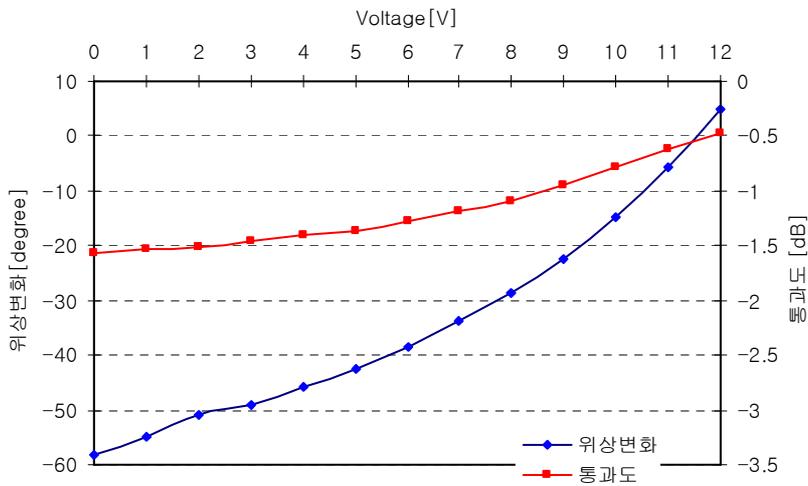
<Fig. 4-12> Real measurement of R Counter, N Counter, Clock and Function Latch

<그림 4-13>과 <그림4-14>은 가변감쇄기 및 가변위상기변환기의 가변 특성이다



<그림 4-13> 주파수별 가변감쇄기의 특성

<Fig. 4-13> The attenuation characteristics of the attenuator



<그림 4-14> 가변위상편이기의 특징

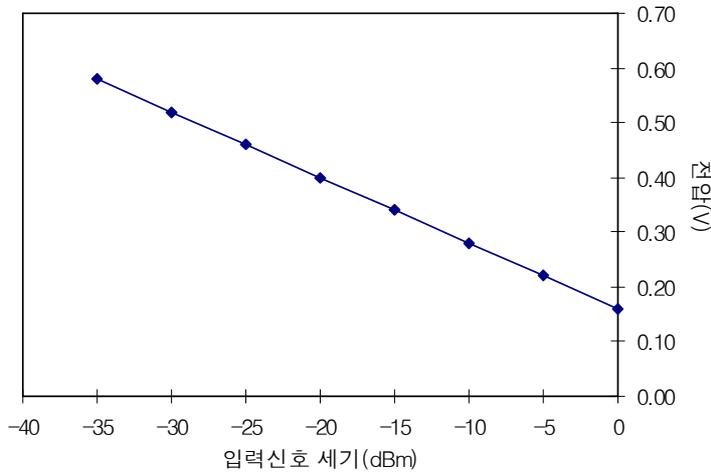
<Fig. 4-14> The phase variation of variable phase shifter

<표 4-3>와 <그림 4-15>은 주파수 별 입력 신호세기에 따른 A/D 값의 전기적 검출 성능을 측정한 결과이다. <표 4-3>의 결과에서 입력신호의 세기변화에 대한 주파수 별 검출 전압의 변화량이 단조 함수의 형태로 선형적으로 변화함을 알 수 있다.

<표 4-3> 입력신호 검출 특성표

<Table 4-3> The detection characteristic table for input signal

입력신호 세기 (dBm)	주파수		
	2110MHz	2140MHz	2170MHz
0	0.16 V	0.16 V	0.16 V
-5	0.22 V	0.22 V	0.22 V
-10	0.28 V	0.28 V	0.28 V
-15	0.34 V	0.34 V	0.34 V
-20	0.40 V	0.40 V	0.40 V
-25	0.46 V	0.46 V	0.46 V
-30	0.52 V	0.52 V	0.52 V
-35	0.58 V	0.58 V	0.58 V



<그림 4-15> 입력신호 검출 특성

<Fig. 4-15> Detecting characteristics of input signal

제 5 장 선형 전력증폭기의 성능 평가

5.1 고전력 증폭기의 개요

CDMA 약자 중 다중접속(Multiple Access) 정보는 RF 관점에서 보면 실질적으로 진폭의 변화로 나타난다. 따라서, 증폭기 송신부에서 진폭 선형성(Amplitude Linearity)이 손상된다면 다음 현상이 발생하게 되므로 다른 통신 방식에 비해 진폭 선형성에 유의해야 한다.

첫 번째, 불요파 증가에 따른 법적 규격 미비로 무선국 허가 문제점 및 불요파에 의한 간섭으로 사업자간 분쟁 가능성

두 번째, 진폭 비선형성에 의한 IMD 성분은 왈쉬 코드 영역에서 실제로 사용하지 않는 왈쉬 코드의 잡음 레벨을 증가시켜 사용 중인 통화 채널에 더 많은 송신 전력이 할당되도록(순방향 전력 제어 기능에 의함) 하는 역할을 하게 된다.

이에 따라 순방향 통화 용량은 감소하게 된다. 이러한 진폭 선형성은 최종 HPA에 의해 대부분의 규격이 결정되기 때문에 CDMA용 HPA는 선형성이 우수한 특성을 갖는 방식으로 설계되어야 하며, 특히 다중 주파수 할당(multi FA)된 시스템의 경우는 매우 특별히 설계된 선형 HPA가 아니면 HPA 효율의 10% 정도 밖에 사용하지 못하는 문제가 발생하여 전체 시스템의 성능을 급격히 감소시키게 된다.

이동국의 경우 모든 RF 규격의 최우선 고려 사항은 축전지(Battery) 전력 소모이다. 이동국에서 가장 소모 전력이 큰 부분이 HPA이기 때문에 전체 규격을 정한 후 HPA규격을 정하는 방식이 아닌, 전력 소모가 가장 적은 HPA를 선정 후 이 HPA 규격에 맞추어 전체 이동국 규격을 정하게 된다[20]-[23].

따라서, 이동국 HPA는 전력 소모가 가장 적은 C급 이상의 HPA를 사용하게 된다. C급 HPA는 진폭 직선성(Amplitude Linearity)이 매우 나쁘기 때문에 이동국 송신 신호의 진폭에 정보가 실리지 않도록 규격이 정해진다[24],[25].

이동국의 기본 변조는 직교위상편이변조(QPSK; Quadrature Phase Shift Keying)로서, 엄밀히 보면 모든 정보는 진폭이 아닌 위상에 실리게 된다. 그러나, RF 대역폭을 법적인 규격으로 제한 하기 위해서는 QPSK 변조된 신호의 대역폭을 1.23MHz 내로 제한하게 되고, 이때 위상 불연속 점에서 필터링에 의한 무시할 수 없는 진폭 정보가 발생하게 된다 이러한 현상을 최대한 방지하기 위해서 이동국은 기지국과 달리 QPSK 변조시 반드시 180도 위상편이가 발생하지 않도록 사전 조치를 취하게 되는데, 이를 오프셋직교위상편이변조(OQPSK; Offset QPSK)라고 한다.

일반적인 CDMA 중계기의 최대 출력은 15 ~ 20W이며, 이동국은 0.2W 이다. HPA를 포함한 모든 능동 소자는 정도의 차이가 있지만 근본적으로는 진폭 비선형 특성을 가지며, 선형성이 요구되는 시스템에서는 HPA의 선형 구간에서만 동작하도록 HPA 최대 출력보다 훨씬 낮은 출력에서 시스템을 설계하거나, 최대한 선형 특성이 좋은 HPA를 선정하여 사용한다

5.2 고전력 증폭기의 선형성

HPA 는 트랜지스터의 바이어스 형태에 따라 A급, AB급, C급으로 크게 구분되며, 선형성 및 전력 효율이 결정된다.

A급 HPA는 선형성은 우수하지만 전력 효율이 좋지 않으며, AB급은 중간 선형성과 전력 효율, C급은 선형성은 나쁘나 전력 효율이 우수한 특성을 나타낸

다. 전력 효율이 나쁘게 되면 단지 전력 소모가 많을 뿐만 아니라 낮은 효율에 의해 발생한 열이 HPA 및 시스템 전반의 불안정성을 야기하여 시스템 안정성에 영향을 미치게 된다.

CDMA 중계기 HPA에서는 매우 우수한 선형성을 요구하기 때문에, 위의 3가지 분류만으로는 HPA의 성능 및 경제성 확보가 어렵다. 따라서 추가적인 선형 회로가 요구된다. 이러한 선형 회로로서는 HPA의 비선형성 특성과 반대 특성을 HPA 입력에서 사전에 가해 주는 전치왜곡 방식과, 두 개의 루프를 이용하여 비선형 특성에 의한 불요파를 원천적으로 제거하여 주는 피드-포워드 방식이 있다. 흔히 말하는 LPA는 피드-포워드 방식만을 칭하기도 한다.

이 중 전치왜곡 방식은 HPA에 사용되는 트랜지스터의 비선형 특성이 각각 달라 모든 생산 분에 대하여 조정해 주어야 하기 때문에 생산성이 낮다. 또한 온도나 주변 환경 변화, 주파수 등에 따라 비선형 특성이 변화할 수 있기 때문에 양산 및 사용시 주의가 필요하다[26],[27].

이러한 가변 요소를 최소화하기 위해 최신 기술에서는 전치왜곡 회로를 디지털 신호처리(DSP; Digital Signal Processor) 방식으로 구현하여 생산성 및 안정성, 전력 효율을 많이 높이기도 한다

프리-포워드 방식의 LPA는 모든 주변 여건 변화에 대하여 능동적으로 루프의 특성에 의해 선형성이 보장되기 때문에 매우 안정적인 선형성을 나타내지만, 회로가 복잡해지고 고가이기 때문에 HPA를 선정할 때에는 경제성 분석이 필수적으로 요구된다. 또한, 메인 앰프 부분에 전치왜곡 AB급 앰프를 사용하기도 한다.

이와 같이 절대적인 성능 기준에 따라 HPA규격을 선정할 수 있으나, 전체 시

시스템에서 LPA가 차지하는 가격 비중이 매우 높기 때문에 사용 용도에 따른 성능 및 경제성을 분석하여 HPA규격을 선정하는 것이 일반적이다[28].

일반적으로 저출력 중계기 시스템에서는 A급 또는 전치왜곡 방식을 사용한 AB급(AB+PD형)의 HPA를 사용하며, 기지국(BTS)와 같은 고출력 시스템에서는 LPA 또는 AB+PD형을 조합하여 사용한다. A급 HPA를 CDMA에 사용할 때는 최대 출력의 약 10% 정도만 사용할 것이 권고되며, AB+PD형은 약 20~50% 정도, 프리-포워드 방식은 약 80% 정도의 사용이 권장된다[29].

따라서, A급 증폭기의 경우, 중계기에 2W의 출력이 필요하면 최대 출력 20W의 HPA를 사용하여야 하며, 이때 소비 전력은 약 100~150W가 되어 약 98~148W의 열이 LPA에 의해 발산되므로, 방열 구조에 많은 고려가 되어야 한다. 같은 출력을 위한 AB+PD의 경우는 약 20~40W 정도의 적은 열이 발산되는데, 선형성에 대한 관찰과 검토가 필요하다. 2~3W 정도의 낮은 출력에 대해서는 프리-포워드 방식은 성능 및 안정성 면에서 유리하지만 경제성 및 열효율이 떨어지기 때문에 그리 많이 이용되고 있지 않다[30].

<표 5-1> 선형 전력증폭기의 제작을 위한 선형화 방식의 비교

<Table 5-1> Comparison of the linearization method for manufacture of LPA

선형화 방식	피드-포워드	전치왜곡	피드백	백 오프
생산성	보통	낮음	W-CDMA 시스템 에서는 생산성 없음	W-CDMA 시스템 에서는 생 산성 없음
동작범위	광대역	협대역		
I M D	약 -55 dBc	약 -45 dBc		
선형성	안정적	한계가 있음		
회로구성	복잡	간결		
가격	고가	저가		

<표 5-1>은 선형 전력증폭기의 제작에 따른 내용을 비교한 것이다. 피드 백 및 전력 백 오프 방식은 동작범위, IMD 특성 등의 저하로 인해 생산성이 없는 것으로 평가되었다[31].

한편 피드-포워드 방식은 전치왜곡 방식에 비해 용적의 증대 및 회로 구성상의 복잡함으로 인해 제작 비용이 고가인 반면, 상대적으로 넓은 동작범위에서 동작하고 LPA의 핵심이 되는 55dBc 이상의 IMD 특성과 선형성이 안정되는 등 양호한 장점을 나타냄으로써 W-CDMA의 신뢰성에 가장 부합되는 방식임을 알 수 있었다.

5.3 다중 고전력 증폭기의 구성

통화 용량 증대를 위해 중계 주파수를 확장하는 다중 반송파 증계에 있어서 HPA는 매우 높은 출력을 요하기 때문에 $[(15\sim 20\text{W}/\text{FA}) \times (\text{No. of FA})]$ 하나의 LPA나 HPA로는 출력 및 IMD 규격을 만족시키기 매우 어렵다. 따라서, 여러 개의 LPA 또는 AB+PD형 HPA로써 다중 반송파 증계를 구성하게 된다[32].

LPA 구조의 장점은 매우 높은 선형성에 의한 HPA 효율의 극대화 및 각 LPA간 출력 분담(soft redundancy)에 의한 신뢰성 증대, 주파수 배치의 용이성 등이며, 단점으로는 LPA 집중 배열에 의한 시스템 구조의 비효율성 및 고가에 의한 경제성 감소이다[33].

HPA 구조의 장점은 상대적으로 저가에 의한 경제성 증대 및 다중 반송파별 HPA 배치에 의한 시스템 구조의 효율성 등을 들 수 있으며, 단점으로는 LPA에 비해 각 HPA들의 반송 주파수 별 출력 분담의 곤란(hard redundancy) 및 선형성의 감소, 안테나 정합의 복잡성, 주파수 배치의 제한성 등을 들 수 있다. 또한,

LPA 구조에서는 안테나 정합이 매우 간단하지만, HPA 방식에서는 다른 다중 반송파용 HPA로 역전력(reverse power)이 역류되지 않도록 해주는 다수의 채널 필터로 구성된 전력 결합기 등이 추가로 요구되며, 이에 의한 손실(약 2dB)만큼 HPA 출력을 올려야 하는 어려움이 있다[34]-[38].

주파수 배정에 있어서 LPA방식은 임의 배열 및 변경이 가능하지만, HPA 방식은 전력 결합기를 구성하는 채널 필터의 구조에 맞추어 주파수 배정이 이루어져야 하며, 설치 후 채널 필터의 교체 없이 주파수 변경 시에는 HPA 출력 신호가 채널 필터 중심 주파수와 일치하지 않아 출력의 99%가 HPA로 역류하여 HPA를 동작 불능 상태로 만들게 된다.

5.4 시스템 통합

<그림 5-1>은 선형 전력 증폭기의 실제 구성을 나타낸 것이며, 이때의 신호 흐름도를 함께 도시하였다. <그림 5-2>는 최종적으로 설계하고 제작한 선형 전력증폭기의 성능평가를 위한 구성도이다. 오차 증폭기는 앞서서도 설명했듯이 주 증폭기의 출력과 이득이 높을 때도 동작할 수 있도록 설계되어 있다.

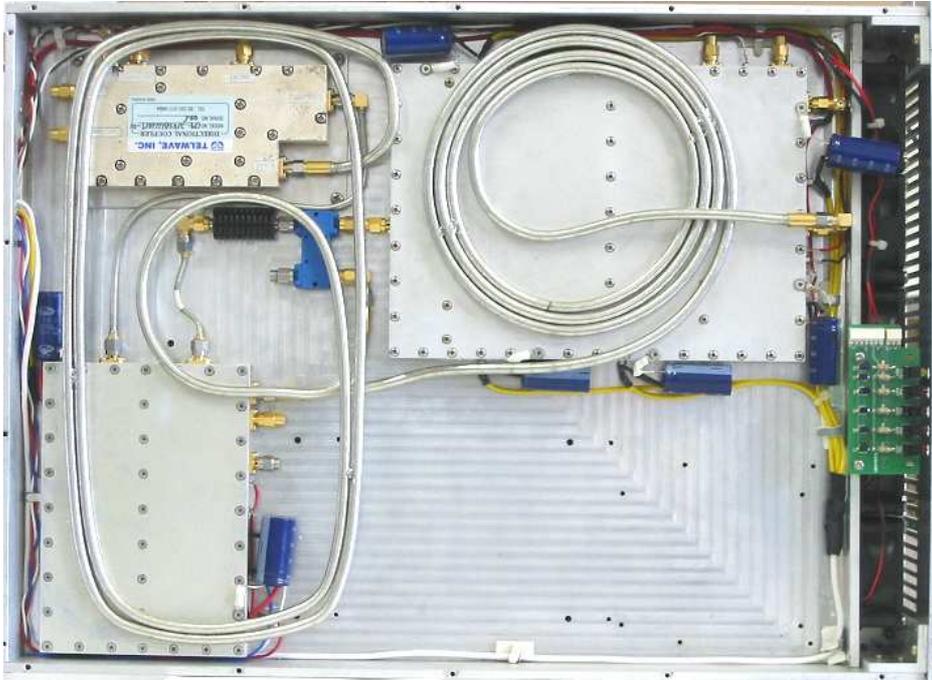
선형 전력 증폭기에 사용된 각 모듈은 각각 독립적으로 만들었고 상호간의 연결을 위해 초속성 금속 합금(SMA ; Superlastic Metal Alloy) 커넥터를 사용하였다.

선형 전력증폭기 회로에서는 신호의 크기 변화가 매우 크다. 주 증폭기에서는 30 dBm 이상의 출력이 나오고 신호루프의 출력에서 나오는 출력은 -40 dBm 이하이다. 따라서 증폭기 모듈에서 공기 중으로 방출되거나 도선을 통해 나오는 작은 신호라도 신호 상쇄에 매우 큰 영향을 미친다. 처음 실험에서는 증폭기, 방

향성 결합기 등 각 모듈을 차폐하지 않고 실험을 하였는데 상쇄루프에서 신호상쇄가 거의 되지 않았다. 이유는 외부에서 바이어스 선로나 공기 중에서 타고 들어온 신호가 -40 dBm 보다 크기 때문에 신호 상쇄를 일어 킬 수 없었던 것이다. 따라서 증폭기 등 각 모듈을 알루미늄 케이스에 차폐시켰고 바이어스 선로는 항상 관통형 커패시터(Thru-Capacitor)를 통해 연결하였다.

시간지연 선로는 경화케이블을 사용하였다. 시간지연 선로의 측정은 벡터회로망 분석기(VNA; Vector Network Analyzer)의 지연 측정장치를 이용하였다. 신호루프와 오차루프를 설정한 후 두 경로 중 한 경로를 끊고 다른 경로에서의 시간지연을 VNA로 측정하였다. VNA의 지연(Delay) 측정으로 어느 정도 두 경로의 Delay를 맞춘 후 더 정확히 시간지연을 맞추기 위해 길이가 조금씩 다른 여러 가지 길이의 시간지연 선로를 연결해 보면서 신호의 상쇄가 가장 잘 생기는 시간지연 선로를 사용하였다.

측정한 결과 신호루프에서 두 경로의 시간지연은 많은 차이가 발생하지 않았으며, 약 0.5 ns 이하의 시간지연 차이를 보였다. 그러나 오차루프에서 경로 2를 거치는 신호는 제어기와 5단의 오차증폭기를 거치므로 시간지연이 매우 많이 생긴다. 반면에 경로 1의 신호는 바로 출력에 연결되어 있기 때문에 시간지연이 매우 적다. 오차루프에서 두 경로의 시간지연 차이에 해당하는 약 8 ns의 시간지연을 주기 위해서 약 2.5 m의 경화 케이블이 사용되었다. 두 경로에서 시간지연이 다르면 신호 상쇄지수의 대역폭이 매우 줄어들게 됨을 알 수 있다. 실제 측정에 있어서도 두 경로에서의 시간지연이 많이 어긋나 버리게 되면 신호의 상쇄가 거의 일어나지 않음을 알 수 있었다.



<그림 5-1> 선형 전력증폭기의 실제 구성도

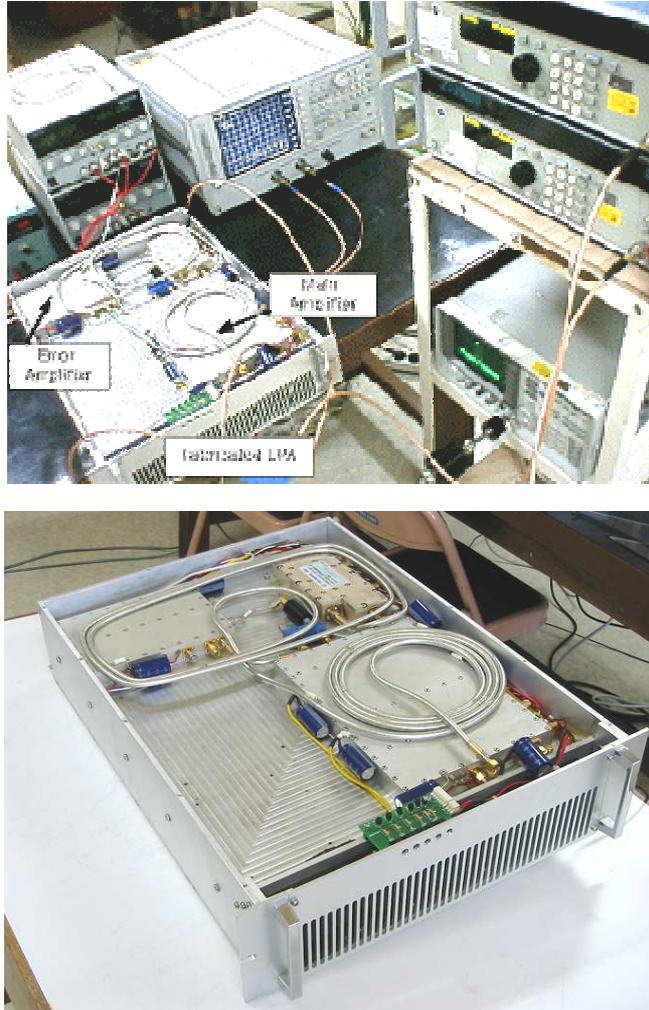
<Fig. 5-1> The real diagram for linear power amplifier

5.5 측정 장치의 구성

증폭기의 선형도를 측정하기 위해 본 논문에서는 2-톤(Two tone)을 이용한 멀티톤(Multitone) 실험을 시행하였다. 2-톤 시험을 위해서는 두개의 신호원 발생기(Signal source generator)가 필요하며, 신호발생기(Signal generator)는 HP사의 8648C를 사용하였다.

두 신호원을 하나로 합치기 위해 위킨슨 전력결합기를 사용하였고 전력결합기에는 0.2 dB의 손실이 발생하였다. 그리고 선형 전력증폭기의 출력 스펙트럼을 관찰하기 위해 <그림 5-2>에서와 같이 스펙트럼 분석기(Spectrum analyzer)를

사용하였다. 스펙트럼 분석기를 보호하기 위하여 오차증폭기의 출력과 선형 전력증폭기의 출력을 각각 20 dB 커플러와 고정감쇄기를 사용하여 출력신호를 모니터링하였다.



<그림 5-2> 측정장치의 구성

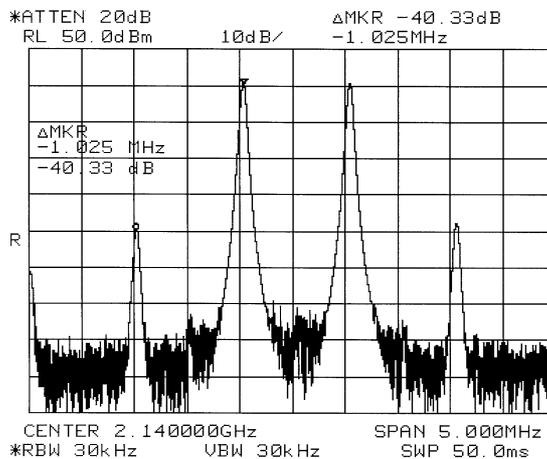
<Fig. 5-2> The configuration of measurement equipment

전원은 주 증폭기와 오차 증폭기에 따로 공급하기 위해 각각 전원공급기를 따로 사용하였다. 그리고 신호루프와 오차루프를 각각 제어하기 위해 각각 2개씩의 전원이 필요하며, 신호루프와 오차루프의 제어기에는 2단자 전원공급기 2개를 사용하였다.

5.6 2-톤 시험 결과

<그림 5-3>은 주 증폭기의 IMD 특성으로 오차 증폭기의 전력을 차단하여 선형화 회로의 동작을 정지시키고 측정한 값이다. 증폭기의 출력은 47.8 watt이고 이때 IMD가 40 dBc이다. 입력신호의 주파수 간격은 1MHz이다.

<그림 5-4>는 오차 신호를 오차 증폭기의 검출기 포트에서 측정한 스펙트럼을 보여준다. 오차신호는 오차 증폭기에서 증폭하여 모니터 하였는데 이러한 측정을 통해 선형화 회로에서 신호가 상쇄되는 것을 보면서 오차신호를 모니터 할 수 있다.

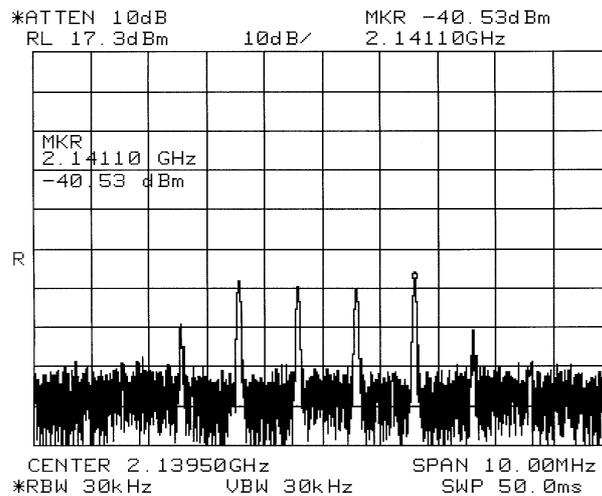


<그림 5-3> 주 증폭기의 IMD 특성

<Fig. 5-3> The IMD characteristics of main power amplifier

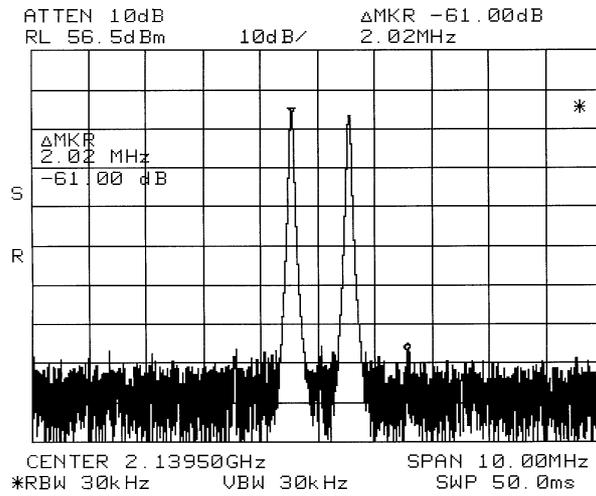
<그림 5-4>를 보면 순수 입력신호가 상쇄되어 크기가 많이 줄어 들어 있는 것을 알 수 있다. 신호루프의 신호 상쇄를 통해 순수 입력신호는 상쇄되어 제3차 IMD에 비해서도 5 dB 이하의 크기를 가지고 있음을 볼 수 있다. 즉 신호루프의 상쇄지수는 약 39 dB 임을 알 수 있다.

<그림 5-5>는 오차신호가 증폭되고 크기와 위상이 제어되어 주 증폭기의 상호 변조 신호를 제거해 증폭기가 선형화되어 있는 것을 보여준다. 제3차 IMD는 40 dBc의 증폭기 상호변조 신호가 61 dBc로 감소한 것을 알 수 있다. 오차루프의 상쇄지수는 약 21 dB 이다.



<그림 5-4> 오차증폭기의 검출기 포트에서의 스펙트럼 특성

<Fig. 5-4> The spectrum characteristics of detection port of error amplifier



<그림 5-5> 선형 전력증폭기의 IMD 특성

<Fig. 5-5> The IMD characteristics of linear power amplifier

제 6 장 결 론

전 세계 이동통신이 통합된 제3세대 이동통신 시스템인 IMT-2000에 대하여 2000년대 초반에 서비스 제공을 목표로 연구개발이 활발히 진행되고 왔다. 특히 단순히 음성을 전달하는 서비스에서 점차로 멀티미디어 통신을 지향하고 있으며 시간과 장소의 제한을 받지 않도록 서비스의 질을 높이는 요구가 크게 증가하고 있다.

특히 W-CDMA 방식에서 채널 용량 및 대역폭 증가와 시스템의 비선형적인 특성으로 인한 인접 채널간의 간섭과 전력에 따른 왜곡, 온도나 시스템의 열화에 의한 성능 저하를 보정해 줄 수 있는 연구가 더욱 필요하게 된다[34].

IMT-2000 시스템의 경우 서비스의 질적 향상에 가장 영향을 미치는 부분이 고출력 전력 증폭기이며 W-CDMA와 같은 3.84MHz의 넓은 대역폭을 갖는 경우 광대역에 대한 고출력 전력 증폭기의 선형성 개선이 매우 중요하게 된다.

본 논문에서는 CDMA 시스템에 사용되는 고출력 전력 증폭기의 비선형성을 보정한 전방궤환 방식 선형 전력 증폭기에 대하여 연구하였다. 반송파 제거 루프와 오차 제거 루프로 구성된 전방궤환 방식 선형 전력 증폭기는 각 루프의 증폭기의 지연 시간을 보상해주는 시간 지연 회로가 필요하며 경화 케이블을 사용하여 시간 지연을 보상해 주는 방식을 사용하였다.

이 선형 증폭기의 성능 검증을 위해 47.8 watt에서 상호변조 왜곡이 40 dBc 인 전력 증폭기에 적용하여 실험하였으며 2-톤 시험 시 신호루프에서 상쇄지수가 최소 30dB, 오차루프의 상쇄지수가 최소 30dB가 되도록 정의하고 실제로 설계 및 제작하여 시험해 본 결과, 신호루프의 상쇄지수는 39 dB, 오차루프의 상

왜지수는 21 dB를 얻었다.

이 증폭기를 선형화 회로를 이용하여 40 watt에서 61dBc의 상호변조 왜곡특성을 나타냄으로써 고전력 증폭기가 입력신호대역 2.11GHz~2.17GHz에서 안정된 이득 평탄도와 낮은 상호변조 왜곡신호를 포함하여 증폭하는 반면에 오차 증폭기는 고전력 증폭기의 입력신호대역의 3배 이상의 범위(2.08GHz~2.20GHz)에서 안정된 이득과 이득 평탄도를 나타내는 것을 확인하였다.

주 증폭기는 모토롤라사의 MRF21060, MRF21125, MRF21180 FET를 사용하여 최적의 임피던스를 구하여 정합시켰으며 평형증폭기로 구성하여 40W 출력을 내도록 설계하여 제작하였다. 피드-포워드 방식 전력 증폭기에서 오차 증폭기는 오차 신호를 왜곡 없이 증폭할 수 있어야 하므로 선형성이 매우 우수해야 하며, 오차 증폭기의 출력은 최종 출력에 바로 더해지므로 잡음특성도 고려를 해야 한다. 그러므로 오차 증폭기의 첫 단은 잡음을 고려하여 Motorola사의 MRF21060 및 MRF21125를 사용하여 A급으로 설계하였으며 40 watt급 선형 전력 증폭기의 출력에 3차 IMD 성분을 고려하여 -35dBc로 설계하였다.

또한 신호제거 루프와 오차제거 루프에서 빼기 회로인 결합기를 통과한 신호를 로그 검출기를 사용하여 신호를 검출한 뒤 원하지 않는 신호를 최소화하는 알고리즘으로 Atmel사의 ATMEGA163 마이크로 프로세서의 DSP 블록을 이용하여 구성하였다.

디지털 적응 방식을 사용하는 경우 일반적으로 회로가 복잡하고 가격이 상승하는 단점이 있으나 W-CDMA 방식의 경우 선형성이 우수한 전력 증폭기와 적응 알고리즘을 사용하면 여러 채널의 신호를 동시에 증폭할 수 있으며 하나의 증폭기로 요구하는 규격을 만족할 수 있는 장점이 있다. DSP 블록에서는 검출된 신

호를 분석하여 제거 루프의 감쇄기와 위상 변환기를 제어하여 최대 상쇄가 일어나도록 크기와 위상을 조절하는 최적화 알고리즘을 프로그래밍하였다.

앞으로 여러 채널의 신호를 인가했을 경우 최적화 알고리즘과 그에 대한 선형성 개선의 연구가 진행되어야 할 부분이며 출력 전력이 큰 경우와 온도 보상에 대한 연구가 더 진행되어야 할 것으로 사료된다.

참 고 문 헌

- [1] Y. Hu, J. C. Mollier, and J. Obregon, “ A New Method of Third-order Intermodulation Reduction in Nonlinear-Microwave Systems,” IEEE Trans. Microwave Theory and Tech., Vol. MTT-34, no. 2. pp. 245~250, 1986.
- [2] 김선근, “ W-CDMA용 전력증폭기의 선형성 개선에 관한 연구,” 공학박사 학위논문, 한국해양대학교, 2004.8
- [3] Y. Km, Y. Yang, S. Kang and B. Kim, “ Linearization of 1.85 GHz Amplifier Using Feedback Predistortion Loop,” IEEE MTT-S Digest, pp. 1675~1677, 1983.
- [4] D. Myer, “ Ultra Linear/Feedforward Amplifier Design,” IEEE MTT-S Digest, pp. 1125~1127, 1998.
- [5] N. Potheary, “ Feedforward Linear Power Amplifier,” Artech House, pp. 108-122, 1999.
- [6] R. S. Turker, “ Third-order Intermodulation Distortion and Gain Compression in GaAs FETs,” IEEE Trans. Microwave Theory and Tech., Vol. MTT-27, no. 5, pp. 400~407, 1979.
- [7] ITU-R Rec. 818, FPLMTS Network architectures, 1995.
- [8] S.C. Cripps, “ RF Power Amplifier for Wireless Communications,” Artech House, pp.280-288, 1989.
- [9] John L. B. Walker, “ High Power GaAs FET Amplifier,” Artech House, pp. 128~134, 1993.
- [10] Guillermo Gonzales, “ Microwave Transistor Amplifier Analysis and Design,” Prentice-Hall, pp. 320-332, 1997.

- [11] K. J. Parsons, P. B. Kenington, “ The Efficiency of a Feedforward Amplifier with Delay Loss,” IEEE Trans Vol. 43, pp. 407~412, 1994.
- [12] Inder Bahl, Prankash B Hartia, “ Microwave solid state circuit design” , Wiley, pp. 667~670, 1998.
- [13] “ Mini-Circuits, RF/IF Designer’ s Guide” , 2001.
- [14] K. Chang, C. Sun, “ Millimeter-Wave Power-combining Techniques,” IEEE Trans., Vol. MTT-31, pp. 91~107, 1983.
- [15] T. Edward, “ foundations for Microstrip Circuit Design,” John Wiley & Sons, pp. 267~276, 1992.
- [16] K. Kurokawa, “ Design Theory of Balanced Transistor Amplifier,” Bell System J. pp. 1675~1698, Oct., 1965.
- [17] A. A. M. Saleh, D. C. Cox, “ Improving the power-added efficiency of FET amplifiers operating with varying-envelope signals,” IEEE Trans. Microwave Theory., Vol.31 No.1, pp. 51~56, Jan., 1983.
- [18] G. Gonzalez, “Microwave Transistor Amplifiers Analysis and Design,” Prentice-Hall, pp. 420-429, 1997.
- [19] G. Wevers, “A High IIP3 Low Noise Amplifier for 1900MHz Applications Using the SiGe BFP620 Transistor,” Applied Microwave & Wireless, Application Note. 1999.
- [20] S. C. Cripps, “RF Power Amplifiers for Wireless Communications,” Artech House, pp. 422-432, 1999.
- [21] “ A Varactor Controlled Phase Shifter for PCS Base Station Applications,” Alpha Industries Inc., Application Note, APN1009. 2000.
- [22] “Application of PIN Diode,” HP Application Note 922. 1995.
- [23] “A Wideband General Purpose PIN Diode Attenuator,” Alpha Industries Inc., Application Note, APN1003. 1995.

- [24] A. I. Zverev, "HandBook of Filter Synthesis," John Wiley & Sons, pp. 60-65. 1988.
- [25] G. L. Matthaei, L. Young and E. M. T. John, "Microwave Filters, Impedance Matching Networks and Coupling Structures," Artech House, pp. 497-505, 1980.
- [26] G. L. Matthaei, L. Young and E. M. T. Jones, "Microwave Filters, Impedance-Matching Networks and Coupling Structures," Artech House, pp. 421-440. 1980.
- [27] Solution of TEAM Workshop Problem 19," Ansoft HFSS Engineering Note, AP052-9912. 1998.
- [28] 대한전자공학회, "이동통신," 청문각, pp. 197-217, 2001.
- [29] 진년강, "마이크로파 공학," 청문각, pp. 285-334, 1999.
- [30] M. Nakayama, K. Mori, Y. Itoh, and T. Takagi, "A Consideration on Phase Distortion Characteristics of GaAs FETs Under Large Signal Operation," Proc. of IECE Autumn Conf., C-24, 1994.
- [31] Sang-Gee Kang, "Analysis and Design of Feed Forward Power Amplifier," IEEE MT T-S Digest, pp. 1519-1522, 1997.
- [32] Theodore S. Rappaport, "Wireless Communication Principles and Practice," IEEE Press, pp. 197-294, 1996.
- [33] Mahesh Kumar, James C. Whartenby, Herbert J. Wolkstein, "Predistortion Linearizer Using GaAs Dual Gate MESFET for TWTA and SSPA used Satellite Transponder, " pp.50-62, 1997.
- [34] Gunkichi Satoh, "Impact of New TWT Linearizer Upon QPSK/TDMA Transmission Performance," IEEE Journal of Selected Areas in Comm, vol. Sac-1, No.1 pp. 30-45, 1983.

- [35] G. D Vendelin, A. m. pavio, U. I. Rohde, "Microwave Circuit Design using Linear and Nonlinear Techniques," John Wiley and Sons, Inc., pp. 313-338, 1990.
- [36] Guillermo Gonzalez, Microwave Transistor Amplifiers Analysis and Design, New Jersey:Pretice-Hall Inc., pp. 174-188, 1984.
- [37] Roger Becher, et al, " Mobile Radio Servicing Handbook," Heinemann newness, pp. 26-59, 1989.
- [38] Bruce R. Elbert, " Introduction Satellite communication," Artech House, pp. 133-148, 1987.

부 록

- [1] <그림> 선형화 제어기 회로도(1)
- [2] <그림> 선형화 제어기 회로도(2) - 검출부

감사의 글

먼저 항상 저를 인도하시고 오늘의 저를 있게 하신 하나님께 이 영광을 돌립니다.

부족한 점이 많은 저를 제자로 받아 주시고 열과 성으로 가르침을 주신 김기문 교수님께 감사 드림과 아울러 존경과 사랑을 표합니다.

바쁘신 중에도 심사를 맡아주신 동의대 김동일 교수님과 학교에서의 중책으로 인한 과중한 업무에도 불구하고 저의 논문을 지도하여 주신 양규식 처장님 그리고 이상배 교수님께 감사 드리며 저의 논문을 심사하시는 과정에서 많은 지도와 도움을 주신 임종근 박사님, 그리고 광전자연구실의 전중성 박사님께 특히 고마움을 전합니다.

저의 젊은 시절부터 영향을 크게 주시고 학업을 계속 할 수 있도록 용기와 격려를 북돋아주신 부산방송 원영수 국장님, 평상시 저를 아껴주신 우리 연구실의 선, 후배님 들께 감사드립니다.

저의 신앙을 위하여 항상 기도하여 주시고 인도하여 주신 수안교회 이만규 목사님과 따뜻한 관심을 보여주신 성도님들께 감사드립니다.

저의 학업을 계속하는데 여러 가지로 도와 주신 해양수산연수원
유명운 원장님과 동료 교수님들께 진심으로 감사 드립니다.

오늘이 있기까지 많은 도움과 격려를 아끼지 않으셨던 형님
내외분, 누님, 동생과 어려움 속에서 묵묵히 저를 믿고 따라 준
아내에게 진심으로 고맙고, 두 아들 인욱, 인영 그리고 장모님,
처제들, 동서들께 감사함을 전합니다.

공학박사 학위논문

이동통신용 고전력증폭기의 선형개선을
위한 디지털 제어기의 설계 및 구현

Design and Implementation of Digital Controller
to improve Linear Characteristics for High Power
Amplifier in the Mobile Communication

지도교수 김 기 문

2005 년 2 월

한국해양대학교 대학원

전자통신공학과

송 중 호

목 차

Abbreviations

Abstract

제 1 장 서 론.....	1
1.1 연구 배경	1
1.2 연구 목적	3
제 2 장 증폭기의 선형화.....	6
2.1 선형화 방식	8
2.2 선형화 측정 지수	16
2.3 경로 길이 변화에 따른 신호의 상쇄	22
2.4 피드-포워드 선형화 증폭기 구성	26
제 3 장 주 증폭기의 설계 및 구현.....	30
3.1 전력 증폭기 설계의 기초	30
3.2 주 증폭기용 종단 트랜지스터의 선정	34
3.3 주 증폭기의 구성	46
3.4 오차 증폭기	53
3.5 선형성 개선을 위한 부가 회로	56
제 4 장 선형화 제어기.....	66

4.1 선형화 제어 시스템	66
4.2 위상동기루프 설정	82
제 5 장 선형 전력증폭기의 성능 평가	91
5.1 고전력 증폭기의 개요	91
5.2 고전력 증폭기의 선형성	92
5.3 다중 고전력 증폭기의 구성	95
5.4 시스템 통합	96
5.5 측정 장치의 구성	98
5.6 2-톤 시험 결과	100
제 6 장 결 론.....	103
참 고 문 헌	106
부 록	110

표 차례

<표 2-1> 주파수에 따른 위상의 변화.....	24
<표 3-1> 주 증폭기의 설계 목표.....	35
<표 3-2> MRF21125 트랜지스터의 주요 사양.....	38
<표 3-3> 단위 증폭기의 등가 입출력 임피던스.....	40
<표 3-4> MRF21180 트랜지스터의 주요 사양.....	41
<표 3-5> 단위 증폭기의 등가 입출력 임피던스.....	44
<표 3-6> MRF21060 트랜지스터의 주요 사양.....	47
<표 3-7> AH-11 트랜지스터의 주요 사양.....	49
<표 3-8> AH-1 트랜지스터의 주요 사양.....	47
<표 3-9> 전압 가변 감쇄기의 주요 사양.....	59
<표 4-1> Band_id에 따른 PLL 주파수 설정표.....	81
<표 4-2> Control Bit의 Data location.....	86
<표 4-3> 입력신호 검출 특성표.....	90
<표 5-1> 선형 전력증폭기의 제작을 위한 선형화 방식의 비교.....	94

그림 차례

<그림 2-1> 증폭기의 최대 포화 전력.....	10
<그림 2-2> 전치보상 증폭기에서의 신호변환.....	14
<그림 2-3> 적분회로.....	14
<그림 2-4> 피드-포워드 전력 증폭기의 개념.....	15
<그림 2-5> 신호의 상쇄.....	21
<그림 2-6> 위상과 진폭 오차에 대한 함수로서의 달성되는 상쇄.....	23
<그림 2-7> 상쇄루프에서 두 경로의 시간지연 불일치에 따른 상쇄지수.....	26
<그림 2-8> 선형 증폭기에서 신호루프.....	28
<그림 2-9> 선형 증폭기에서 오차루프.....	29
<그림 3-1> 증폭기의 직렬 연결.....	31
<그림 3-2> 증폭기의 병렬 연결.....	32
<그림 3-3> 증폭기의 입출력 매칭.....	32
<그림 3-4> 잡음, 이득, 전력에 대한 스미스 차트.....	33
<그림 3-5> 전력 증폭기 트레이드 오프 점의 예.....	34
<그림 3-6> 증폭기의 전력과 효율 사이의 트레이드 오프.....	36
<그림 3-7> MRF21125 단위 증폭기 회로도.....	38
<그림 3-8> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	39
<그림 3-9> 출력 전력에 대한 상호 변조 왜곡.....	39
<그림 3-10> MRF21180 단위 증폭기 회로도.....	42
<그림 3-11> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	43
<그림 3-12> 출력 전력에 대한 상호 변조 왜곡.....	44
<그림 3-13> 1 MHz 채널간격의 2-톤 신호에 대한 IMD 특성.....	45
<그림 3-14> 주 증폭기의 구성도.....	46
<그림 3-15> AH-1 단위 증폭기 회로도.....	48

<그림 3-16> AH-11 트랜지스터의 S-변수.....	49
<그림 3-17> AH-11 단위 증폭기 회로도.....	50
<그림 3-18> MRF21060 단위 증폭기 회로도.....	51
<그림 3-19> MRF21060의 S 파라미터.....	52
<그림 3-20> MRF21060의 IMD3.....	52
<그림 3-21> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율.....	53
<그림 3-22> MRF21125의 증폭회로.....	54
<그림 3-23> MRF21125의 S-파라미터.....	54
<그림 3-24> MRF21125의 IMD3.....	55
<그림 3-25> 오차 증폭기의 구성도.....	55
<그림 3-26> Bridge-T형 감쇄기.....	57
<그림 3-27> Bridge-T형 감쇄기 회로도.....	58
<그림 3-28> RVA-2500의 제어 및 매칭.....	60
<그림 3-29> 위상 편이.....	61
<그림 3-30> 기계식 위상편이기.....	61
<그림 3-31> 선로 변환방식 위상편이기.....	62
<그림 3-32> Loaded Line형, 하이브리드 결합형 위상 편이기.....	63
<그림 3-33> 전송 선로 중간에 다양한 소자를 연결한 위상 편이기.....	64
<그림 3-34> 가변위상 편이기의 회로도.....	65
<그림 4-1> 선형 전력증폭기의 기본 구성도.....	67
<그림 4-2> ATMEGA163의 내부 구성도.....	71
<그림 4-3> 선형화 제어기의 기본 구성도.....	72
<그림 4-4> 시스템 구성도.....	74
<그림 4-5> 실제 제작된 선형화 제어기 기판.....	76
<그림 4-6> 선형화 제어기의 제어 알고리즘에 대한 플로우차트.....	79
<그림 4-7> Band-ID 분할 기준.....	80

<그림 4-8> LMX2326 PLL Frequency Synthesizer 구성도.....	82
<그림 4-9> 주파수 합성기의 동작 구성도.....	84
<그림 4-10> LMX2326의 Serial Data Format.....	86
<그림 4-11> LMX2326의 Serial Data Input Timing.....	87
<그림 4-12> R Counter, N Counter, Clock, Function Latch 실측 파형.....	88
<그림 4-13> 주파수별 가변감쇄기의 특성.....	89
<그림 4-14> 가변위상편이기의 특징.....	89
<그림 4-15> 입력신호 검출 특성.....	90
<그림 5-1> 선형 전력증폭기의 실제 구성도.....	98
<그림 5-2> 측정장치의 구성.....	99
<그림 5-3> 주 증폭기의 IMD 특성.....	100
<그림 5-4> 오차증폭기의 검출기 포트에서의 스펙트럼 특성.....	101
<그림 5-5> 선형 전력증폭기의 IMD 특성.....	102

Abbreviations

AGC	Automatic Gain Control; 자동이득조절
CDMA	Code Division Multiple Access; 부호분할 다중접속
C/I	Carrier to Intermodulation ratio; 반송파 대 혼변조 비
FA	Frequency Allocation; 주파수분배
FCC	Federal Communications Commission; 미연방통신위원회
FET	Field Effect Transistor; 전계효과 트랜지스터
FPLMTS	Future Public Land Mobile Telecommunication System; 미래 공 중 육상 이동통신시스템
HPA	High Power Amplifier; 고전력 증폭기
IMD	Inter Modulation Distortion; 상호변조 왜곡
IMT-2000	International Mobile Telecommunication-2000; 국제 이동통신- 2000
ITU	International Telecommunication Union; 국제전기통신연합
LPA	Linear Power Amplifier; 선형 전력 증폭기
LPF	Low Pass Filter; 저역통과필터
MCPA	Multi Carrier Power Amplifier; 다중채널증폭기
MMIC	Monolithic Microwave Integrated Circuit; 마이크로웨이브 모노리 틱 집적회로
PAE	Power Added Efficiency; 전력 부가 효율
QAM	Quadrature Amplitude Modulation; 직교진폭변조
QPSK	Quadrature Phase-Shift Keying; 직교위상편이전건

RF	Radio Frequency; 무선 주파수
TWTA	Travelling Wave Tube Amplifier; 진행파관 증폭기
UMTS	Universal Mobile Telecommunication System; 범용 이동통신 시스템
VNA	Vector Network Analyzer; 벡터 회로망 분석기
W-CDMA	Wide Band Code Division Multiple Access; 광대역 부호분할 다중 접속

Abstract

Radio frequency and microwave circuits have nonlinear electric characteristics owing to being used the active device usually.

The electric characteristics of the power amplifier can be distorted in the gain and phase easily. Also, an intermodulation distortion is formed due to the nonlinear characteristics of power amplifier near the saturation region when more than two different carriers are input to circuit, which are used in digital mobile communication and satellite communication of the multichannel.

Linear power amplifier needs to satisfy the standards of intermodulation distortion in spite of specific output power, the changes of output power level, operating voltage, external temperature and so on.

To be solved these problems, the Back-off, Feedback, Predistortion and Feedforward methods have been developed to linearize the nonlinear characteristics until now.

The controller for linearization of power amplifier is the core of the main amplifier using Feedforward method and this let power amplifier maintain to operate within the proposed time, fit to the specification of the circuit, have the stability and reliability in the worst circumstances.

In the thesis, we designed and fabricated together with the error amplifier and phase converter.

The phase converter has a very flat phase with in the 200 degree at

frequency range used. And matching circuit is added to minimize the change of attenuation, it has a good characteristics of below 0.09 dB when the phase is changed.

And also the error amplifier which is applied linearization technology used the feedforward method in order to realized the linear power amplifier for 40 watt degree in the W-CDMA base station. And then, we confirm that it is possible to realize excellent linear power amplifier from the measurement of IMD characteristics which is shown good results.

So if they could be applied for the main power amplifier it could be helpful to fabricate the linear power amplifier for the W-CDMA station. Also, in the other fields of telecommunication such as digital mobile communication and satellite communication.

제 1 장 서 론

1.1 연구 배경

고도 정보화 사회를 맞이하면서 이동통신은 그 역할과 서비스가 점증될 것으로 전망되나 다양하게 개발된 현재의 이동통신 서비스는 각각 구현하는 기술방식이 다르기 때문에 동일한 기술방식이라 하더라도 국가나 지역마다 사용하는 주파수 대역이 서로 달라 무선통신의 장점인 이동성을 완벽하게 실현하는 데에 한계를 지니고 있다. 또한 전파를 사용해야 하는 기술적인 제약 때문에 멀티미디어 서비스와 같은 통신은 증대된 이용자의 욕구를 만족시키기에는 어려움이 있다.

이동통신의 발전상을 살펴보면, 셀룰러(Cellular) 이동통신은 1세대인 아날로그 방식인 주파수분할 다중접속방식(FDMA; Frequency Division Multiple Access)을 거쳐 2세대 이동통신인 디지털 방식으로 발전해 왔다. 2세대 이동통신을 무선접속 방식 별로 보면 유럽에서는 시분할 다중접속방식(TDMA; Time Division Multiple Access), 미국에서는 TDMA/CDMA 방식, 한국 및 아시아권에서는 부호분할 다중접속방식(CDMA; Code Division Multiple Access) 방식으로 상용화 되어 있다.

또한 개인휴대통신(PCS; Personal Communication Service) 시스템도 현재 전세계적으로 상용화 되었으며, 우리 나라에서도 PCS 사업자가 선정되어 1997년부터 이미 서비스 제공을 하고 있다. 그러나 PCS는 기존의 디지털 셀룰러 이동통신과 기술적인 유사성으로 인하여 서비스 면에서 차별성을 보이지 못하고 있다. PCS가 해결해야 될 큰 문제점은 단말 및 개인 이동성의 문제, 즉 서비스

권 전환(Roaming)의 문제이다. 지역 또는 국가간의 서로 다른 무선접속 규격으로 인해 한 지역에서 사용하고 있는 이동 단말기는 다른 지역에는 사용할 수가 없다. 또한 데이터 전송률이 8~13Kbps 정도에 불과해서 영상 등의 고속 데이터의 전송이 불가능하다. 이런 단점을 극복하고자 IMT-2000이라 불리는 통신 서비스의 필요성이 대두되었다

IMT-2000은 International Mobile Telecommunication 2000의 약어이며 이 용어가 통용되기 시작한 것은 지난 1996년부터이다. 이전에는 미래 공중 육상 이동통신 (FPLMTS; Future Public Land Mobile Telecommunication System)이란 용어가 사용되어 왔다. FPLMTS는 지난 1978년 국제전기통신연합(ITU; International Telecommunication Union)이 향후 이동통신의 단일 표준화를 연구과제로 결정하고 프로젝트 코드로 정했던 용어이다. 그러나 FPLMTS는 발음하기가 어렵고 뜻도 이해하기가 쉽지 않아 새로운 용어의 필요성이 제기되었다. 이를 고민하던 ITU는 FPLMTS가 사용하려는 주파수 대역(2000MHz대)과 도입 시기(2000년경)를 고려하여 IMT-2000이라는 이름을 고안하고 FPLMTS와 병행해 사용토록 권고하였다. 그러나 이제는 이해하기 쉬운 IMT-2000이 표준 용어로 정착된 상황이며 서비스 방식에 따라 북미방식인 동기식(CDMA-2000)과 유럽방식인 비동기식(W-CDMA)으로 나뉜다.

이 시스템은 언제 어디서나, 누구와도 음성은 물론 동영상 데이터까지 실시간으로 주고 받을 수 있는 이동통신 서비스를 말하며 현재의 이동통신 서비스인 셀룰러폰, PCS, 유럽표준인 전 지구적 이동통신시스템(GSM; Global System for Mobile Communication) 등은 각각 서비스를 실현하는 기술방식이 다르고 국가나 지역마다 사용하는 주파수 대역이 달라 이동성을 완벽하게 실현하는데 근본

적인 한계를 가지고 있지만 IMT-2000은 주파수 대역과 단말기를 포함한 네트워크 장비에 대한 표준화를 피하고 통신위성을 이용해 세계 어디서나 같은 단말기로 서비스를 받을 수 있다.

이 방식에 적용되는 여러 가지 무선 주파수(RF; Radio Frequency) 시스템은 디지털 변조와 멀티톤(multi-tone)에 의한 AM-AM(진폭 왜곡), AM-PM(위상 왜곡)에 대한 고려가 필수적이며, 이들에 의해 비선형 소자에서 발생하는 많은 기생주파수 성분, 상호변조왜곡(IMD; Intermodulation Distortion)은 인접 채널에 대한 간섭현상을 유발하여 시스템의 성능을 떨어뜨리는 결정적인 역할을 한다[1].

특히, 송신시스템의 최종 단에 사용되는 전력증폭기는 충분한 송신전력으로 단말기에 최적의 신호를 전달해야 함은 물론이고, 타 채널이나 다른 서비스 업자에 영향을 미치지 않아야 하므로 관련 규정을 충족할 수 있는 방법이 강구되어야 한다. 특히 기지국에서와 같이 열악한 환경에서도 환경의 변화에 관계없이 안정된 기능이 유지되기 위해서는 고전력 증폭기의 상태를 감시하여 자동으로 동작을 안정시키고 스퓨리어스나 IMD를 제한하기 위한 제어기가 필요하기 때문에 여러 감시기능과 정확한 제어를 위하여 마이크로프로세서 제어장치의 개발이 요구된다[2].

1.2 연구 목적

일반적으로 셀룰러(Cellular) 통신시스템에서 필요로 하는 IMD 특성은 최대 출력에서 60dBc 이상인데, 현재 생산되고 있는 대부분의 전력 증폭기는 높은 전력효율을 얻기 위하여 동작점을 AB급으로 작동시키기 때문에, 여기에서 얻을 수 있는 IMD 특성은 30dBc 정도가 보통이다. IMD 특성을 개선하기 위해서 바이

어스를 A급으로 사용하면 특성을 개선시킬 수는 있겠지만 그렇다고 해서 이 방법이 만족할 만한 특성을 얻기에는 아직 부족함이 많고, 또한 전력효율이 낮아 적절한 방열을 하기 위해서는 실제 전력 증폭기보다 훨씬 큰 방열판을 사용해야 하는 단점을 가지고 있다. 그럼에도 불구하고, 기지국 등의 중계시스템에 적용하기 위한 선형 전력증폭기는 대부분 회로의 복잡성과 가격적인 부담 때문에 A급 바이어스에 의한 고출력 증폭기(HPA; High Power Amplifier)를 사용하고 있으나 낮은 효율에 대한 문제점이 미해결상태에 있다[3],[4].

워키토키(Walkie Talkie)같이 단일채널을 사용하는 경우에는 주파수 사용대역이 협대역으로 수십㎐ 정도의 채널 대역폭을 갖는다. 이러한 시스템에서 증폭특성의 적절한 선형을 얻기 위하여 백-오프(Back-off)방식이나 궤환(Feedback)방식이 많이 사용되고 있으나 대역폭이 제한되기 때문에 수 십㎐ 이상의 대역폭은 쉽게 선형화 할 수 없다. CDMA와 같이 좀더 넓은 대역의 단일채널이나 위성 시스템과 셀룰러 기지국에서와 같이 다중 반송파를 사용하는 경우에는 전방궤환 선형화기나 전치왜곡기와 같은 광대역 선형화 방법이 필요하다[5]-[8].

전치왜곡(Pre-distortion) 방식은 위성시스템에서와 같이, 적당한 선형성 만을 필요로 하는 광대역 응용에 성공적으로 사용되어 왔으며, 근본적으로 전력효율을 떨어뜨리지 않는 장점도 있으나 전력 효율의 향상을 위하여 C급 증폭기를 사용하는 경우, 이들이 아주 많은 왜곡 성분을 포함하고 있고 왜곡 레벨이 포화된 선형 증폭기보다 훨씬 더 크기 때문에 전치왜곡 방식을 사용하여 선형화 하는 것은 매우 어려운 일이다[9].

따라서, 본 논문에서는 에러 증폭기와 위상보상용 지연선로를 이용하여 고전력 증폭기의 선형성을 향상시키는데 적합한 전방궤환 방식을 사용하며, 고전력

증폭기의 특성에 의하여 발생하는 진폭왜곡과 위상왜곡을 제어하기 위한 가변감쇄기 및 가변위상기변환기를 마이크로 프로세서로서 디지털 방식으로 제어케 함으로써 환경의 변화에 정확하고 신속하게 적응하는 시스템을 설계하고 구현하고자 한다. 주 증폭기에 의해 만들어지는 이득과 위상 왜곡을 억제함으로써 넓은 대역에 걸쳐 낮은 IMD 특성을 얻을 수 있도록 하였으며 기존의 HPA에 비해 우수한 IMD 특성뿐만 아니라 높은 효율을 얻을 수 있을 것으로 기대된다.

본 논문은 제1장에서 연구의 배경 및 목적에 대하여 기술하였고, 제2장에서는 지금까지 알려진 고효율 증폭기의 선형성을 높이기 위한 선형화 방법에 대하여 고찰하였다. 제3장에서는 전방궤환방식을 이용한 주 증폭기를 설계하기 위하여 증폭기 설계의 기초 및 종단 트랜지스터 선정에 관한 각종의 전용 소자에 대한 특성을 고찰하였고 선형성의 개선을 위한 회로인 가변감쇄기 및 가변위상 변환기의 이론 및 실제 설계에 대하여 고찰하였다.

그리고 제4장에서는 이 논문의 핵심으로서 피드-포워드(feedforward) 방식을 사용하는 선형화 제어회로에서 제반 조건에 잘 응답하고 엄격한 규격에 따르도록 하는데 필요한 마이크로 프로세서를 선정하였고, 전력 검출기에서 제공되는 파일럿 신호의 크기에 따라서 선형화 루프 내의 각 경로의 이득 및 위상을 조절함으로써 선형화 루프를 최적의 상태로 유지하도록 마이크로 프로세서에서 제어하며 주 증폭기, 오차 증폭기 등의 각 회로의 상태를 감시하고 이를 분석하여 이에 대한 제어신호를 출력하는 알고리즘을 작성하고 논리회로를 설계하였다. 제5장에서는 이에 대한 성능을 평가하였고, 끝으로 제6장에서는 본 논문의 결론을 도출하였다.

제 2 장 증폭기의 선형화

현대의 이동 통신시스템에서는 고출력 전력 증폭기(HPA)를 주로 사용하는데, 이는 여러 단으로 트랜지스터를 배열해 이득과 출력을 구현하며 소자의 특성상 출력에 한계가 있으므로 최종 단에는 푸쉬풀(Push-Pull) 타입의 트랜지스터나 여러 개의 트랜지스터를 결합해서 사용하는 평형 증폭기 형태를 사용하기도 한다.

HPA는 전력 증폭기 중에서도 특히 높은 출력을 지칭하기 위한 용어이다. 그러나 실제로 전력 증폭기가 어느 전력점부터 HPA라고 불리우는 지에 대한 규격이나 정의는 없다.

또한 HPA는 이동통신 기지국 장비에서 수용력을 강화하고 손실과 소비전력, 시스템 비용을 줄이기 위해 점차 단일 반송파 전력 증폭기 대신 다중 반송파 전력 증폭기로 사용되어 가고 있다. 다중 반송파 전력 증폭기 설계자들은 2.5세대와 3세대 표준, 특히 GSM ETSI, CDMA-2000, W-CDMA에 적합하도록 다중 반송파 전력 증폭기내에 적응 가능한 선형화를 구현할 필요성이 대두되었다 [10],[11].

여기서 선형성이란 회로에서 얼마나 신호가 왜곡되지 않고, 원래의 입력신호 모양 그대로 출력이 되는 가를 나타내며 수식적으로는 다음과 같이 표현된다.

$$y = ax + bx^2 + cx^3 \quad (2-1)$$

식(2-1)에서 계수 b , c 등이 작을수록 출력신호는 입력신호에 대하여 a 배로

증폭된, 입력신호와 모양이 비슷한 출력신호가 나오게 되는, 즉 선형성이 큰 회로가 된다.

이러한 비선형성이 나타나는 이유는 회로에 다이오드나 트랜지스터 특성의 비선형성에 기인하는 것이다[12].

선형성이 문제가 되는 회로는 보통 대 전력 신호를 취급하는 전력 증폭기인데 전력 증폭기에서는 이러한 선형성을 측정하기 위한 여러가지 시험방식이 있다.

선형성을 측정하는 방법은

첫째, 두 개의 정현파를 입력하여 다른 주파수 성분이 얼마나 생기는가를 측정하는 2-톤 시험방법.

둘째, 입력신호의 크기 변화에 대한 출력파형의 이득변화와 위상변화를 측정하는 방법으로 AM-AM / AM-PM 측정 방법.

셋째, 입력신호에 직접 사용하는 변조신호를 넣고 출력파형의 변화를 보는 스푸리어스 측정 방법이 있다.

본 논문에서는 전력 증폭기의 비선형성을 나타내는 주 왜곡 성분인 3차 상호 변조 신호 성분을 제거하기 위하여 첫 번째의 2-톤(Two-Tone) 시험 방식을 적용하였다.

여기서 상호변조란 두 개 이상의 주파수가 비선형 시스템 혹은 회로를 통과할 때, 출력단에 입력에 없던 신호가 상호 교차 변조되어 발생하는 것을 의미하고, 상호변조왜곡은 그러한 상호변조성분에 의한 왜곡 그 자체를 의미한다.

이러한 상호변조 왜곡이 중요한 이유는, CDMA와 같은 디지털 시스템은 아날로그 시스템과 달리 한 신호가 하나의 주파수, 즉 한 채널을 사용하는게 아니라

넓은 채널 대역폭을 여러 신호가 공유하기 때문이다.

즉, 한 밴드를 처리하는 시스템에 여러 주파수의 신호가 동시 다발적으로 입력되기 때문에, 서로 무작위로 섞여서 출력단에 여러 주파수의 혼성신호가 많이 발생하다 보면 신호처리가 제대로 이루어지지 않을 수도 있기 때문이다.

두개의 주파수 f_1 과 f_2 의 예를 든다면, 출력에는 여러가지 변형성분이 섞인 신호가 나오지만, $(2 \times f_1)$ 과 $(3 \times f_2)$ 같은 완전 배수성 고조파들은 필터로 거를 수가 있다. 하지만 문제가 되는 것은 3차항, 즉 $(2f_1 - f_2)$ 와 $(2f_2 - f_1)$ 인데, 이것은 f_1 과 f_2 신호에 아주 가까이 붙어 있기 때문에 심각한 문제가 된다.

상호변조 왜곡이 주로 지칭하는 것은 주로 이러한 3차항 상호변조 성분 때문이며, 그래서 보통 상호변조왜곡이라 부르는 신호들은 3차항의 상호변조 왜곡을 의미하는 경우가 많다. 특히 이 3차항의 상호변조 왜곡은 수식적으로 풀어보면 입력신호가 증가함에 따라 3제곱으로 늘어나기 때문에, 처음에는 상호변조 왜곡이 작지만 입력신호가 증가하다보면 원 신호보다 훨씬 빠른 기율기로 증가하면서 원 신호의 전력과 같아지는 경우까지 발생한다. 이 지점을 바로 IP3(3차 Intercept Point)라고 한다.

즉, 상호변조 왜곡이란 상호변조로 인하여 신호의 왜곡이 일어나는 정도를 의미하고 실제 제품의 사양이나 측정 기준치로는 IP3를 사용하게 된다.

2.1 선형화 방식

HPA는 최대 출력을 얻기 위해 소자를 비선형 영역에서 동작시켜야 하고 이에 따라 출력 전력 증폭기의 단점을 보완하는 방법이 선형화기를 사용한 선형 전력 증폭기의 사용이다.

전력증폭기에서 생기는 비선형 성분은 주로 3차 항에서 생기는 3차 상호변조 왜곡 성분, 인접채널 전력 등이 선형화의 대상이 된다.

선형화에는 여러 가지 방식이 있지만 가장 널리 사용되는 방식에는 백-오프(Back-off) 방식, 궤환(Feedback) 방식, 전치왜곡(Pre-distortion) 방식과 피드-포워드(Feedforward) 방식 등이 있다[13].

2.1.1 백-오프 방식

전력증폭기의 가장 중요한 특성 중 하나가 상호변조 왜곡인데 HPA는 최대 출력을 얻기 위해 소자를 비선형 영역에서 동작시켜야 하지만, 이에 따른 왜곡 때문에 입력 전력을 낮추어 선형 영역에서 동작시키는 백-오프 방식을 이용한다.

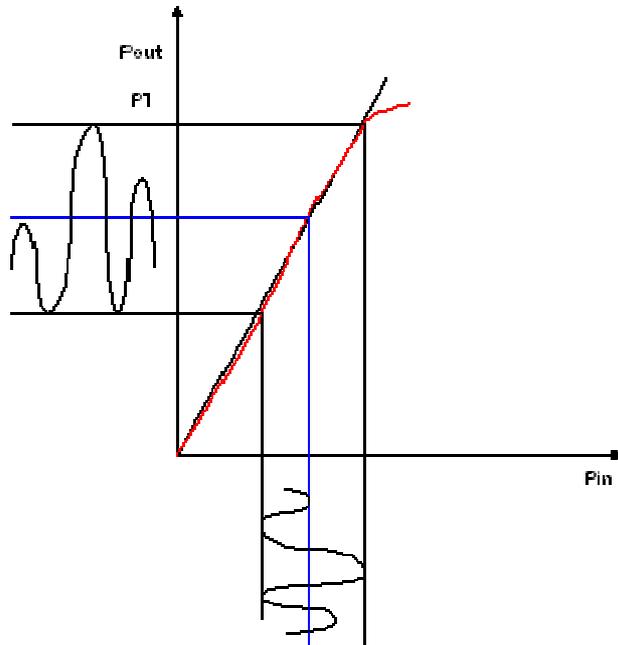
이 방식은 소정의 출력을 얻기 위하여 많은 수의 트랜지스터를 필요로 하고, 그에 따른 부피 증가와 전력효율의 감소, 방열 문제 그리고 더 큰 전원을 공급해야 하는 단점이 있다.

백-오프 방식은 실제 이용 가능한 최대 전력 점까지 사용하지 않고, 3 ~ 5dB 낮은 점에서 증폭기가 동작하게 하여 선형성을 확보하는 방법을 일컫는다.

<그림 2-1>과 같이 전력 증폭기에서 최대 포화전력을 정확히 추정하기 애매하고 최대 선형 출력 점은 이미 이득이 억압되기 시작한 후의 점이기에 때문에 실제로 선형적인 동작을 하는 전력 점으로 간주할 수 없으므로 일반적인 전력 증폭기가 실제 선형적으로 동작하는 점은 최대 선형 전력 점에서 3 ~ 5dB 정도 낮은 지점이라 할 수 있다.

출력 전력의 포화가 나타나는 구동 전력을 입력 포화전력이라 하고 입력 포화전력과 원하는 구동전력의 비를 증폭기 입력 백-오프라 한다. 입력 구동 전력을

낮추는 것, 즉 입력 백-오프를 높이는 것은 낮은 출력전력을 생성하지만 소자의 선형성은 향상시킨다.



<그림 2-1> 증폭기의 최대 포화 전력

<Fig. 2-1> Maximum saturation power of amplifier

증폭기의 출력 포화전력은 증폭기에서 활용할 수 있는 전체 최대전력이고 출력 백-오프는 최대출력전력 대 실제출력전력의 비이다. 따라서 출력 백-오프는 명확하게 구동 전력이 동작하는 입력 백-오프에 의해 결정된다.

따라서 입력 백-오프의 증가는 출력전력을 낮추고 출력 백-오프를 증가시킬 것이다.

2.1.2 케환 방식

케환 방식은 출력방향으로 나가야 할 신호의 일부가 입력 단으로 되돌아 오는 현상을 지칭한다. 특성상 주로 증폭기에서 많이 사용된다. 회로설계에서 굉장히 많이 사용되는 용어인데, 이것은 관점에 따라 불필요한 제거대상 성분일 수도 있고, 특정 목적에 따라 고의적으로 유발시킬 수도 있다.

즉, 매칭 오류 등에 의한 불필요한 케환은 회로의 특성을 불안정하게 만들고 발진을 일으킬 수 있으나, 사용자의 특별한 목적에 의해 고의적으로 일정량을 케환시킴으로써 안정도를 높이는 경우도 있다. 그 외에도 회로설계의 관점에서 출력 단 신호를 일부 입력 단으로 돌려보내는 루프, 설계방법 및 현상에 이 케환이라는 용어가 사용된다.

케환되어 돌아온 신호가 왜곡을 포함한 증폭의 관점에서 이득을 증가시키면 정케환, 이득을 감소시키면 부케환이라고 불린다.

정케환 방식은 증폭기류의 설계에서 이득을 증가시키기 위해 출력의 일부를 입력으로 되돌려 보내는 케환방식 또는 현상을 말한다. 정케환 방식을 적용하면 이득이 증가하고 그에 따른 왜곡 또한 증가하며 왜곡 증가에 따른 선형성 악화와 안정도가 떨어진다는 많은 단점이 있다.

그런데 실제로 이득을 증가시키기 위해 정케환 방식을 적용하는 경우는 극히 드물다. 실제로 증폭기를 설계할 때는 정케환 방식이 아닌 정반대의 특성을 가진 부케환 방식을 사용하면 다음과 같은 특성을 구할 수 있다.

- 1) 안정도 향상
- 2) 왜곡 감소에 따른 선형성 상승
- 3) 외부 잡음에 대한 영향이 적어짐

- 4) 이득 감도를 줄여서 온도변화 등에 조금 덜 민감하게 됨
- 5) 입출력 임피던스에 영향을 주어 조절이 가능
- 6) 증폭기의 대역폭을 증가시킴
- 7) 내부의 잡음지수는 대체로 올라감
- 8) 이득이 떨어짐

부궤환 방식은 많은 장점을 갖고 있어서 RF 증폭기 설계는 물론 모든 증폭기 설계에서 널리 사용된다.

특히 안정도 확보가 매우 중요한 RF 증폭기에서 이러한 부궤환 방식은 안정도를 향상시키기 위해 많이 사용된다.

그러나 앞서 언급한 부궤환 방식의 특성에서 알 수 있듯이 이득이 떨어지는 단점으로 인해 이득에서 충분한 여유가 있을 때, 부궤환 방식을 이용하여 이득을 다소 손해 보더라도 안정도 확보는 물론 증폭기의 동작 주파수 범위를 넓혀주는 광대역화를 이끌어 낼 수 있다. 또한 조절하기에 따라서 이득 평탄도를 향상시킬 수도 있고, 주변 환경변화에 대해 이득의 변화를 둔감하게도 만들어주기 때문에 일석 삼조의 효과가 있다.

2.1.3 전치보상 방식

전치보상 방식은 피드-포워드 방식에 비해 왜곡 제거 루프에 사용되는 증폭기가 없으므로 구조가 간단하여 소형으로 제작될 수 있고, 부가적인 DC 전력 소모가 적어 효율도 좋다. 그래서 비용 면에서 피드-포워드 방식보다 저렴한 장점을 가지고 있고 개방 루프 구조이므로 궤환 방식보다 대역폭의 제한을 덜 받는

다. 그러나 다른 방식과 달리 왜곡 제거를 위한 신호가 자체에서 나온 신호를 처리하여 만들어지는 방식이 아니므로 전치 왜곡기와 주 증폭기간의 비선형 특성이 얼마나 비슷한가에 따라 선형화 성능이 결정되는 단점이 있다.

전치보상 방식에서 전치보상기와 증폭기에서의 신호 변환 과정을 살펴 보면 <그림 2-2>과 같다.

전치보상 회로의 특징은 위상 변조 송신기를 이용하여 주파수 변조파를 얻는 간접 주파수변조방식에 사용되는 회로로 주파수 변조의 변조지수

$$M = \frac{\Delta f}{f_p} \quad (2-2)$$

가 위상변조의 최대위상편이

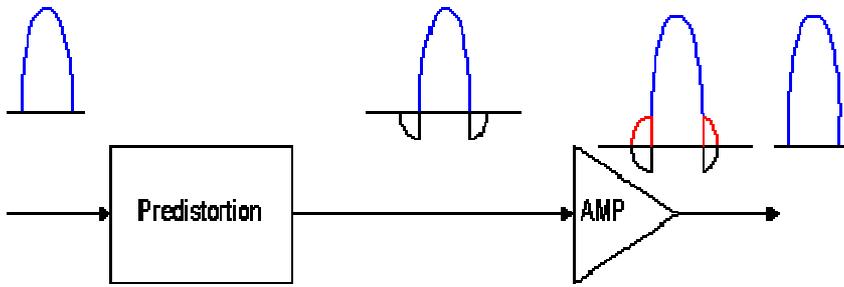
$$\Delta\theta (= \Delta\omega_c / \omega_p) \quad (2-3)$$

와 같게 하기 위해서 신호파 f_p 에 반비례하여 $\Delta\theta$ 를 감소시켜야 되고 주파수 스펙트럼 분포를 얻기 위해 신호파 위상이 90° 도 차이가 있어야 한다. 즉, 입력과 출력의 위상차가 90° 가 되어야 한다는 뜻이다.

이러한 기능을 수행하는 적분회로를 전치보상회로이라고 한다.

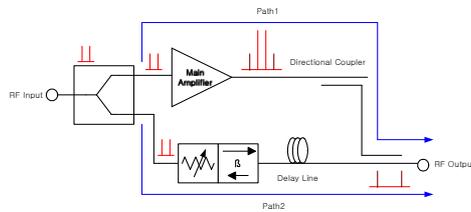
<그림 2-3>에서 전치보상의 입출력 전압비를 살펴보면

$$\frac{V_o}{V_i} = \frac{\{1/j\omega_p C\}}{\{R+1/(\omega_p C)\}} \quad (2-4)$$



<그림 2-2> 전치보상 증폭기에서의 신호변환

<Fig 2-2> Signal alteration on predistortion amplifier



<그림 2-3> 적분회로

<Fig. 2-3> Integral circuit

와 같이 나타낼 수 있다 여기서, $R \gg 1/\omega_p C$ 의 주파수 범위에서는

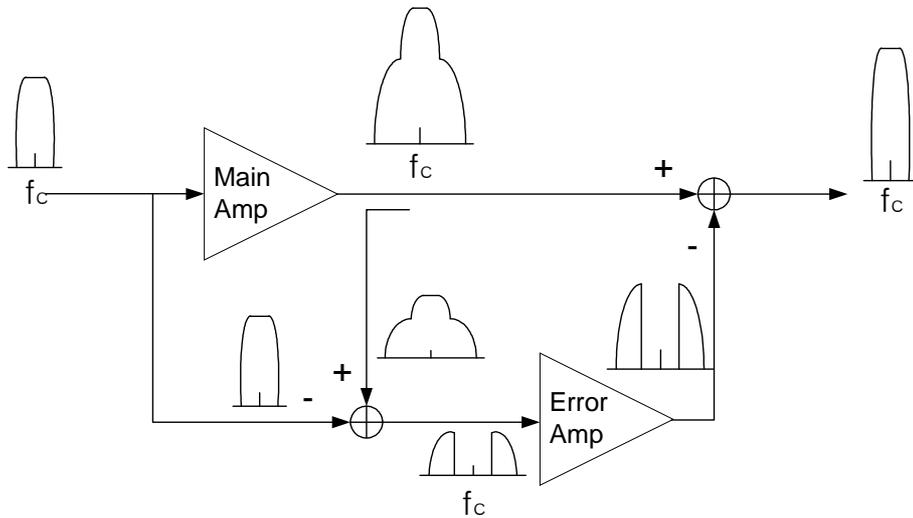
$$\frac{V_o}{V_i} = 1/j\omega_p C = *j\omega_p C \quad (2-5)$$

와 같다. 이 식에서 알 수 있듯이 신호파의 주파수에 반비례한 전압비를 가리 킴과 동시에 위상 $\pi/2$ [rad]만큼 지연시키는 작용을 한다. 또 이 회로는 차단 주파수 $f_c = 1/2\pi RC$ [Hz]의 저역 필터이기도 하므로 신호파 주파수가 f_c 이하가 된 경우는 감쇠하지 않는다.

2.1.4 피드-포워드 방식

선형화에는 여러 가지 방식이 있지만 가장 널리 사용되는 방식에는 피드-포워드 방식이 있다.

feedforward 방식은 선형화 시킬 전력 증폭기의 입·출력 특성을 미리 조사하여 입력 단에 증폭기에서 발생할 상호변조신호에 대해 위상이 반대가 되고 진폭이 같은 신호를 인가하여 상호변조왜곡 특성을 개선시키는 방식으로 넓은 대역폭과 간단한 회로구성으로 구현이 가능하다는 장점이 있다. 즉, 이 방식은 최종 출력 단에서 증폭기에서 발생한 왜곡 성분을 제거해줌으로써 선형화 시키는 방법으로 여러 선형화기 중 가장 뛰어난 선형화 특성을 갖는다.



<그림 2-4> 피드-포워드 전력 증폭기의 개념

<Fig 2-4> The concept of a Feed-forward power amplifier

피드-포워드 전력 증폭기의 RF 부분은 다음 <그림 2-4>과 같이 두 개의 상

쇄 루프를 가진다.

첫 번째 루프는 신호상쇄 루프가 되고 두 번째 루프는 오차 상쇄루프에 해당된다. 신호 상쇄 루프에서는 주 전력 증폭기의 결합된 출력 신호로부터 입력 신호 성분을 추출함으로써 순수한 오차 신호만을 제공한다.

이 오차 신호는 오차 증폭기에 의해 증폭되고 오차 상쇄루프에서 직접 빼줌으로써 증폭기 출력의 왜곡 성분을 상쇄시킨다.

이러한 피드-포워드 전력 증폭기는 주로 위성 지구국의 고출력 증폭기의 성능 개선용으로 사용되고 왔으며 동일한 진폭 위상 특성을 갖는 두 개의 증폭기가 요구되고 부수적인 전력 공급기 및 지연회로가 요구되어 타 방식에 비하여 효율이 5~7% 정도로 낮다.

따라서 90% 이상의 전력이 열로써 방출됨에 따라 방열판 설계에 따른 매우 큰 용적, 중량이 요구될 뿐 아니라 시간, 온도변화 등에 성능이 열화 될 가능성이 크다.

이러한 단점에도 불구하고 다중 반송파용 증폭기에서는 현저하게 개선되는 상호변조왜곡 특성으로 인하여 가장 많이 사용되고 있다.

2.2 선형화 측정 지수

2.2.1 인접채널 전력비

CDMA와 같은 디지털 통신 시스템의 전력 증폭기에서 선형성을 나타내는 지표 중 하나로 한 채널의 주파수 대역에서 인접채널까지의 특정 오프셋(Offset) 주파수에서의 전력 차를 나타내며, 단위로는 dBc를 사용한다.

CDMA의 채널간격은 1.23MHz, 1.25MHz이므로, 일반적으로 수식으로 따지자면 인접채널 전력비(ACPR; Adjacent Channel Power Ratio)는 다음과 같다[13].

$$ACPR = \frac{1.23MHz(1.25MHz)\text{채널 주파수 전력}}{\text{특정 Offset 주파수에서의 } 30kHz \text{ 대역폭 전력}} \quad (2-6)$$

여기서 offset은 +1.25MHz 뿐만 아니라 +885MHz + 2.25MHz 등, 시스템에 따라 여러가지 규격이 있다. 인접채널 전력비는 과거 앰프스 이동전화(AMPS; advanced Mobile Phone Service)의 인접채널전력의 개념에서 대역폭의 개념만 다른 것이다. 인접채널전력은 각 채널 폭이 30kHz이지만, CDMA는 1.23MHz(1.25MHz)이기 때문에 30kHz×30kHz의 전력비를 보는 인접채널전력과 달리 인접채널전력비는 1.23MHz(1.25MHz)×30kHz의 전력비를 보게 된다. 여기서 1,230kHz / 30kHz = 41 정도의 비율이고, 이것을 dB로 환산하면

$$10 \log 41 = 16dB \quad (2-7)$$

가 된다. 그래서 앰프스 이동전화방식(AMPS; Advanced Mobile Phone Service)의 인접채널 전력보다는 채널 대역폭이 41배이기 때문에 채널대역폭을 30kHz로 계산한 인접채널 전력 값에 16dB을 더하게 되는 것이다.

보통 측정할 때는 스펙트럼 분석기의 분해능(RBW)을 30kHz로 맞춘 후, 해당 offset과의 차이(인접채널 전력)에 16dB을 더하는 경우가 많게 된다.

인접채널 전력비는 2-톤을 입력하여 서로 다른 주파수간의 3차 고조파를 측정하는 IP3 선형지표와 혼동되는 경우가 있는데, 인접채널 전력비는 자신의 단

일 톤 신호입력에 의해 내부의 비선형성 때문에 발생한 인접채널 잡음성분과의 비를 말하는 것이다.

물론 측정방법에 따라 2-톤을 입력하여 인접채널 전력비를 측정하기도 한다. 결론적으로 인접채널 전력비는 자기 신호가 남의 채널에 얼마나 간섭을 주느냐를 따지는 선형성을 의미한다. 전력 증폭기의 경우 자기 채널신호만 잘 증폭하고 인접채널 대역은 최대한의 증폭이 억제되어야 하기 때문에 인접채널 전력비가 전력증폭기의 주요 지표로 사용되는 것이다[14].

2.2.2 혼 변조

혼변조(Cross Modulation)의 정의는, 원하지 않는 신호에 의해 원래 신호의 반송파에 신호변조가 발생하는 현상을 의미한다. 단말기 등에서는 송신신호와 수신신호를 듀플렉서를 통해 하나의 안테나에서 처리하게 되는데, 이때 듀플렉서(Duplexer)의 송·수신단간의 독립성이 중요해진다. 하지만 이들의 독립성이 완벽할 수는 없어서 송신신호의 일부가 안테나로 가지 못하고 수신 단으로 유입되면서, 실제 수신신호와 서로 변조를 일으키게 된다. 이러한 종류의 현상을 흔히 혼변조라 하며, 단일 톤 시험 등을 통해 그 정도를 가늠하기도 한다. 혼변조와 상호변조의 원리는 기본적으로 동일하다. 비선형 시스템에서의 고조파 생성과 그 조합에 의해 불필요한 신호가 잡음원으로서 발생하는 것이다.

하지만 두 가지는 엄연히 구분되는데, 혼변조가 일어나는 신호의 소스(Source)원에 따라 분류된다. 상호변조는 원래 원하는 신호의 주파수 대역 안에서 여러 톤(Tone)들의 조합에 의해 발생하는 변조잡음을 지칭하기 위한 것이다. 즉 원하는 수신신호 혹은 송신신호 중에서 내부적으로 발생한다. 반면 혼변조는

이렇게 자체적인 주파수 자원 내부가 아닌, 아예 상관없는 주파수원이 치고 들어와서 발생하는 상호변조현상을 지칭하는 말이다. 수신 단에 송신신호가 유입되어 발생하는 것이 대표적인 혼변조 현상이지만, 이외에도 외부에서 잠입 가능한 주파수 잡음원에 의한 변조현상 일체를 지칭한다.

2.2.3 상호 변조

상호변조(Inter Modulation)는 시스템 내에 존재하는 능동회로에 포함된 비선형 소자, 즉 트랜지스터, 다이오드로 인해 발생하는 것으로서, 입력에는 없으나 출력에 나타나는 신호성분이다.

비선형 회로의 입력 단에 한 주파수의 신호 성분이 들어가면 출력 단에서는 그 비선형성으로 인해

$$y = a + bx + cx^2 + dx^3 \quad (2-8)$$

과 같이 고조파 성격을 가진 비선형 출력들이 연속해서 나오게 된다.

그런데 만약 두개의 주파수가 한 시스템을 통과할 때는 이것이 서로 간섭하여 고조파들의 합과 차에 해당하는 주파수 에너지 성분들이 나오게 된다.

예를 들어, f_1 , f_2 의 두 주파수가 입력에 동시에 들어가면 출력에서는 f_1 , f_2 는 물론 $2f_1 - f_2$, $2f_2 - f_1$, $2 \times f_1$, $3 \times f_2$ 등의 무수히 많은 주파수 성분들이 발생하게 된다.

이러한 현상 자체 혹은 그 기생 주파수성분들을 상호변조라고 부른다.

2.2.4 IP3 (3차 Intercept Point)

상호변조 왜곡은 두 주파수가 하나의 비선형 시스템을 통과하면서, 출력에서 두 주파수의 고조파들의 합과 차에 대한 성분들이 검출되어 방해요소가 되는 문제점을 일컫는다.

이러한 상호변조 왜곡의 방해 정도를 나타내는 대표적인 지표가 IP3이다.

즉 선형성이 얼마나 좋으냐를 나타내는 것으로서, 디지털 통신에서 매우 중요한 변수다. 3차 항의 상호변조 왜곡신호는 원래 신호보다 3배곱, 즉 dB(log)스케일(Scale)로 보면 3배의 기울기를 가지고 증가한다. 입력신호가 계속 증가하면 처음에는 작았던 3차 상호변조 왜곡신호도 급격하게 증가함에 따라 어느 지점에 선 결국 원래 신호와 같은 전력 수준으로 상승한다. 그렇게 됨으로써 원래의 신호주파수 에너지와, 3차 항의 상호변조 왜곡이 만나는 전력 점을 IP3 (3rd Intercept point) 라고 한다.

이는 실제로 출력전력은 3차 상호변조 왜곡과 만나기 전에 포화되어 더 이상 증가하지 않게 되기 때문에, 실제로 동등한 레벨이 되는 전력 점을 의미하는 것이 아니라 증가되는 기울기를 봤을 때 동등한 레벨이 될 것이라고 예상되는 전력 점이 바로 IP3이다.

예를 들어, 입력이 0dBm일 때 원래 신호의 출력은 12dBm, 3차 상호변조 왜곡 신호출력은 -15dB라고 가정하고, 입력전력을 증가시켜본다면, 3차 상호변조 왜곡이 실수영역에서 3배곱, 즉 log 영역에서 기울기가 3배이기 때문에 더욱 급격히 증가하여 결국 입력전력이 13.5dBm에 도달하면 원래 신호의 출력과 3차 상호변조왜곡의 출력이 똑같이 25.5dBm이 되어 버린다.

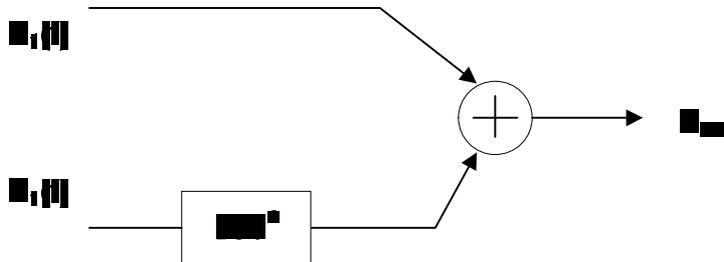
이렇게 원 신호출력전력과 3차 상호변조 왜곡 신호전력이 똑같아지는 전력점

이 바로 IP3이다.

여기서 IP3는 IIP3 (입력 IP3) 와 OIP3 (출력 IP3)로 나누어지는데, 출력전력이 똑같아지는 점의 입력전력 13.5dBm이 IIP3이고, 출력전력 25.5dBm을 OIP3라고 부른다.

2.2.5 상쇄지수

피드-포워드 전력증폭기의 기본적인 동작원리는 <그림 2-5>에서 보여 주듯이 두 신호가 입력되었을 때 하나의 신호를 180° 반전 시켜주고 신호의 크기를 동일하게 하여 합했을 때 신호가 상쇄되는 효과를 이용한 것이다.



<그림 2-5> 신호의 상쇄

<Fig 2-5> Cancellation of signals

신호의 왜곡성분은 신호의 순시적인 진폭 및 변조 주파수를 변하게 하는 결정적인 신호가 된다. 그러나 이러한 왜곡 성분은 항상 동일한 조건에서 유사하게 나타나는 특성이 있다. 본 논문은 피드-포워드 선형화 기술을 제어하는 것을 주목적으로 하고 있지만 이러한 왜곡성분이 변화하는 신호 환경에서 어떻게 동작

하는지 찾는 것도 큰 의미를 가진다. 이는 일부 기본적인 상쇄 기술에 의해 훌륭한 신호의 상쇄를 달성하는 데 있어서 매우 유용한 정보가 될 수 있다.

물론 직접적으로 충분한 상쇄가 이루어지지 않더라도 왜곡의 동작에 대한 주의 깊은 연구는 좀 더 정교한 선형화 기술의 상쇄 방식을 적용함으로써 20 ~ 30dB 까지 상쇄를 끌어올릴 수도 있을 것이다.

좋은 상쇄 성능은 증폭기의 왜곡 성분과 선형화 소자에 의해 생성된 신호 성분의 사이에 진폭과 위상 매칭에 대한 매우 엄격한 요건이 따른다.

잔류 상호변조 성분의 전력은 코사인 법칙을 사용하여 계산할 수 있고 주어진 상쇄 정도에 따라 요구되는 매칭은 다음 식 (2-9)와 같다.

$$CANC = 10 \log (1 - 2(1 + \Delta A/A) \cos(\Delta \phi) + (1 + \Delta A/A)^2) \quad (2-9)$$

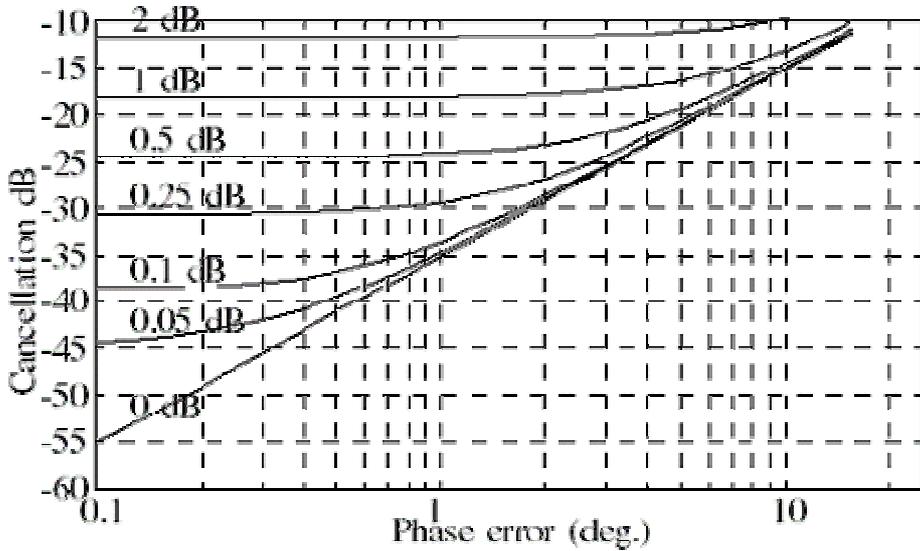
여기서 $\Delta \phi$ 는 위상 오차, ΔA 는 진폭 오차를 나타낸다.

다음 <그림 2-6>는 전체 신호 및 상호변조 대역 이상에서 상호변조 성분을 25dB 줄이기 위해 위상 오차는 $2^\circ \sim 3^\circ$ 이상 차이가 발생하지 않아야 하고 이득의 매칭인 평탄도가 0.25dB(3%) 이상이어야 한다는 것을 보여준다.

2.3 경로 길이 변화에 따른 신호의 상쇄

앞 절에서는 상쇄지수와 피드-포워드 선형화 방식에 대하여 설명하였다. 이때 시간지연에 관한 영향은 무시하였다. 그러나 시간 지연라인은 피드-포워드 선형화 회로에서 상쇄지수의 대역폭을 결정한다. 다음은 시간 지연과 상쇄지수와의

관계를 관한 내용이다.



<그림 2-6> 위상과 진폭 오차에 대한 함수로서의 달성되는 상쇄

<Fig. 2-6> Cancellation achieved as functions of phase & amplitude error

상쇄지수는 식(2-9)에서 정의하였다. 피드-포워드의 각 루프의 두 입력신호 S_1 과 S_2 를 다음과 같이 크기는 같고 위상이 180도 라고 가정하자.

$$S_1 = A_1 \cos(\omega_1 t) \quad (2-10)$$

$$S_2 = A_2 \cos(\omega_2 t) \quad (2-11)$$

θ_1 과 θ_2 는 각 선형화 루프에서 각 경로의 전기적인 길이이다. 선형화 회로에서 시간지연 라인 은 중심주파수에서 두 경로의 시간지연이 같도록 맞추어 주어야 한다. 두 신호의 크기가 같고 위상이 반전되어 있고 시간지연이 두 경로에서

같다면 식(2-9)에서와 같이 상쇄지수가 최대가 됨을 알 수 있다. 그렇다면 시간 지연이 다를 때는 어떻게 되는지 고려해 보자.

비록 두 경로의 시간지연이 다르다고 해도 위상변화기의 위상을 조절하여 한 주파수에 대해, 즉 중심주파수에 대해 시간의 지연을 맞출 수 있으나 중심주파수가 아닌 다른 주파수에서는 두 경로에서 시간지연 차이가 생기기 때문에 위상이 달라지게 된다.

즉, 중심주파수, f_0 에서 경로 1의 전기적인 길이가 $10\lambda_0$ 라고 하고 경로 2가 $9.9\lambda_0$ 라고 하고 경로 2에 위상변화기가 있다고 하자.

두 경로의 차가 $0.1\lambda_0$ 이므로 전기적인 길이 차이에 의한 위상 차는 36° 이다. 이를 위상변화기로 216° 의 위상변화를 주면 위상 차에 해당하는 36° 의 지연을 뺀 두 경로의 위상 차는 180° 가 된다.

<표 2-1> 주파수에 따른 위상의 변화표

<Table 2-1> Table of phase variation according to frequencies

	경로1의 전기적 길이	경로2의 전기적 길이	경로차	위상 차	위상변화기의 요구량	경로간의 위상차
주파수 f_1	$10\lambda_0$	$9.9\lambda_0$	$0.1\lambda_0$	36°	216°	180°
주파수 $2f_1$	$20\lambda_0$	$19.8\lambda_1$	$0.2\lambda_1$	72°	216°	144°

그러면 주파수 f_1 이 두 배가 되었을 때를 고려해보자. 이때 경로 1의 전기적인 길이는 $20\lambda_0$ 이고 경로 2의 전기적인 길이는 $19.8\lambda_1$ 이 된다. 따라서 두 경로의 길이의 차이는 $0.2\lambda_1$, 즉 72° 가 된다. 위상변화기는 항상 216° 를 변화시킴으로 두 경로의 위상차이는 72° 를 감한 144° 가 됨을 알 수 있다. 이 관계를 <표 2-1>에 정리하였다.

위와 같이 두 경로에 시간차가 날 때는 중심주파수에서는 두 경로의 위상을 반전시켜 상쇄를 시켜줄 수 있으나 주파수가 달라지면 두 경로의 위상차가 180° 가 아니기 때문에 상쇄지수는 감소하게 된다. 즉 상쇄지수에 어떤 대역폭이 생기게 된다. 식(2-10), (2-11)의 두 입력신호에 대해서 두 경로의 시간지연 효과를 적용하면 상쇄지수는 다음과 같다.

$$\text{상쇄지수} = 10 \log(1 - \cos(\theta_1 - \theta_2)) + 3 \quad (2-12)$$

두 경로에서 시간지연 라인을 파장단위로 기술하고 주파수에 따른 상쇄지수를 표현하면 상쇄지수는

$$\text{상쇄지수} = 10 \log \left(1 - \cos \left(2\pi \frac{\lambda_{error}}{\lambda_0} \left(1 - \frac{f}{f_0} \right) \right) \right) + 3 \quad (2-13)$$

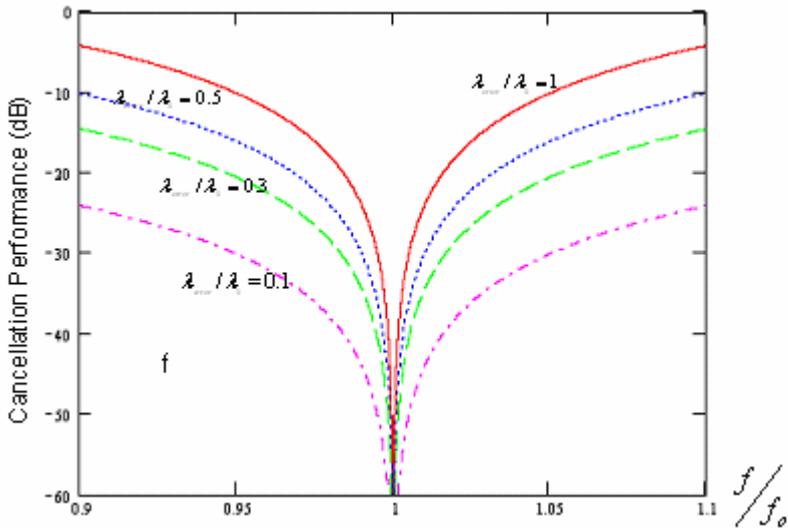
으로 기술된다. 여기서 f_0 는 중심주파수, f 는 임의의 주파수, λ_0 는 중심주파수 파장, λ_{error} 는 두 경로의 길이에 의한 파장의 차이이다. <그림 2-7>는 시간지연 불일치에 따른 상쇄지수를 보여주고 있다. 중심 주파수 파장에 대한 시간지연 라인의 길이의 불일치가 커지면 커질수록 상쇄지수의 대역폭이 줄어드는 것을 볼 수 있다. 따라서 상쇄지수의 대역폭을 최대한 크게 하려면 두 신호의 크기는 같고 위상은 180° 가 되도록 하는 것 이외에도 두 경로의 시간지연을 최대한 맞추어 주어야 한다.

식(2-13)을 두 입력신호의 크기도 다르고 위상도 180° 가 아닐 때까지 일반화 시켜주면 상쇄지수는

$$\text{상쇄지수} = 10 \log \left(1 + \alpha^2 - 2\alpha \cos \left(2\pi \frac{\lambda_{error}}{\lambda_0} \left(1 - \frac{f}{f_0} \right) \right) \right) \quad (2-14)$$

과 같다.

따라서 식(2-14)에서 보여주는 바와 같이 상쇄지수는 입력신호의 크기, 위상 차, 시간지연 길이에 영향을 받음을 알 수 있다.



<그림 2-7> 상쇄루프에서 두 경로의 시간지연 불일치에 따른 상쇄지수
 <Fig. 2-7> Cancellation performance followed by different time delay in cancellation loop

2.4 피드-포워드 선형화 증폭기 구성

피드-포워드 증폭기 시스템은 내부에 많은 증폭소자들의 결합으로 된 증폭 모듈이 다시 한번 결합되어 전체적인 시스템을 형성하므로 먼저 고효율증폭기를 디자인하는 것이 기본이 되어야 한다.

피드 포워드 전력 증폭기 시스템은 크게 두 개의 루프로 구성되어 있으며 여

기서 신호제거 루프는 상호변조 왜곡성분을 분리시키기 위해서 사용되었고, 두 번째 루프는 순수한 상호변조 왜곡만을 분리하고 증폭하여 상호변조 왜곡을 제거할 수 있도록 주 증폭기에 증폭된 상호변조왜곡 신호를 공급하는 역할을 한다.

2.4.1 신호 루프

Feedforward 방식의 선형화 회로는 간단히 설명하면 증폭기에서 생긴 왜곡 성분, 즉 상호변조 신호만을 찾아내 이를 다시 증폭기의 출력에 왜곡 성분과 크기는 같고 위상은 반전되도록 하여 더해준다. 이렇게 하여 증폭기의 왜곡 성분을 없애 주는 것이다.

피드-포워드 방식의 선형화 회로는 앞 절에서 설명한 신호의 상쇄를 이용하는 것이다. 피드-포워드 방식에서는 신호상쇄를 위한 두개의 상쇄루프가 있다.

첫 번째는 주 증폭기에서 순수 신호성분만을 상쇄하는 루프로서 신호루프라 한다. 신호루프에서는 주 증폭기에서 생성된 신호에서 신호성분을 상쇄해 버리고 상호 변조된 왜곡성분만을 찾아낸다. 그 방식은 다음과 같다.

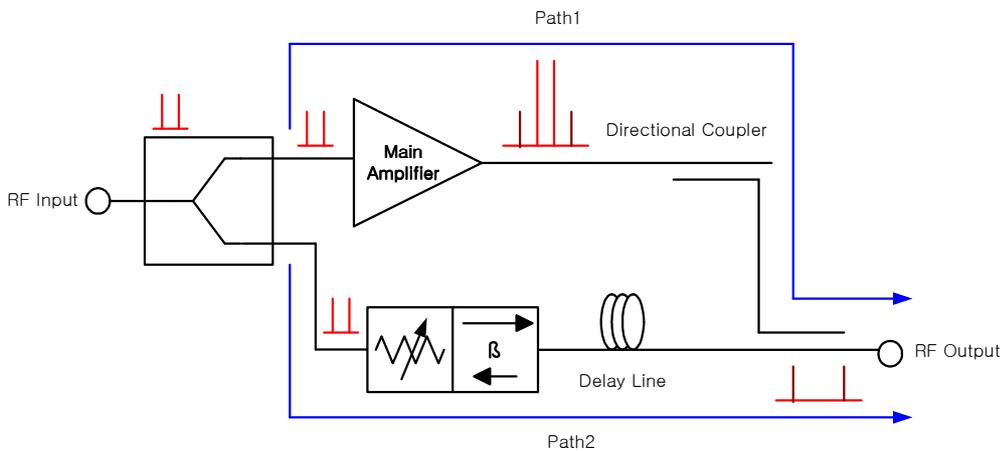
<그림 2-8>에서 보듯이 입력된 신호가 전력 분배기를 통해서 두개의 경로로 나누어진다.

경로 1은 주 증폭기로 가는 신호로 이 신호는 주 증폭기에서 증폭되어 출력에는 캐리어성분과 상호 변조된 왜곡성분이 동시에 존재하게 된다. 이것을 방향 결합기의 결합비만큼 신호를 감소시키고 다시 방향 결합기로 신호를 한번 더 감쇄시켜주는 동시에 경로2를 지나온 신호와 더해준다.

경로2의 신호는 제어기와 시간지연 선로를 거친다. 제어기는 가변감쇄기와 위상제어기로 구성되는데 경로1을 지나온 신호와 경로2를 지나온 신호가 크기가

일치하고 위상이 180° 가 되도록 제어하는 역할을 한다. 시간지연 라인은 경로1과 경로2의 시간지연을 일치시켜주는 역할을 한다. 이때 경로2의 신호는 단지 제어기와 시간지연 라인만을 거친다.

따라서 상호변조 신호가 없으므로 경로1의 신호와 더해졌을 때 순수 신호성분은 상쇄되고 주 증폭기에서 생성된 상호변조 신호만을 골라낼 수 있게 된다. 이 신호를 오차신호라고 한다.



<그림 2-8> 선형 증폭기에서 신호루프

<Fig. 2-8> Signal loop on a linear amplifier

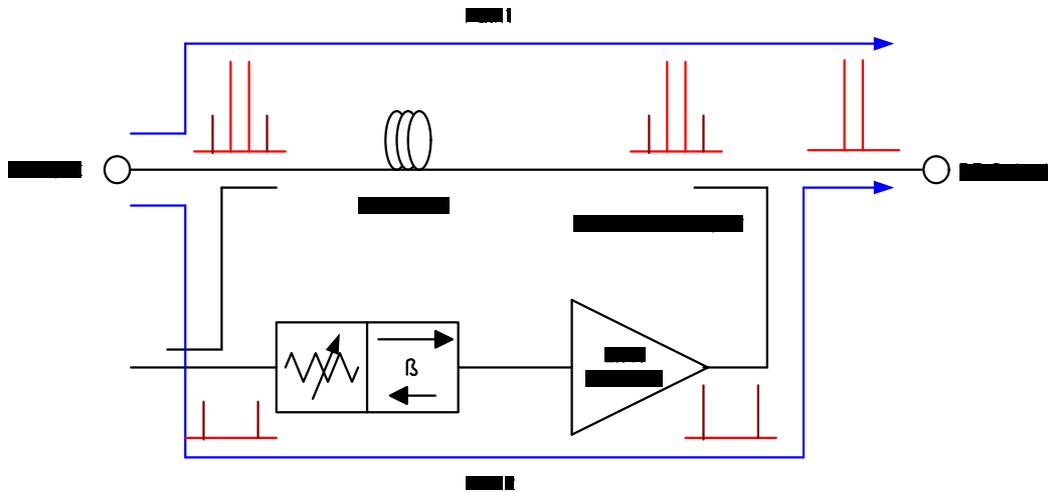
2.4.2 오차 루프

두 번째 루프는 신호루프에서 찾아낸 상호변조신호, 오차신호가 <그림 2-9>에서 볼 수 있듯이 경로1과 경로2를 거쳐 상쇄되므로 오차루프라고 한다.

오차루프에서는 오차루프의 입력에 주 증폭기의 신호성분은 포함하지 않고 상

호 변조된 신호만이 입력된다. 오차루프의 경로1에는 단지 시간지연 라인만이 있다. 이 시간 지연라인은 경로1과 경로2의 시간지연을 맞추어 주는 역할을 한다.

경로2에서는 주 증폭기의 상호 변조된 신호가 신호루프에 있는 두 개의 결합기를 통해 크기가 감소된 왜곡 신호가 제어기를 거쳐 오차 증폭기에서 증폭된다. 증폭된 신호는 결합기에서 결합비만큼 감쇄된 후 경로1을 지나는 주 증폭기의 출력신호와 더해진다. 이렇게 하여 주 증폭기의 상호변조 신호를 제거한다.



<그림 2-9> 선형 증폭기에서 오차루프
 <Fig. 2-9> Error loop on a linear amplifier

제 3 장 주 증폭기의 설계 및 구현

최근의 CDMA-2000 또는 W-CDMA의 3세대 무선 통신은 채널당 3.84Mbps의 고속 데이터 전송율과 9 ~ 12dB의 높은 침투치 대 평균 전력의 비를 요구하고 있다. 또한 다중 채널을 사용함으로써 인해 2.1GHz대역에서 60MHz의 넓은 대역폭을 점유하게 되고, 미국 연방 통신 위원회(FCC; Federal Communication Commission)를 비롯하여 국제전기통신연합 무선통신섹터(ITU-R)의 표준화를 통해 대역 외 발사에 대한 엄격한 요건을 규제 받고 있다.

이러한 제반 요건을 만족하기 위해 제2장에서 설명된 바와 같이 다양한 선형화 기법이 사용되고 있으며 그 중 전치왜곡 방식과 피드-포워드 방식이 보편적으로 적용되고 있다.

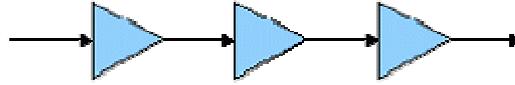
본 장에서는 피드-포워드 방식의 선형 전력 증폭기를 구현하기 위한 대상에 해당하는 주 전력 증폭기의 설계 및 제작에 대해 설명하고자 한다.

3.1 전력 증폭기 설계의 기초

본 논문에서는 40W급의 선형 전력 증폭기를 설계하기 위해 신호의 분배 및 결합과정에서 생기는 다양한 손실을 감안하여 60W급의 주 전력 증폭기를 설계하게 되었다. 또한 증폭기의 이득은 54dB 이상을 가지도록 하였다.

여기서, 증폭기의 성능을 나타내는 최대출력 전력과 증폭기의 이득은 서로 상관관계가 없는 별개의 내용으로 최대출력 전력은 출력단에 얼마나 많은 전류(전력)를 흐르게 할 수 있는지를 나타내는 반면에 증폭기의 이득은 입력신호를 몇 배로 키울 것인가를 나타내는 지수이다.

실제 증폭기의 제작에서는 필요로 하는 이득을 얻기 위해 저전력 증폭기와 대전력 증폭기를 다음 그림과 같은 원리로 직렬 연결하여 원하는 이득을 구할 수 있다.



$$11.6 \times 10 \times 1001.6 = 116185 \text{ 배}$$

$$12\text{dB} + 10\text{dB} + 32\text{dB} = 54\text{dB}$$

<그림 3-1> 증폭기의 직렬 연결

<Fig. 3-1> Cascade connection of amplifiers

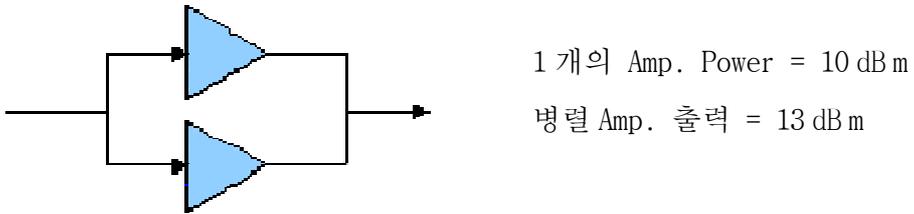
물론, <그림 3-1>의 증폭기 각 단의 연결에는 각 단 상호간에 매칭이 이루어져야 할 것이다.

그러나, 앞서 설명한 바와 같이 증폭기의 이득이 증가되어도 최대출력전력이 증가하지 않기 때문에 최대출력전력은 종단 증폭기에 절대적으로 의존하게 된다.

최대출력전력을 설계하기 위해서는 <그림 3-2>와 같이 증폭기를 병렬로 연결하여 출력단에 동시에 흐를 수 있는 전류 용량을 증가시킴으로써 원하는 최대출력전력까지 높일 수 있게 된다.

RF 증폭기는 본 논문에서 구현하고자 하는 선형 전력증폭기 이외에도 이동통신 수신 단에서의 사용되는 저 잡음증폭기(LNA; Low Noise Amplifier), 종단 증폭기의 입력 레벨을 조정하기 위한 구동증폭기(DA; Drive Amplifier) 등의 다양한 용도로 사용될 수 있다.

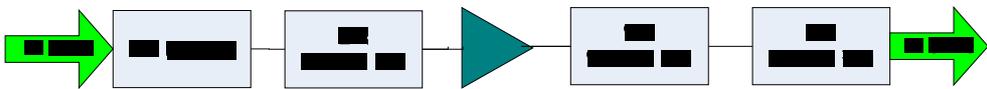
따라서 이러한 용도에 따라 구체적인 설계 법은 다르지만 입출력 임피던스를 원하는 목표에 맞게 결정해야 한다는 공통점이 있다.



<그림 3-2> 증폭기의 병렬 연결

<Fig. 3-2> Parallel connection of amplifiers

<그림 3-3>과 같이 증폭기에 사용할 트랜지스터의 입출력 임피던스는 결정되어 있지 않기 때문에 설계 시에 적절하게 결정되어야 한다. 그리고 어떤 목적의 증폭기를 제작하느냐에 따라 그 목적에 잘 부합되는 적절한 임피던스를 설정하는 것이 중요한 작업이다. 이는 입출력 임피던스에 따라 잡음이나, 이득, 출력 등의 특성이 변한다는 것을 의미한다.

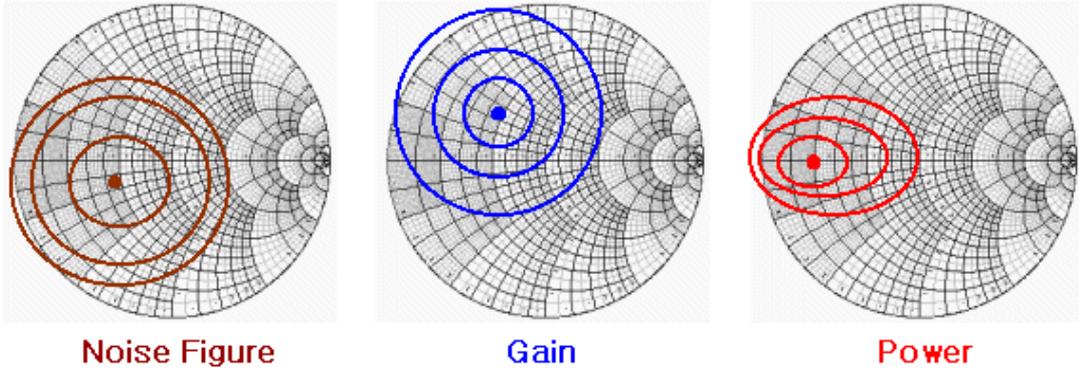


<그림 3-3> 증폭기의 입출력 매칭

<Fig. 3-3> Input/output matching of an amplifier

<그림 3-4>는 트랜지스터 S-파라미터를 이용하여 계산되는 최적의 입출력

임피던스 점들의 예이다. 그림에서 각 동심원들의 중심점이 최소 잡음, 최대 이득, 최대 전력을 나타내는 최적의 값을 나타내고 주변의 동심원들은 중심점에 비해 해당 규격이 1dB씩 떨어지는 점을 나타내고 있다.



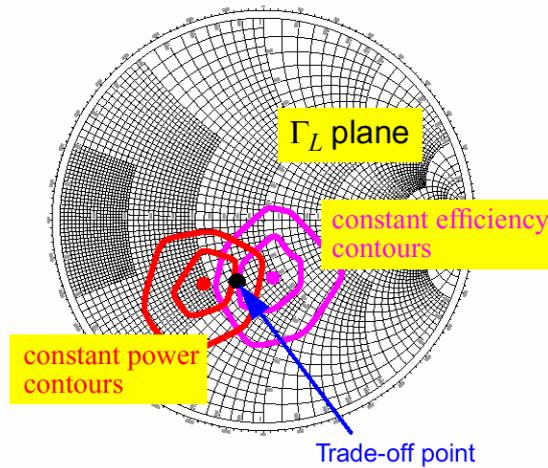
<그림 3-4> 잡음, 이득, 전력에 대한 스미스 차트

<Fig. 3-4> The Smith charts for a noise figure, gain and power

또한 <그림 3-4>의 잡음, 이득, 전력에 대한 스미스 차트(Smith charts)에서 알 수 있듯이 최소 잡음과 최대 이득, 최대 출력을 각각 만족하는 최적의 임피던스 점은 서로 다른 곳에 위치하고 있음을 알 수 있다.

따라서 설계하고자 하는 증폭기의 용도가 저 잡음증폭기, 전력증폭기 혹은 이득만 높게 나오는 증폭기 등에 따라 임피던스를 적절히 결정하고 결정된 임피던스를 입출력단의 50Ω 과 매칭시키는 것이 설계의 관건이 되는 것이다. 보통의 경우 이 세가지 요건을 동시에 만족시키는 것은 불가능하므로 저 잡음증폭기의 경우 잡음과 이득이, 전력증폭기의 경우 이득과 출력이 트레이드 오프(Trade-off) 관계를 가지게 된다[15].

이것이 RF 증폭기 설계의 핵심이며, 원하는 결과를 얻기 위한 임피던스 점을 적절히 잡고 매칭을 잘하는 것이 가장 중요하다. 이외에도 부가적으로 발진을 막고 선형성을 증가시킬 방법을 부가한다면, 증폭기의 설계는 완성될 것이다.



<그림 3-5> 전력 증폭기 트레이드 오프 점의 예

<Fig. 3-5> An example of trade-off point for a power amplifier

<그림 3-5>는 전력증폭기 설계를 위한 이득과 출력 전력 사이의 트레이드오프 점을 찾는 예를 보이고 있다[15].

3.2 주 증폭기용 종단 트랜지스터의 선정

앞서 설명된 설계의 기초를 바탕으로 $-5\text{dBm}(0.3\text{mW})$ 의 입력전력에 대하여 $43\text{dBm}(20\text{W})$ 의 평균전력을 갖는 W-CDMA 선형 전력증폭기를 구성하기 위해서는 주 증폭기는 최소 48dB 의 이득을 가져야 하겠지만, 40W 급 증폭기로 구성하기

위하여 제2장에서 설명된 바와 같이 주 증폭기의 백 오프를 예상하고 지연선로의 손실, 방향성 결합기의 손실 등을 고려하여 다음 <표 3-1>과 같이 60W급의 증폭기와 54dB의 이득을 설계 목표로 설정하였다.

<표 3-1> 주 증폭기의 설계 목표

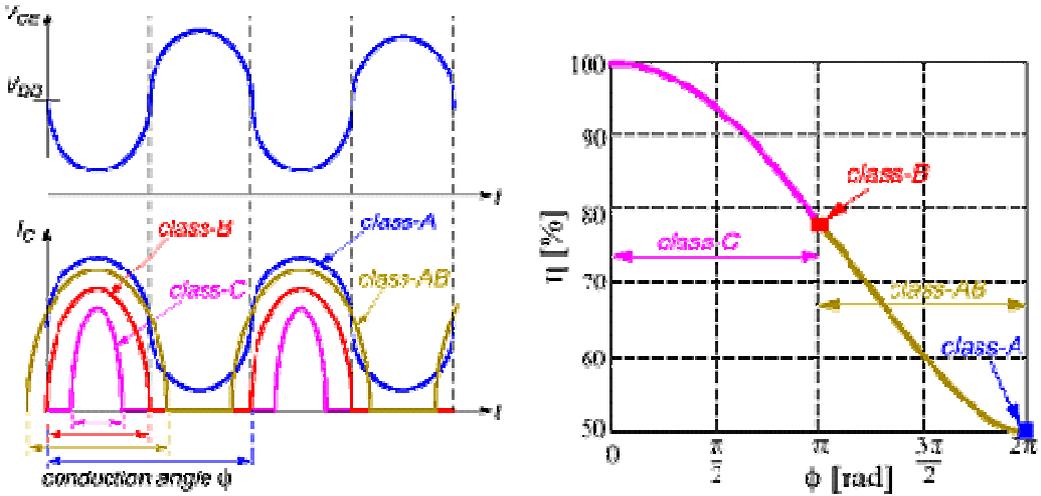
<Table 3-1> A design task for main amplifier

항 목	규 격	비 고
주파수 범위	2.11GHz~2.17GHz	
최대 출력전력	60W	
증폭기 이득	54dB	
임피던스	50Ω	
AM-PM 왜곡	< 1.5° /dB	
평탄도	< ±0.5dB	
IMD 특성	1MHz 간격의 2-톤 신호를 통해 최대 -30dBc	

또한 종단 증폭기의 선정에서 효율을 높이기 위해 가능한 한 높은 출력이 나오도록 조정하지만 -30dBc 이하의 상호변조잡음을 갖도록 백-오프 시킬 수 있는 최대출력 전력을 고려해야 한다. 이러한 목적을 위해 검토된 A급 증폭기는 <그림 3-6>에서 보는 바와 같이 선형성은 좋으나 효율이 낮으므로 일반적으로는 AB급 증폭기로 설계하게 된다.

여기서 이상적인 첨두 드레인 효율 η 은 다음 식에 의해 구해진다.

$$\eta = \frac{\phi - \sin\phi}{4\sin(\phi/2) - 2\phi\cos(\phi/2)} \quad (3-1)$$



<그림 3-6> 증폭기의 전력과 효율 사이의 트레이드 오프

<Fig. 3-6> Trade-off between power and efficiency

그러나 효율이 높은 AB급 증폭기로 설계할 경우, 동작 점에 따라 상호 변조 곱이 다르게 나타나므로 먼저, 여러 바이어스 조건으로부터 입사전력의 변화나 전압의 변동에도 큰 차이 없이 일정하고 상하 측파대가 대칭적으로 나타나는 최적 점을 찾는 과정이 필요하다.

주 증폭기의 전력이 커져 포화영역 부근에서 동작할 경우, 상호변조 왜곡이 심해져 선형 보상을 통해서도 상호변조 왜곡은 쉽게 제거되지 않으며 3차 상호 변조 왜곡 이외에도 5차, 7차의 상호변조 왜곡의 제거는 더 더욱 어려워진다.

이러한 내용에 대해 검토된 종단 증폭기용 트랜지스터는 MRF21125 및 MRF21180의 두 가지가 있으며 최종적으로 시스템 구성이 용이하고 선형성이 우수한 MRF21180이 선정되었다[16].

3.2.1 MRF21125 증폭기

MRF-21125 트랜지스터는 광대역 CDMA 기지국용으로 설계될 수 있도록 2,110MHz ~ 2,170MHz의 주파수 범위를 가지고 있으며 시분할 다중화 방식, 코드 분할 다중화 방식 및 다중 캐리어 증폭기에 적합한 것으로 확인되었다.

그러나, PCN-PCS 셀룰라 무선 및 무선가입자회선(WLL; Wire Local Loop)의 설계를 위해서는 AB급으로 사용되어야 할 것이다.

2-톤 CDMA신호에 대한 기본적인 특성을 살펴보면 <표 3-2>와 같다. 2-톤 신호는 f_1 이 2.1125GHz, f_2 는 2.1225GHz가 사용되었으며 V_{DD} 에 28V, I_{DQ} 에 1,600mA가 인가되었다.

채널 대역은 3.84MHz로 설정하여 인접채널누설 전력 및 3차 상호변조 왜곡이 측정되었으며 인접채널 누설전력은 f_1 과 f_2 의 기준 입력신호 ± 5 MHz에서 측정되었다.

이외에도 MRF21125 증폭기는 사용이 용이하고 내부적으로 매칭이 이루어질 뿐 아니라 Q값이 조정된다는 장점을 가지고 있으며 다른 증폭기에 비해 비교적 효율, 이득, 선형성이 높고 우수한 열적 안정도를 나타내고 지속파(CW; Continuous wave) 인가 시 최대 125W까지 활용할 수 있다.

일반적으로 MRF21125는 최대 이득, 삽입 위상 평탄도를 얻기 위한 설계에 많이 사용되고 정전기 방전에 대한 보호회로를 포함하고 있다는 특징이 있다.

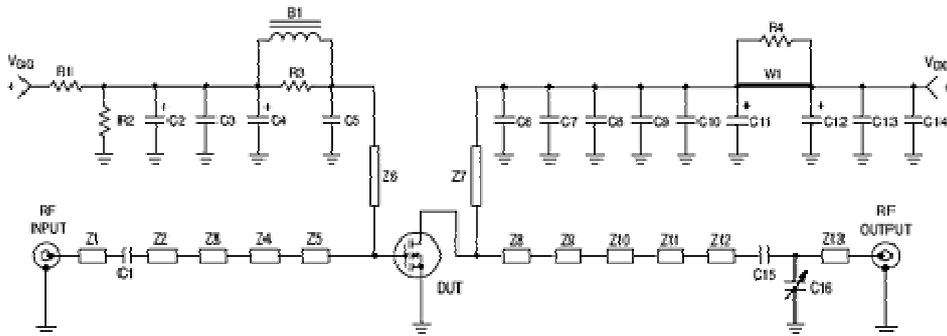
제작된 회로를 통해 측정된 주요 성능을 살펴보면 <그림 3-8>과 같이 출력 20W에서 드레인 효율 약 18%, IM3 약 -43dBc, 인접채널 누설전력 -45dBc, 이득 약 13dB의 주요 사양에 부합됨을 알 수 있다.

<표 3-2> MRF21125 트랜지스터의 주요 사양

<Table 3-2> A chief characteristics of MRF21125 transistor

항 목	규 격	비고
출력 전력	20W	
효율(η)	18%	
증폭기 이득(G_{PS})	13dB	
3차 상호변조 왜곡(IM3)	-43dBc	
인접채널 누설전력(ACPR)	-45dBc	
입력반사손실(IRE)	-12dB	

제작된 MRF21125 단위 증폭기는 <그림 3-7>과 같이 제작되었다.

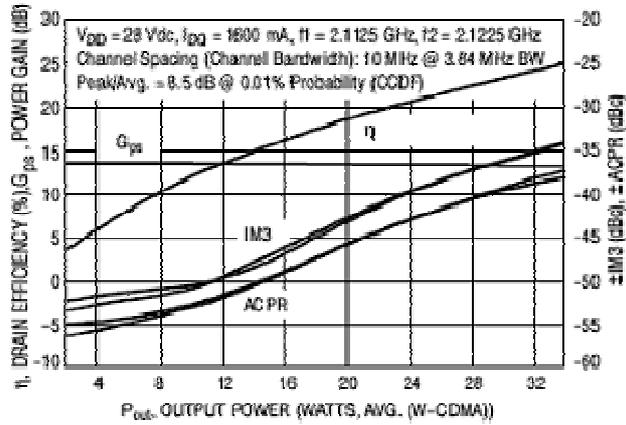


- Z1 = 1.212" × 0.082" 마이크로스트립,
- Z2 = 0.236" × 0.082" 마이크로스트립,
- Z3 = 0.086" × 0.254" 마이크로스트립,
- Z4 = 0.357" × 0.082" 마이크로스트립,
- Z5 = 0.274" × 1.030" 마이크로스트립,
- Z6 = 0.466" × 0.050" 마이크로스트립,
- Z7 = 0.051" × 0.050" 마이크로스트립,

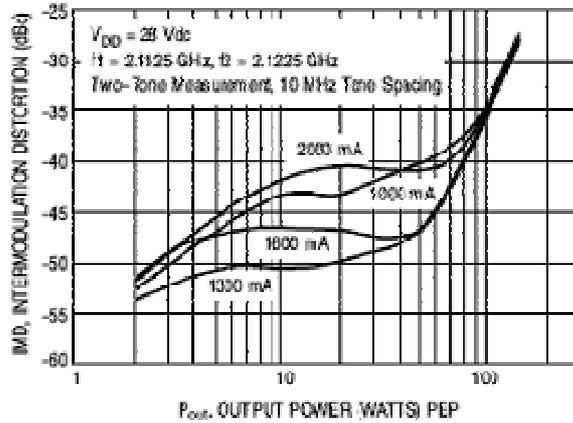
- Z8 = 0.600" × 1.056" 마이크로스트립
- Z9 = 0.179" × 0.219" 마이크로스트립
- Z10 = 0.100" × 0.336" 마이크로스트립
- Z11 = 0.534" × 0.142" 마이크로스트립
- Z12 = 0.089" × 0.080" 마이크로스트립
- Z13 = 0.620" × 0.080" 마이크로스트립

<그림 3-7> MRF21125 단위 증폭기 회로도

<Fig. 3-7> MRF21125 unit amplifier circuit diagram



<그림 3-8> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-8> ACPR, IM3, gain, drain efficiency versus output power



<그림 3-9> 출력 전력에 대한 상호 변조 왜곡
 <Fig. 3-9> Intermodulation distortion versus output power

또한 <그림 3-9>에 나타난 것과 같이 출력 전력 20W를 최적으로 감안한다면 I_{DQ} 에 1,300mA를 인가할 때 약 -50dBc의 높은 상호변조 왜곡 특성을 나타

념을 확인할 수 있었다.

제작된 단위 증폭기의 입출력 임피던스는 <표 3-3>과 같이 나타났다.

<표 3-3> 단위 증폭기의 등가 입출력 임피던스

<Table 3-3> Equivalent Input/output impedance of a unit amplifier

f (MHz)	Z_{source} (게이트와 그라운드)	Z_{load} (드레인과 그라운드)
2110	3.81-j6.86	1.56-j1.58
2140	4.33-j7.90	1.53-j1.90
2170	4.84-j8.46	1.48-j2.26

$$V_{DD} = 28 V, I_{DQ} = 1,600 mA, P_{out} = 20 W.$$

3.2.2 MRF21180 증폭기

MRF-21180 트랜지스터도 MRF21125 트랜지스터와 동일하게 광대역 CDMA 기지국용으로 설계될 수 있도록 2,110MHz ~ 2,170MHz의 주파수 범위를 가지고 있으며 시분할 다중화 방식, 코드분할 다중화 방식 및 다중 캐리어 증폭기에 적합한 것으로 선별되었다.

그러나, PCN-PCS 셀룰라 무선 및 WLL의 설계를 위해서는 AB급으로 사용되어야 할 것이다.

2-톤 CDMA신호에 대한 기본적인 특성을 살펴보면 <표 3-4>와 같다. 2-톤 신호는 f_1 이 2.135GHz, f_2 는 2.145GHz가 사용되었으며 V_{DD} 에 28V, I_{DQ} 에 $2 \times 850mA$ 가 인가되었다. 채널 대역은 3.84MHz로 설정하여 인접채널누설 전력 및 3차 상호변조 왜곡이 측정되었으며 인접채널 누설전력은 f_1 과 f_2 의 기준 입력신

호 $\pm 5\text{MHz}$ 에서 측정되었다. 평균전력 대비 첨두전력의 비는 f_1 과 f_2 의 기준 입력 신호 $\pm 10\text{MHz}$ 에서 약 8.3dB로 나타났다.

이외에도 MRF21180 증폭기는 사용이 용이하고 내부적으로 입출력이 매칭될 뿐 아니라 다른 증폭기에 비해 비교적 효율, 이득, 선형성이 높고 우수한 열적 안정도를 나타내고 CW 인가 시 최대 170W까지 활용할 수 있다.

일반적으로 MRF21180은 최대 이득, 삽입 위상 평탄도를 얻기 위한 설계에 많이 사용되고 정전기 방전에 대한 보호회로를 포함하고 있다는 특징이 있다.

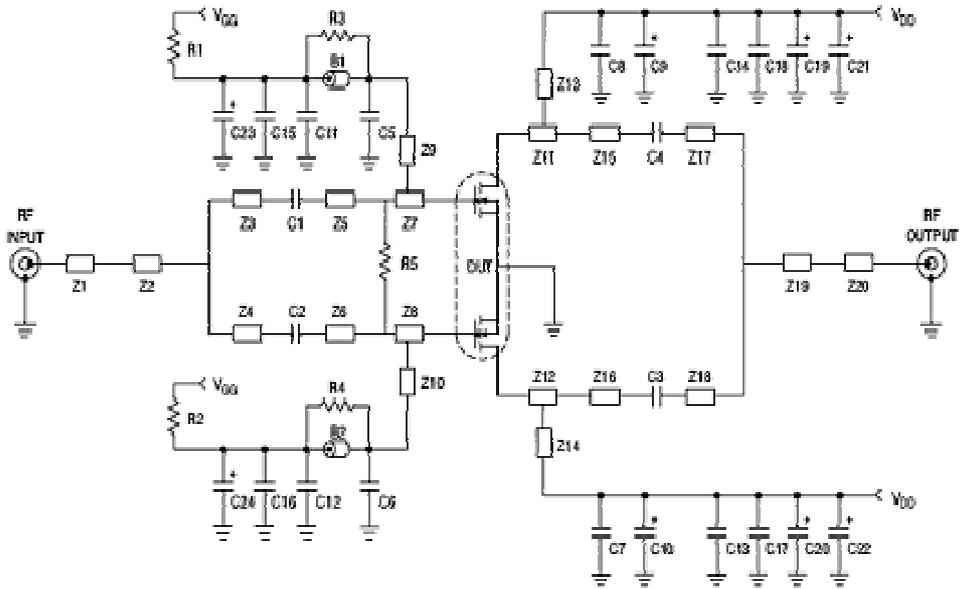
<표 3-4> MRF21180 트랜지스터의 주요 사양

<Table 3-4> A chief characteristics of MRF21180 transistor

항 목	규 격	비 고
출력 전력	38W	
효율(η)	22%	
증폭기 이득(G_{PS})	12.1dB	
3차 상호변조 왜곡(IM3)	-37.5dBc	
인접채널 누설전력(ACPR)	-41dBc	
입력반사손실(IRL)	-12dB	

제작된 MRF21180 단위 증폭기는 <그림 3-10>과 같이 제작되었다.

제작된 회로를 통해 측정된 주요 성능을 살펴보면 마치 MRF21125를 두 개를 병렬로 연결해 놓은 것과 같이 출력 38W에서 드레인 효율 약 22%, IM3 약 -37dBc, 이득 약 12dB의 성능을 나타내었다.



- Z1, Z20=0.790"×0.065" 마이크로스트립, Z2, Z19=0.830"×0.112" 마이크로스트립
 Z3, Z18=0.145"×0.065" 마이크로스트립, Z4, Z17=1.700"×0.065" 마이크로스트립
 Z5, Z6 =0.340"×0.065" 마이크로스트립, Z7, Z8 =0.455"×0.600" 마이크로스트립
 Z9, Z10=0.980"×0.035" 마이크로스트립, Z11,Z12=0.510"×0.645" 마이크로스트립
 Z13,Z14=0.770"×0.058" 마이크로스트립, Z15,Z16=0.280"×0.065" 마이크로스트립

<그림 3-10> MRF21180 단위 증폭기 회로도

<Fig. 3-10> MRF21180 unit amplifier circuit diagram

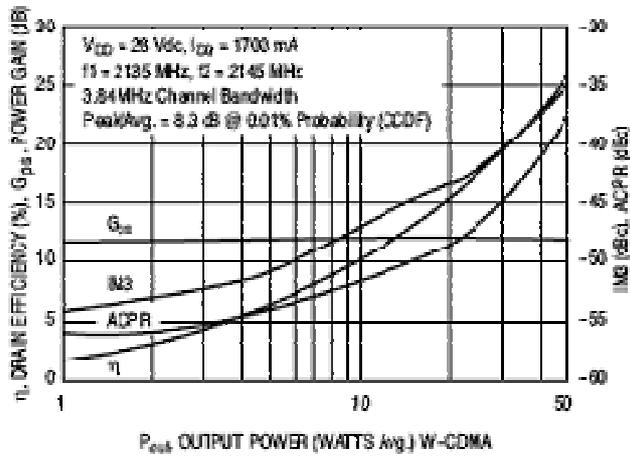
다음 <그림 3-11>은 MRF-21180의 주요 성능을 나타내었다.

또한 <그림 3-12>에 나타낸 것과 같이 출력 전력 38W를 최적으로 감안한다면 I_{DQ} 에 1,700mA를 인가할 때 약 -47dBc의 높은 상호변조 왜곡 특성을 나타냄을 확인할 수 있었다.

제작된 단위 증폭기의 입출력 임피던스는 다음 <표 3-5>와 같다.

3.2.3 MRF21125 와 MRF21180 에 대한 비교

앞서 기술한 주 증폭기의 선정에서 종단 증폭기는 내부에 2개의 트랜지스터를 가진 MRF21180이 MRF21125에 비해 하드웨어 설계에서 부피를 줄일 수 있고 경제적으로도 유리하며 상호변조 왜곡특성 또한 다소 우수한 것으로 판단되었다.



<그림 3-11> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-11> ACPR, IM3, gain, drain efficiency versus output power

<표 3-5> 단위 증폭기의 등가 입출력 임피던스

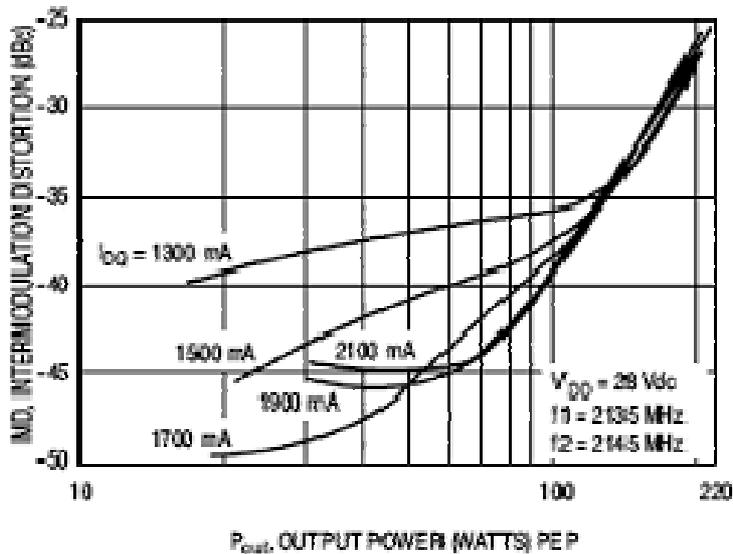
<Table 3-5> Equivalent Input/output impedance of a unit amplifier

f (MHz)	Z_{source} (게이트와 그라운드)	Z_{load} (드레인과 그라운드)
2110	$2.45-j2.08$	$2.65-j1.52$
2140	$2.39-j2.51$	$2.71-j1.80$
2170	$2.16-j3.14$	$2.64-j2.04$

$$V_{DD} = 28\text{ V}, I_{DQ} = 2 \times 850\text{ mA}, P_{out} = 38\text{ W}$$

<그림 3-13>은 최종 성능 평가에 사용될 1MHz 주파수 간격을 가진 2-톤 신호를 입력했을 때 나타나는 상호변조 왜곡 성분을 스펙트럼 분석기를 통해 측정한 결과이다.

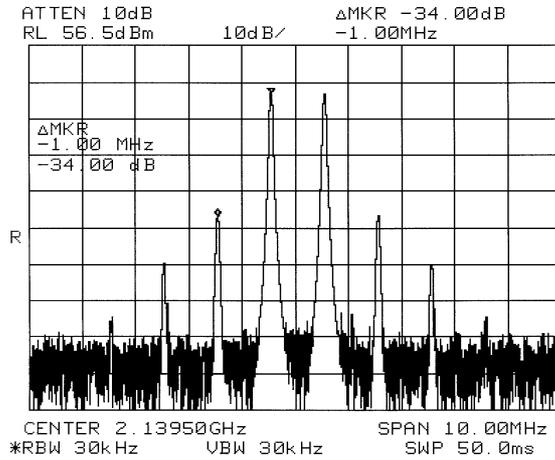
따라서 최종 증폭단으로 MRF21180을 사용하고 60W급 증폭기 구현을 위해서는 38W급 두 개를 병렬로 연결하여 76W까지 출력 전력을 활용할 수 있는 증폭기를 설계하였다.



<그림 3-12> 출력 전력에 대한 상호 변조 왜곡

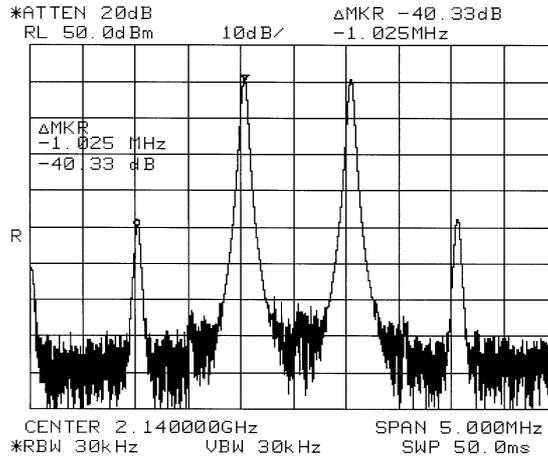
<Fig. 3-12> Intermodulation distortion versus output power

또한 이미 설계된 MRF-21125 단위 증폭기는 충분히 특성이 파악되었을 뿐 아니라 우수한 특성을 나타냄으로써 종단 증폭기 앞 단에 붙여 요구되는 이득을 얻을 수 있도록 활용하였다.



(a) MRF21125를 이용한 평형증폭기의 IMD 특성

(a) The characteristics of IMD in the balanced amplifier using MRF21125



(b) MRF21180를 이용한 평형증폭기의 IMD 특성

(b) The characteristics of IMD in the balanced amplifier using MRF21180

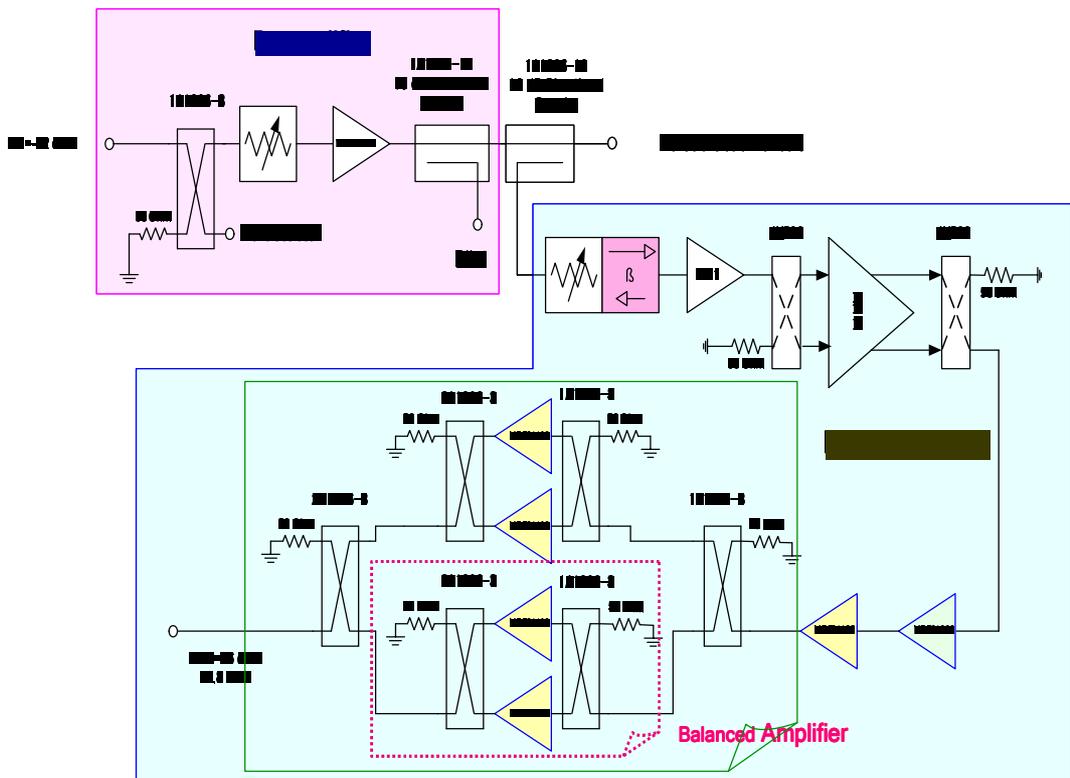
<그림 3-13> 1 MHz 채널간격의 2-톤 신호에 대한 IMD 특성

<Fig. 3-13> IMD characteristic according to 2-tone signal with 1 MHz channel spacing

3.3 주 증폭기의 구성

주 증폭기는 <그림 3-14>에서 보인 바와 같이 전치증폭기에는 MHL21336, 저전력 증폭기에는 AH-1 및 AH-11, 중간증폭기에는 MRF21060과 MRF21125, 종단전력 증폭기에는 MRF21080 2개를 평형 증폭기로 구성하고 다시 이것을 2조 병렬로 접속하여 40watt 출력이 나오도록 하였다.

<그림 3-14> 주 증폭기의 구성도



<Fig. 3-14> Diagram of main amplifier

3.3.1 저전력 증폭기 AH-1

저전력 증폭기로 사용된 AH-1은 표면 장착형 패키지로 구성되는 높은 다이 나믹(Dynamic) 범위의 증폭기로 동일한 바이어스 점에서 낮은 저 잡음 형상과 높은 IP3의 특성이 조합되어 있어 수신기 및 송신기에 적용하기에 매우 이상적이다.

AH-1 증폭기는 광대역 증폭기를 목표로 제작되었기 때문에 신뢰성이 높은 GaAs(Gallium Arsenide) 소자를 이용한 마이크로웨이브 모놀리식 직접회로(MMIC; Microwave Monolithic Intergrated Circuit) 기술을 사용하고 높은 선형성이 요구되는 곳에 적합하며 따라서 GSM, CDMA 및 W-CDMA와 같이 현재의 다양한 수요와 차세대 무선통신에 적용하기에 적합하다.

AH-1의 주파수 운용 범위를 살펴보면 250MHz ~ 3GHz의 광대역 특성을 가지고 있고 기타 사양은 다음 <표 3-6>과 같다.

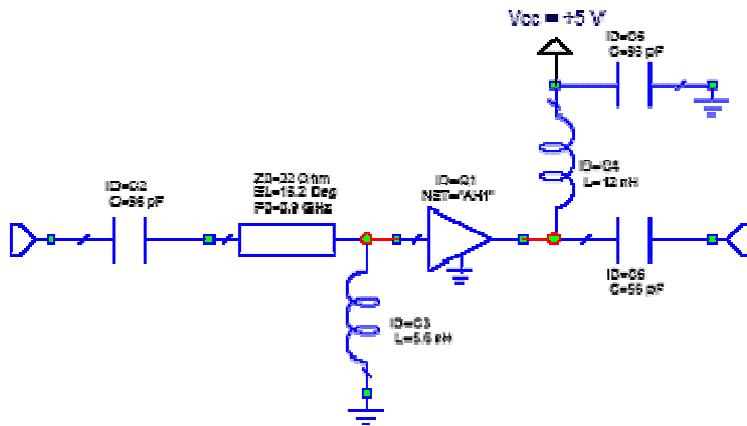
<표 3-6> AH-1 트랜지스터의 주요 사양

<Table 3-6> A chief characteristics of AH-1 transistor

주 파 수	900 MHz	1,900 MHz	2,140 MHz
S21 Magnitude	14.2dB	12.2dB	12.0dB
S11 Magnitude	-21.0dB	-14.0dB	-21.0dB
S22 Magnitude	-14.0dB	-13.0dB	-11.0dB
NF(Noise Figure)	2.2dB	2.9dB	2.9dB
출력 PI	21.7dBm	22dBm	22dBm
출력 IP3	42dBm	41dBm	40dBm
입력반사손실	8dB	8dB	8dB
출력반사손실	15dB	15dB	15dB

이는 공급 전압 5V에 소자 전류 150mA를 인가했을 때 나타나는 일반적인 특성이고 인접채널 전력비는 -45dBc로 측정되었으며 가장 큰 3차 상호변조 신호의 억압은 2:1의 규칙을 적용하여 3차 출력 IP의 계산에 사용된다. 또한 잡음 형상은 입력 반사 손실을 매칭함으로써 최적화 될 수 있다.

제작된 AH-1 단위 증폭기는 <그림 3-15>와 같다.



<그림 3-15> AH-1 단위 증폭기 회로도

<Fig. 3-15> AH-1 unit amplifier circuit diagram

3.3.2 저전력 증폭기 AH-11

저전력 증폭기로 사용된 AH-11은 디지털 통신 시스템용으로 사용되는 높은 선형성을 가진 증폭기이다. 이 소자는 AH1의 높은 선형성의 장점에 두 개의 내부적으로 매칭된 증폭기를 조합함으로써 높은 전력 레벨의 부가적인 특성까지 확장시킨다.

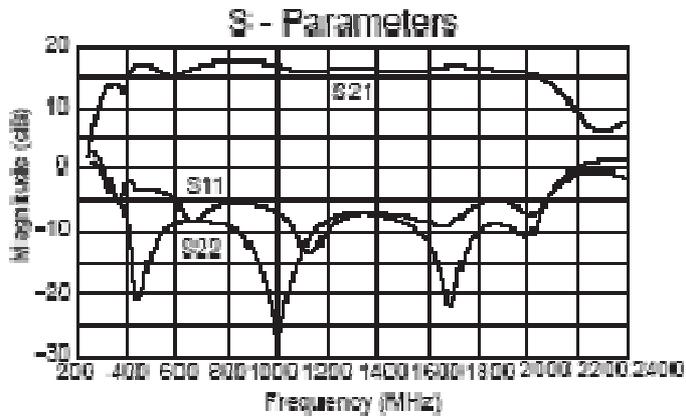
이러한 이중 증폭기 구성은 평형 증폭기, 푸쉬풀 증폭기 등의 설계에 가장 적

합하다. 이 증폭기는 선형 증폭기의 주 증폭기 설계에서 다이버시티 수신 시스템의 각 단계에 단일 종단 법으로 사용될 수 있다는 특징을 잘 활용하였다.

<표 3-7> AH-11 트랜지스터의 주요 사양

<Table 3-7> A chief characteristics of AH-11 transistor

주 파 수	600MHz	900MHz	1,900MHz	2,100MHz
S21 Magnitude	10.7dB	12.2dB	11.2dB	10.6dB
S11 Magnitude	-10.0dB	-10.0dB	-13.5dB	-10.0dB
S22 Magnitude	-12.7dB	-18.2dB	-10.0dB	-10.0dB
NF(Noise Figure)	7.62dB	4.13dB	4.16dB	5.55dB
출력 IP2	63dBm	65dBm	65dBm	63dBm
출력 IP3	42dBm	46dBm	44dBm	45dBm



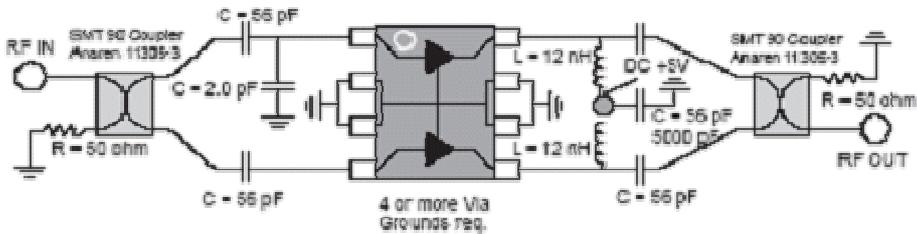
<그림 3-16> AH-11 트랜지스터의 S-변수

<Fig. 3-16> A S-parameters of AH-11 transistor

제작된 AH-11의 단위 증폭기는 <그림 3-17>과 같다.

이 증폭기는 완성도가 높고 신뢰성이 높은 GaAs MESFET 기술이 채택되어 낮은 잡음 특성을 달성하면서도 선형성을 최대화시킨다[17],[18].

AH-11은 평형 증폭기로 사용될 경우 600MHz ~ 2,100MHz 대역에서 다음 <표 3-7>과 <그림 3-16>과 같은 특성을 나타낸다. 바이어스 전압은 V_{ds} 에 5.0V, I_d 에 300mA가 인가되었다.



<그림 3-17> AH-11 단위 증폭기 회로도

<Fig. 3-17> AH-11 unit amplifier circuit diagram

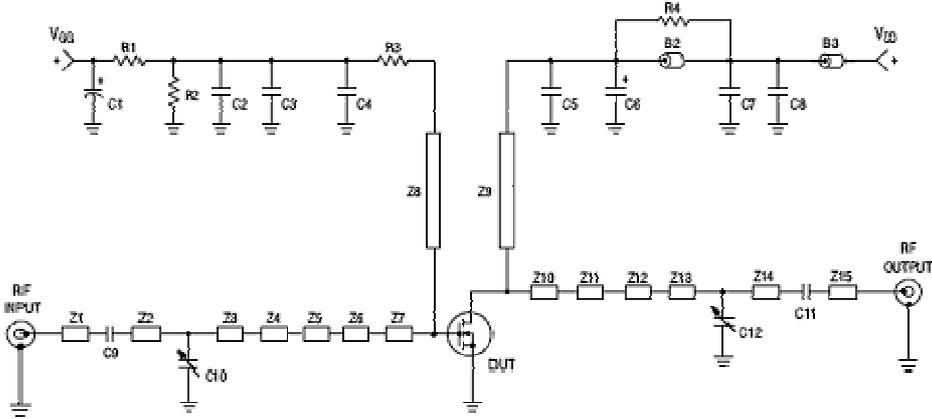
3.3.3 중간 증폭기 MRF21060

<표 3-8> MRF21060 트랜지스터의 주요 사양

<Table 3-8> A chief characteristics of MRF21060 transistor

항 목	규 격	비 고
출력 전력	6W	
드레인 효율(η)	15%	
증폭기 이득(G_{PS})	12.5dB	
3차 상호변조 왜곡(IM3)	-30dBc	
입력반사손실(IRL)	-12dB	

제작된 MRF21060 증폭기는 <그림 3-18>과 같고 MRF21060의 S-파라미터와 IMD3의 측정치는 <그림 3-19>, <그림 3-20>에, 그리고 드레인 효율 등은 <그림 3-21>에 나타내었다.

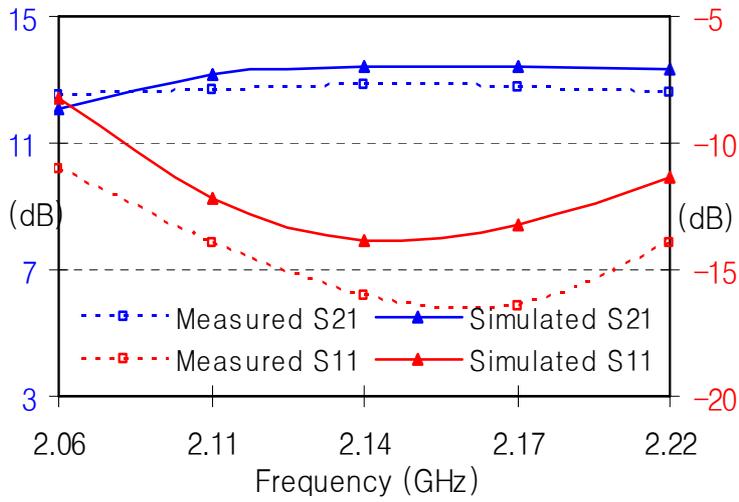


- | | |
|-----------------------------|----------------------------|
| Z1 = 0.743"×0.080" 마이크로스트립, | Z2 = 0.070"×0.100" 마이크로스트립 |
| Z3 = 0.180"×0.100" 마이크로스트립, | Z4 = 0.152"×0.293" 마이크로스트립 |
| Z5 = 0.216"×0.100" 마이크로스트립, | Z6 = 0.114"×0.410" 마이크로스트립 |
| Z7 = 0.626"×0.872" 마이크로스트립, | Z8 = 1.050"×0.050" 마이크로스트립 |
| Z9 = 0.830"×0.050" 마이크로스트립, | Z10= 0.596"×1.040" 마이크로스트립 |
| Z11= 0.186"×0.315" 마이크로스트립, | Z12= 0.097"×0.525" 마이크로스트립 |
| Z13= 0.353"×0.138" 마이크로스트립, | Z14= 0.112"×0.080" 마이크로스트립 |
| Z15= 0.722"×0.080" 마이크로스트립, | |

<그림 3-18> MRF21060 단위 증폭기 회로도

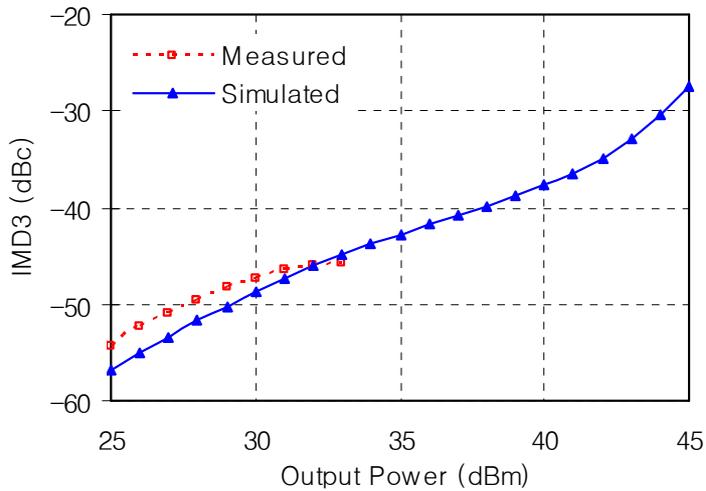
<Fig. 3-18> MRF21060 unit amplifier circuit diagram

MRF-21060은 원래 2.1GHz ~ 2.2GHz의 주파수를 사용하는 PCS 기지국용으로 설계되었으며 광대역 코드분할 다중화접속 방식, 협대역 코드분할 다중화접속 방식, 시분할 다중화접속 방식 및 다중 캐리어 증폭기용으로도 사용할 수 있다.



<그림 3-19> MRF21060의 S 파라미터

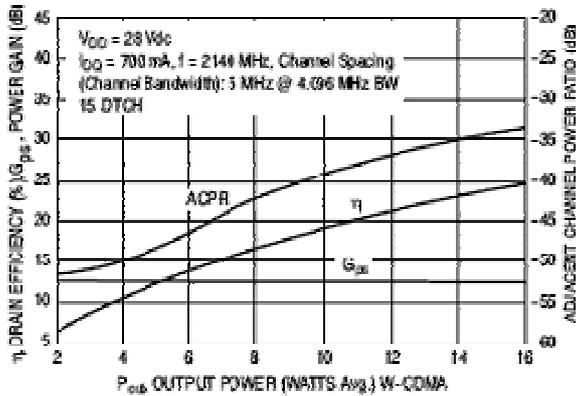
<Fig. 3-19> S-Parameter of MRF21060



<그림 3-20> MRF21060의 IMD3

<Fig. 3-20> IMD3 of MRF21060

MRF21060의 광대역 CDMA 특성을 살펴보면 V_{DD} 에 28V, I_{DQ} 에 700mA를 인가하고 2,140MHz 신호에 대하여 5MHz 채널 간격에 대해 구해진 이득, 인접채널 누설전력, 드레인 효율을 살펴보면 <표 3-8>과 같다.



<그림 3-21> 출력 전력에 대한 ACPR, IM3, 이득, 드레인 효율
 <Fig. 3-21> ACPR, IM3, gain, drain efficiency versus output power

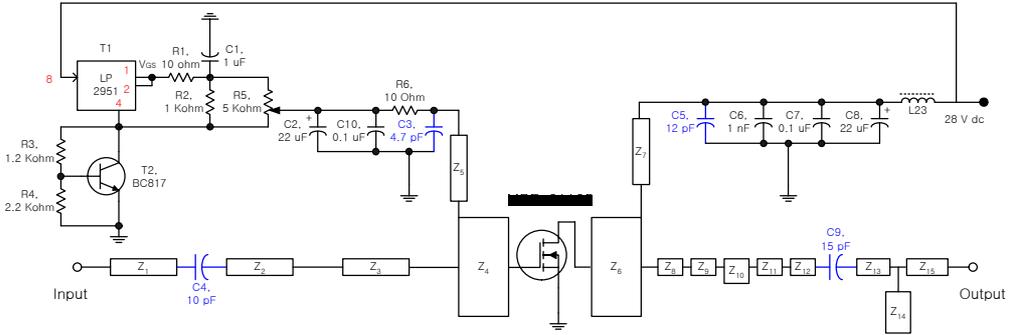
3.3.4 중간 증폭기 - MRF21125

이 회로는 종단전력 증폭기 MRF21180에 입력전력을 공급하기 위한 중간증폭회로로서 회로 구성은 <그림 3-22>에 도시하였고 특성의 측정치는 <그림 3-23>, <그림 3-24>에 보였다.

3.4 오차 증폭기

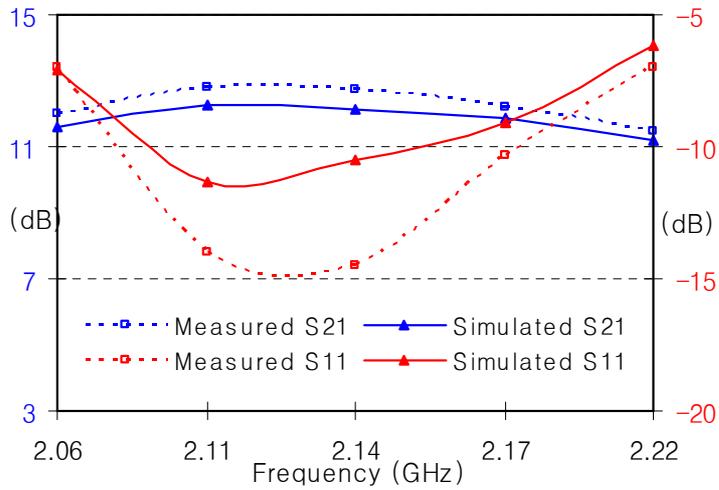
오차 증폭기의 회로는 <그림 3-25>에 도시하였다. 주 증폭기의 최대전력 하에서 발생하는 상호변조왜곡신호를 상쇄시키기 위한 충분한 전력을 가급적 적은

왜곡으로 증폭하기 위해서는 A급 증폭을 해야 하므로 종단전력 증폭기에 허용 전력용량이 큰 MRF21125를 사용하였다.



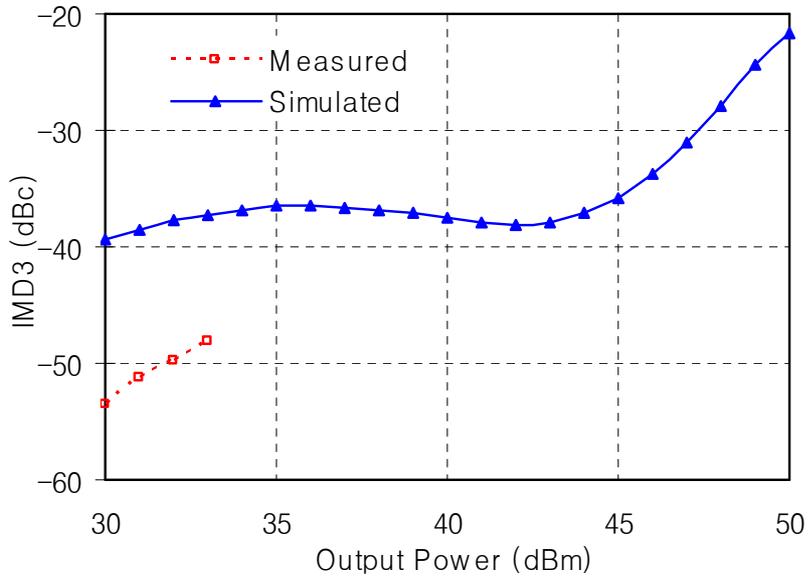
<그림 3-22> MRF21125의 증폭회로

<Fig. 3-22> Amplifier of MRF21125



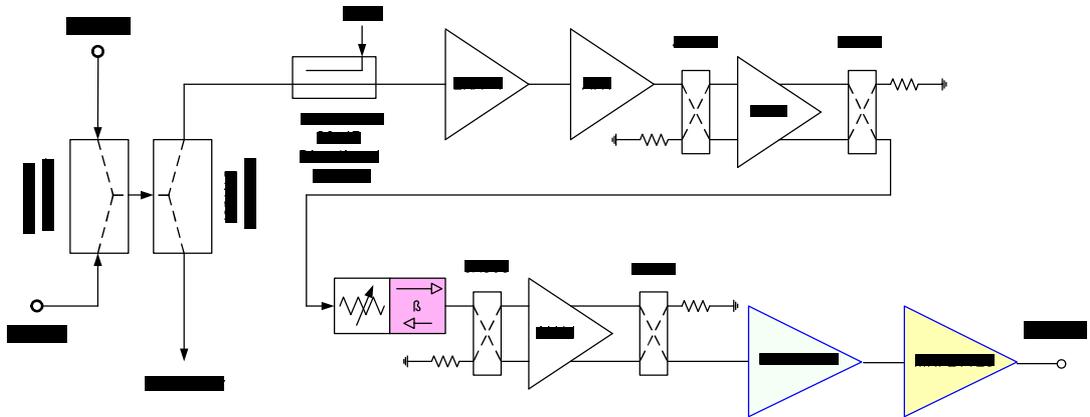
<그림 3-23> MRF21125의 S-파라미터

<Fig. 3-23> S-parameter of MRF21125



<그림 3-24> MRF21125의 IMD3

<Fig. 3-24> IMD3 of MRF21125



<그림 3-25> 오차 증폭기의 구성도

<Fig. 3-25> Diagram of error amplifier

3.5 선형성 개선을 위한 부가 회로

3.5.1 가변 감쇄기

제2장에서 살펴본 바와 같이 피드-포워드 시스템에서는 두 개의 신호 경로가 나누어지고 그 신호의 상쇄지수가 최대가 될 때, 가장 낮은 상호변조 왜곡 신호 성분을 포함하게 된다.

그리고 상쇄지수는 두 신호의 크기의 차에 해당하는 α 에 의해 영향을 받으므로 가변 감쇄기는 본 논문에서 구현하고자 하는 선형전력증폭기에서 제어기의 기능 중 매우 중요한 대상의 하나이다.

일반적으로 감쇄기는 고정형 감쇄기와 가변형 감쇄기로 크게 나누어 볼 수 있다. 여기서 고정형 감쇄기는 입력되는 신호의 세기를 원하는 크기로 조정하여 스펙트럼 분석기나 회로망 분석기 등의 최대 입력 레벨 이하로 떨어뜨려 계측기를 보호하는 기능과 회로를 보호하는 기능으로 자주 사용된다.

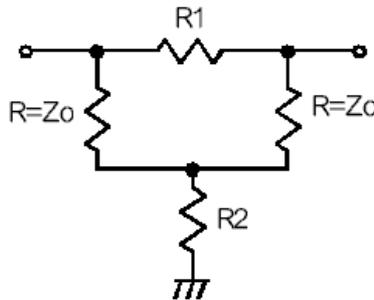
본 논문에서 구현한 가변형 감쇄기는 아날로그 형태의 가변 감쇄기로 자동 이득 조정(AGC; Automatic Gain Control) 시스템 또는 고전력 증폭기(High Power Amplifier) 등에서 상호변조 신호를 감쇄시키는 선형화기(Linearizer) 등에서 주로 사용되며 미세한 전력의 세기까지 제어할 수 있다는 장점이 있다.

또한 아날로그 형태의 가변 감쇄기는 투과형과 반사형으로 구분할 수 있다. 투과형은 일반적으로 감쇄량의 변화에 따른 위상 변화량이 크고 입출력 반사특성이 좋지 않은 반면 반사형 가변 감쇄기는 감쇄량에 따른 위상 변화량이 작으나 3dB 90° 하이브리드 커플러(Hybrid coupler)나 링 하이브리드 커플러(Ring hybrid coupler) 등 다양한 종류의 커플러를 사용해야 되므로 부피가 커진다는

단점을 가지고 있다.

이러한 가변 감쇄기는 가변 할 수 있는 감쇄량의 범위가 회로에서 요구되는 세기 변화량을 충족할 수 있는 범위의 가변 감쇄량을 가지지만 감쇄량이 범위가 가능한 한 적은 것이 보다 정확한 감쇄값을 제어할 수 있다는 측면에서 유리하다.

연속으로 가변 할 수 있는 감쇄기의 회로 구성을 살펴보면, 반도체 하나를 가변 가능한 저항소자로써 생각할 수 있고 3개의 저항소자를 사용하는 T형, π 형의 감쇄기 회로구조가 있을 수 있다. T형, π 형 이외에 더 적은 수의 반도체를 사용하여 만들 수 있는 Bridge-T형 감쇄기 회로가 있으며 이 회로의 구성도를 <그림 3-26>에 나타내었다.



<그림 3-26> Bridge-T형 감쇄기

<Fig. 3-26> Bridge-T type attenuator

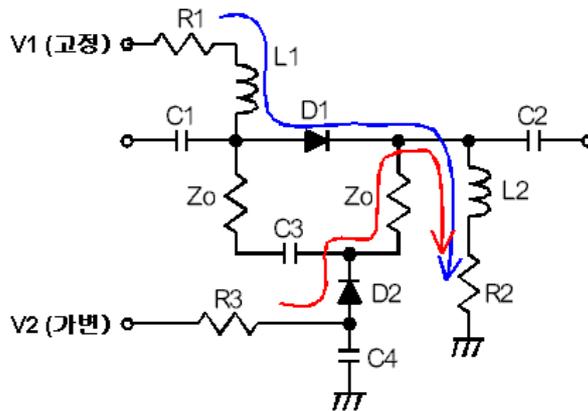
여기에 포함된 각 저항의 값들은 다음 식을 통해 구할 수 있다.

$$R1 = Z_0(10^{L/20} - 1) \tag{3-2}$$

$$R2 = \frac{Z_0}{10^{L/20} - 1} \tag{3-3}$$

핀 다이오드(Pin diode)를 이용한 Bridge-T형 가변 감쇄기의 회로 예를 <그림 3-27>에 나타내었다. 여기서 감쇄량을 작게 만들려면 D1의 전류를 크게 하고 D2의 전류를 작게 만들면 되고 반대로 감쇄량을 크게 하려면 D1의 전류를 작게, D2의 전류를 크게 해야 한다.

이 회로의 경우 D1, D2의 전류는 공통의 부하저항 R2를 통과하게 된다. V2를 크게 하여 D2의 전류를 증가시키면 R2에서 전압강하가 커지므로 D1의 전류가 감소하며, 반대로 V2를 작게 하면 D2의 전류는 줄어들게 되어 D1의 전류가 증가하게 된다. 이러한 동작을 위해서는 V2를 변화시키면서 D1, D2의 저항 값이 원하는 값이 되도록 R1 ~ R3 값을 결정해야 한다. 이 회로의 장점은 하나의 단자로 감쇄량 조절이 가능하다는 점으로 만약 R1과 R2가 큰 값이라면 (수 kΩ), 쇼크 인덕터(Choke inductor) L₁, L₂는 빼버려도 무관하다.



<그림 3-27> Bridge-T형 감쇄기 회로도

<Fig. 3-27> The circuit diagram of Bridge-T type attenuator

본 논문에서는 선형 전력 증폭기의 특성이 위상 변화에 의해 감쇄지수에 크게 영향을 미치게 됨으로 위상 변화가 적은 반도체형 가변 감쇄기를 사용하였다.

우선 연속적으로 가변 할 수 있는 반도체형 감쇄기를 구현하기 위해서는, DC 값으로 저항값을 조절할 수 있는 반도체가 필요하며 PIN 다이오드의 경우 순방향 저항값은 DC 바이어스 전류에 의해 조절이 가능하며, MESFET의 경우 드레인-소스 단자간 저항성분이 게이트 바이어스 전압에 의해 조절 가능하다. 이러한 특징들로 인해 위의 두 가지의 반도체 소자가 가변 감쇄기에 많이 이용되고 있다.

본 논문에서는 GaAs MESFET 형태의 미니 회로(Mini Circuit) RVA-2500을 사용하였다. RVA-2500의 1.5GHz ~ 2.5GHz 대역에서 나타나는 전기적인 특성을 살펴보면 <표 3-9>와 같다.

<표 3-9> 전압 가변 감쇄기의 주요 사양

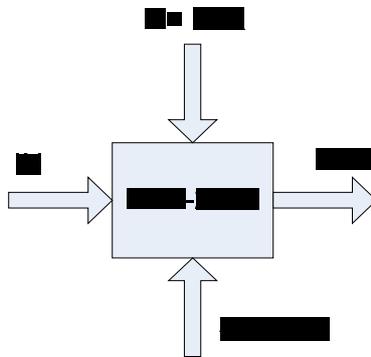
<Table 3-9> The characteristics of voltage variable attenuator

주 과 수	사 양	비 고
삽입손실	4.0dB	
감쇄	37dB	
IP3	+44dBm	
반사손실	20dB	
임피던스	50Ω	

이 소자는 10MHz ~ 2500MHz의 광대역 특성을 가지고 있고 3차 IP 특성은 +43 dBm, 1.5GHz에서 40dB 감쇄 특성을 나타낸다. 또한 감쇄 범위 이상에서 위상 변화가 적고 입출력 단자에서 좋은 전압 정재파비 특성을 나타낼 뿐 아니라 <그림 3-28>와 같이 외부 바이어스나 RF 매칭 회로가 필요 없다는 특징을 가지고 있다.

3.5.2 가변 위상 변환기

위상편이(Phase shift)란, 위상을 이동시킨다는 의미로 신호의 위상을 전기적 혹은 기계적인 방법으로 변화시키는 방법을 말한다. 이러한 기능을 수행하는 가변 위상 변환기는 위상의 미세한 조절이 가능하도록 구성하는 회로이다.

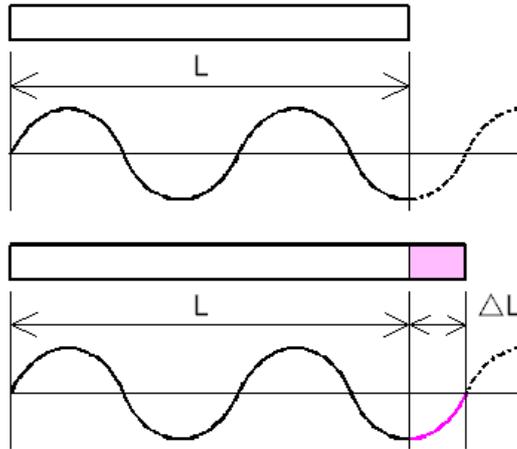


<그림 3-28> RVA-2500의 제어 및 매칭

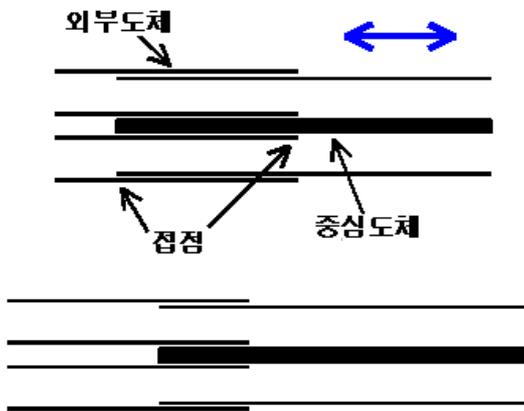
<Fig 3-28> The control and matching of RVA-2500

위상을 바꾸는 제일 간단한 방법은, 신호가 통과하는 전송선로의 물리적인 길이를 바꾸는 방법으로 물리적 길이가 바뀌면 그 선로를 통과한 신호의 위상이 당연히 변화하게 되며, 이것을 <그림 3-29>에 나타내었다.

<그림 3-30>는 기계적으로 선로 길이를 바꾸는 방법을 나타낸 것이며 두 개의 금속 동축 선로가 겹쳐진 구조에서, 한쪽의 동축 파이프를 넣었다 빼었다 하면서 신축시키면 위상을 자유롭게 바꿀 수가 있다. 이러한 기계식 방법은 손실을 적게 하면서 연속적으로 위상을 손실을 적게 하면서 바꿀 수 있다는 장점이 있으나, 기계적이라서 위상을 바꾸는데 시간이 많이 걸리고 부피가 크다는 단점이 있다.



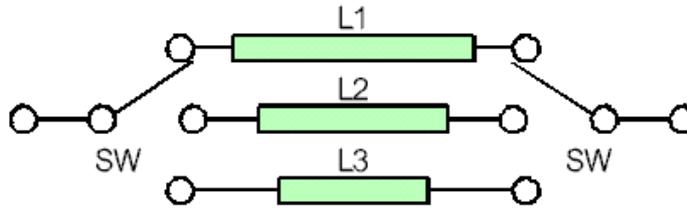
<그림 3-29> 위상 편이
 <Fig. 3-29> Phase Shift



<그림 3-30> 기계식 위상편이기
 <Fig. 3-30> Mechanical type phase shifter

전기적으로 길이를 바꾸는 위상편이 방법은 그림 <3-31>에 나타내었다. 길이가 다른 복수의 전송선로를 배치하고, 스위치로 경로를 바꾸면 신호 경로의 위상을 바꿀 수가 있는 방법으로 소형화가 가능하다. 그러나 위상변환 시간이

매우 짧다는 장점이 있고 연속적인 위상 값의 변화가 불가능하다는 단점이 있다.



<그림 3-31> 선로 변환방식 위상편이기

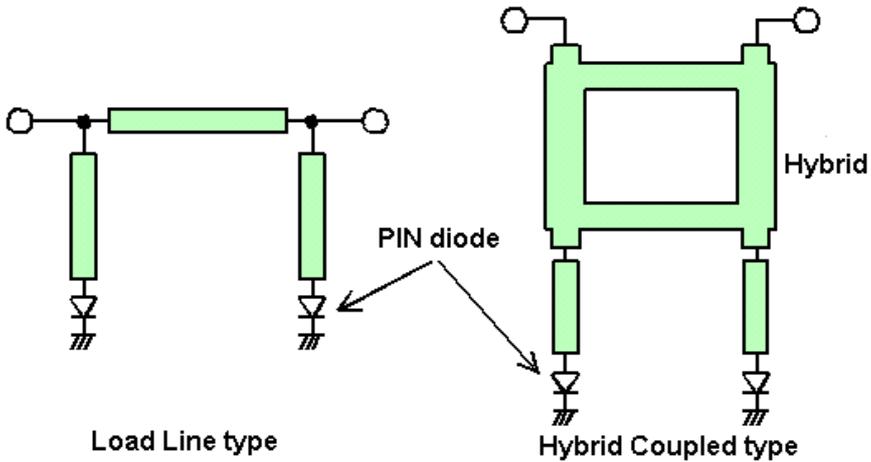
<Fig. 3-31> A phase shifter using the alteration of lines

디지털 방식의 위상편이기로 자주 애용되는 것은 로디드 라인(Loaded Line) 형태, 하이브리드 결합 형태의 2종류가 있다. 전자는 전송 선로 형태의 위상 변환기의 한 종류로 위상 편이량이 45° 이하인 경우에, 그리고 후자는 위상 변화량 그 이상일 때 주로 이용되는데 <그림 3-32>에 그 개략적인 회로구성을 나타내었다.

이것들은 PIN 다이오드를 개폐(On/Off)시켰을 때의 리액턴스 변화를 이용하여 위상을 가변 시킨다. 전기적으로 위상을 바꾸는 방법에는 이외에도, 반사에 의한 위상의 변화를 이용하는 방식과 두 신호의 합성에 의한 방식이 있을 수 있다. Pin 다이오드 위상 변환기는 반사형 회로를 주로 이용하며 이 때 하이브리드 결합형이 가장 많이 사용된다.

반사형 위상 변환기의 원리는 빛의 굴절과 같이 전기 신호에서도 임피던스가 변화하는 지점에서 반사가 일어나는 것을 이용하는 것이다. 그래서 신호경로 중간에서 임피던스의 차이가 발생하도록 만든다면, 신호의 반사가 발생하면서 위

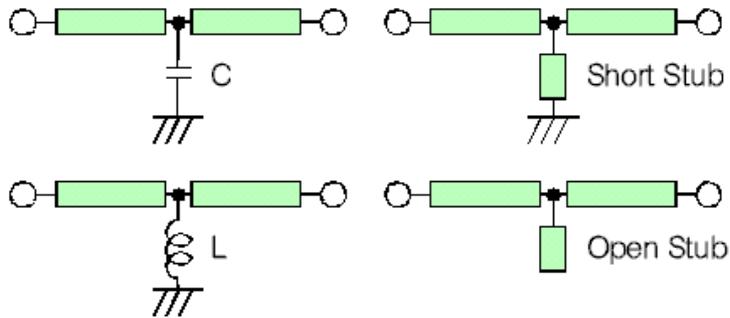
상이 변하게 되는데 <그림 3-33>과 같이 특성 임피던스 50Ω의 전송선로 중간에 다양한 소자를 연결하여 임의적인 반사를 일으킨 경우, 각 소자의 특성에 대한 위상 특성이 다르게 나타난다.



<그림 3-32> Loaded Line형, 하이브리드 결합형 위상 편이기
 <Fig. 3-32> Loaded Line type & hybrid coupled type phase shifters

먼저, 전송선로에 아무것도 연결되어 있지 않다면 전송선로의 길이에 해당하는 위상차가 나타날 것이다. 캐패시터를 연결할 경우에는 캐패시터의 용량이 커질수록 위상 변화량이 커지고 삽입손실 또한 커지게 된다. 인덕터를 연결할 경우, L값을 작게 할수록 위상 변화량은 적어지고 삽입손실은 증가하게 된다. 이는 짧은 스텐브(Stub)를 연결할 경우에도 마찬가지로 스텐브의 길이를 길게 할수록 위상 변화량은 적어지고 삽입손실은 증가한다.

반면 개방형 스텐브를 연결할 경우, 스텐브의 길이를 길게 할수록 위상 변화량, 삽입손실 모두 커진다.



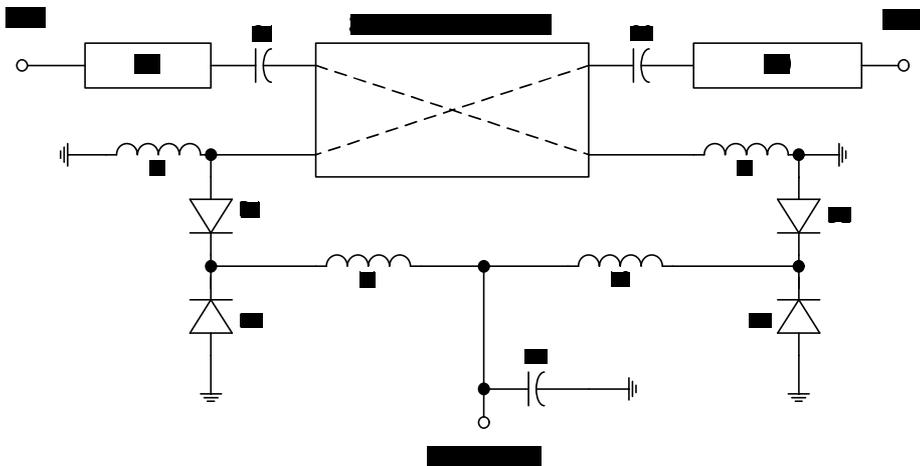
<그림 3-33> 전송 선로 중간에 다양한 소자를 연결한 위상 편이기
 <Fig. 3-33> The phase shifters with a variable device

이상의 사실을 통해 전송선로 중간에 연결한 소자 값에 따라 삽입위상을 조절할 수 있다는 점을 알 수 있었고 선로중간에 소자를 연결하여, 임피던스 매칭된 상태를 임의로 약간 조정하면서 반사된 신호들을 이용해 위상의 변화를 피하는 것이다. 그러나 주의할 점은 위상 변화를 통해 삽입손실을 악화시킬 수 있다는 점인데 전송선로에 L, C, 스텐브와 같은 리액턴스 소자를 연결한 경우, 부정합에 의한 반사로 인해 손실이 커지고 입출력 임피던스 특성도 악화될 수 있다는 것이다.

실제 주 증폭기의 설계에서도 반사형 아날로그 위상 변환기가 사용되었으며 여기에는 바랙터 다이오드(Varactor diode)를 중단시킨 다음 3dB 하이브리드 결합기로 연결시킨 상태에서 바랙터 다이오드의 반사 특성을 이용하였다. 이러한 반사형 위상 변환기는 전압 조정시 가능한 한 낮은 삽입손실을 유지하면서 원하는 위상 변환기의 응답을 이룰 수 있다[19].

<그림 3-34>은 실제 사용된 가변 위상 변환기의 회로도 이다. 3dB 방향성 결

합기를 이용한 반사형 구조로 외부 전압 인가에 의해 바랙터 다이오드의 내부 캐패시턴스의 변화량을 이용한 위상 변환기이다. 위상 변화를 시뮬레이션한 결과 2.11GHz ~ 2.17GHz 대역에서 외부 인가전압이 0V ~ 12V까지 변화할 때, 약 60°의 범위에서 위상이 선형적으로 변화함을 알 수 있었다. 이 때 투과하는 전파는 1dB 정도의 낮은 투과 손실을 가지고 있고 입력 단에서는 -11dB 이하, 출력 단에서는 -14dB 이하의 매우 낮은 반사 손실을 가지고 있어 3dB 커플러의 내부 손실을 제외하고는 손실 없이 신호의 위상을 선형적으로 제어할 수 있게 되었다.



<그림 3-34> 가변위상 편이기의 회로도

<Fig 3-34> The circuit diagram of a variable phase shifter

제 4 장 선형화 제어기

4.1 선형화 제어 시스템

제어 시스템은 전자·통신기술의 눈부신 발전과 더불어 이동통신 개인휴대 단말기 뿐만 아니라 각 기지국 및 중계기 등의 신뢰성과 선형성은 물론, 통화 품질의 향상 및 보장을 위해 아주 중요한 작용을 하는 요소이다. 그 중에서 특히 고출력 증폭기의 선형성을 보장하는 것은 더 없이 중요한 요소가 아닐 수 없다.

이러한 고출력 증폭기의 선형성을 보장하기 위해 사용하는 것이 선형 전력증폭기이며, 선형성 보장을 위해 사용하는 방법 중에서 피드-포워드 방법이 있다. 피드-포워드 방법은 고출력 증폭기의 입력 신호를 검출하여 상호 변조 왜곡 부분에 대한 역 보상 신호를 만들어서 최종 출력단에서 상쇄시켜 선형성을 확보하는 방법으로 선형화 제어기가 필수적으로 요구된다. 따라서, W-CDMA 선형전력 증폭기는 제어 시스템이 내장된 고출력 선형전력 증폭기라 할 수 있다.

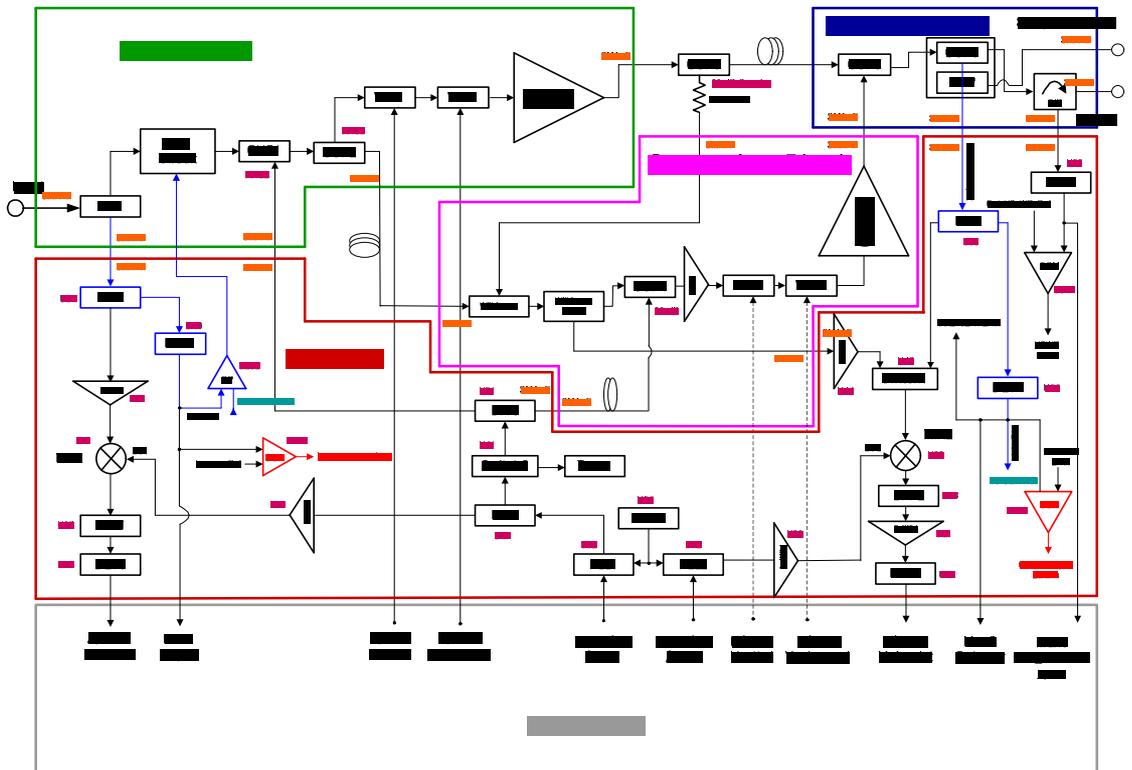
제어 시스템은 다음과 같은 사항들을 충분히 고려하여 설계해야만 한다.

- 1) 실시간 및 반응 : 최악의 상황에서도 정해진 시간에 동작되도록 함.
- 2) 소형 및 경량 : 기기의 특성에 맞도록 소형, 경량으로 설계해야 함.
- 3) 안전성 및 신뢰성 : 기기의 중요한 부분이므로 안정성 및 신뢰성을 보장해야 함.
- 4) 열악한 환경 : 열악한 환경 속에서도 최대한의 안정성을 보장해야 함.
- 5) 비용 : 저가의 비용으로 높은 효율을 발휘할 수 있도록 해야 함.

이상과 같은 점들을 충분히 고려하여 적용하고자 하는 시스템에서 최대의 성능을 발휘할 수 있는 최적의 알고리즘으로 선형화 제어기를 설계하였다.

피드-포워드 선형전력 증폭기는 선형화 루프가 최적의 상태를 유지하도록 선형화 루프 내의 가변감쇄기와 가변위상변환기를 제어해야 한다. W-CDMA 선형 전력증폭기의 기본 구성은 <그림 4-1>과 같다.

선형화 제어기는 첫 번째 선형화 루프와 두 번째 선형화 루프가 최적의 상태로 동작하도록 제어하는 중앙처리장치(CPU; Central Processor Unit)_1과 각종 정보의 수집 및 처리, 호스트와의 통신을 위한 CPU_2로 구성된다.



<그림 4-1> 선형 전력증폭기의 기본 구성도

<Fig. 4-1> Basic diagram of linear power amplifier

CPU_1은 시스템의 감시 및 제어에 대한 안정성과 선형화 루프 제어를 담당

하고 CPU_2는 CPU_1의 상태를 감시하도록 듀얼 프로세서(Dual processor)로 설계되었다.

각각의 CPU는 독립적으로 동작을 하지만 정보 수집 및 처리를 담당하는 CPU_2가 루프 제어를 담당하는 CPU_1의 상태를 감시하며, 각각의 CPU의 상태는 하나의 물리적인 포트(Port)로 호스트(Host)에 의한 감시가 가능하다. 또한 선형화 제어기는 프로그램 유지 보수를 위한 포트를 제공한다.

W-CDMA 선형전력 증폭기는 LPA Main Block(주 증폭기), Error Block(오차 증폭기), 전력 검출기, 선형화 제어기로 구성된다. LPA Main Block은 W-CDMA 선형 전력증폭기의 기본 블록으로 입력되는 RF 신호를 최소한의 왜곡으로 최대 증폭하는 것을 주기능으로 한다.

LPA Main Block은 크게 첫 번째 선형화 루프와 두 번째 선형화 루프로 구분이 가능하며, 각각은 RF 신호(원 입력 신호)의 제거 기능과 에리(왜곡 신호, IMD 신호)신호를 제거하는 기능을 가진다. 주 증폭단(MAU; Main Amplifier Unit)의 전단 부에는 첫 번째 선형화 루프의 위상과 크기를 제어하기 위한 가변 감쇄기와 가변위상변환기가 실장 되어 있고, 오차 증폭단(CAU; Correction Amplifier Unit) 전단 부에도 두 번째 선형화 루프의 위상과 크기를 제어하기 위한 가변감쇄기와 가변위상변환기가 실장 되어 있다. 각각의 선형화 루프에는 선형화 루프의 지연 시간을 일치시키기 위한 지연선로를 포함하고 있다.

전력 검출기(Detector)는 LPA Main Block의 동작상태 및 입력 신호의 위치(주파수), 출력 신호 세기 및 반사 신호 세기 등을 측정하기 위한 수단을 제공한다. 전력 검출기는 LPA Main Block의 첫 번째 전력분배기(DIV1)로부터 입력되는 신호는 선형화 제어기로부터 PLL의 설정 주파수 정보를 인가 받은 후, PLL

의 설정 주파수에 따른 입력 신호의 세기를 측정할 수 있게 한다. CPU_1은 이러한 PLL의 Data, Enable, Clock을 제어하여 원하는 파일럿 주파수를 생성하도록 한다.

전력 검출기 내의 전력분배기(DIV 6)는 LPA Main Block에 파일럿 신호를 첫 번째 루프(CUP1)와 두 번째 루프(CUP4)에 제공하는 기능을 한다. 전력 검출기 내의 PLL을 구동하기 위한 기준 신호발생기는 전력 검출기 내에 위치한다. 각 루프의 동작 상태는 파일럿 신호의 크기를 측정함으로써 수행되며, 각 루프의 동작 상태를 감시하기 위한 신호는 LPA Main Block 내의 전력분배기(DIV3)와 전력 결합기(CUP6)로부터 제공 받는다. 전력 검출기 내의 DET4와 DET5는 각각 출력 신호와 출력 포트에서 반사 신호의 크기를 검출하는 기능을 제공한다.

선형화 제어기는 LPA Main Block내의 선형화 제어 대상인 가변감쇄기와 가변위상변환기를 제어하는 기능을 제공한다. 또한 선형화 제어기는 전력 검출기 내의 PLL의 주파수 설정을 위한 데이터를 제공하고, 전력 검출기로부터 제공받은 입력 신호의 크기 정보로부터 입력 신호의 위치와 왜곡 신호의 위치를 계산하고, 검출된 출력 신호의 크기 및 출력 포트에서의 반사 신호 세기에 대한 정보를 인가 받을 수도 있다.

본 선형화 제어기를 위해서는 아래와 같은 성능을 만족할 수 있는 프로세서가 필요하다.

- 1) 8 Bit 연산이 가능 해야 함.
- 2) 메모리는 최소 64k Byte 이상.
- 3) 분해능 12 bits 이상, 입력신호범위가 0 ~ 5 V인 A/D 변환기 3개 이상 내장.

- 4) 분해능 12 bits 이상, 입력신호범위가 0 ~ 12 V인 D/A 변환기 4개 이상 내장.
- 5) 최적 제어 알고리즘의 1 Cycle 처리속도는 최소 20 msec.
- 6) 최적 제어치 안정화 소요 시간은 최소 50 Cycle 이내.
- 7) 2100 ~ 2180MHz 주파수 범위의 PLL 2개를 동시 구동 가능 해야 함.

따라서, 선형전력 증폭기를 위해 필요한 선형화 제어기 설계에 있어서 핵심인 CPU, 즉 마이크로 컨트롤러(Micro controller)는 Atmel사의 ATMEGA163을 선택 하였다.

ATMEGA163은 16K Bytes의 프로그램 가능한 플래쉬 메모리(Flash memory)를 내장한, 고성능 저전력 8-Bit 마이크로 컨트롤러이며 이것의 주요 기능 및 사양은 아래와 같다.

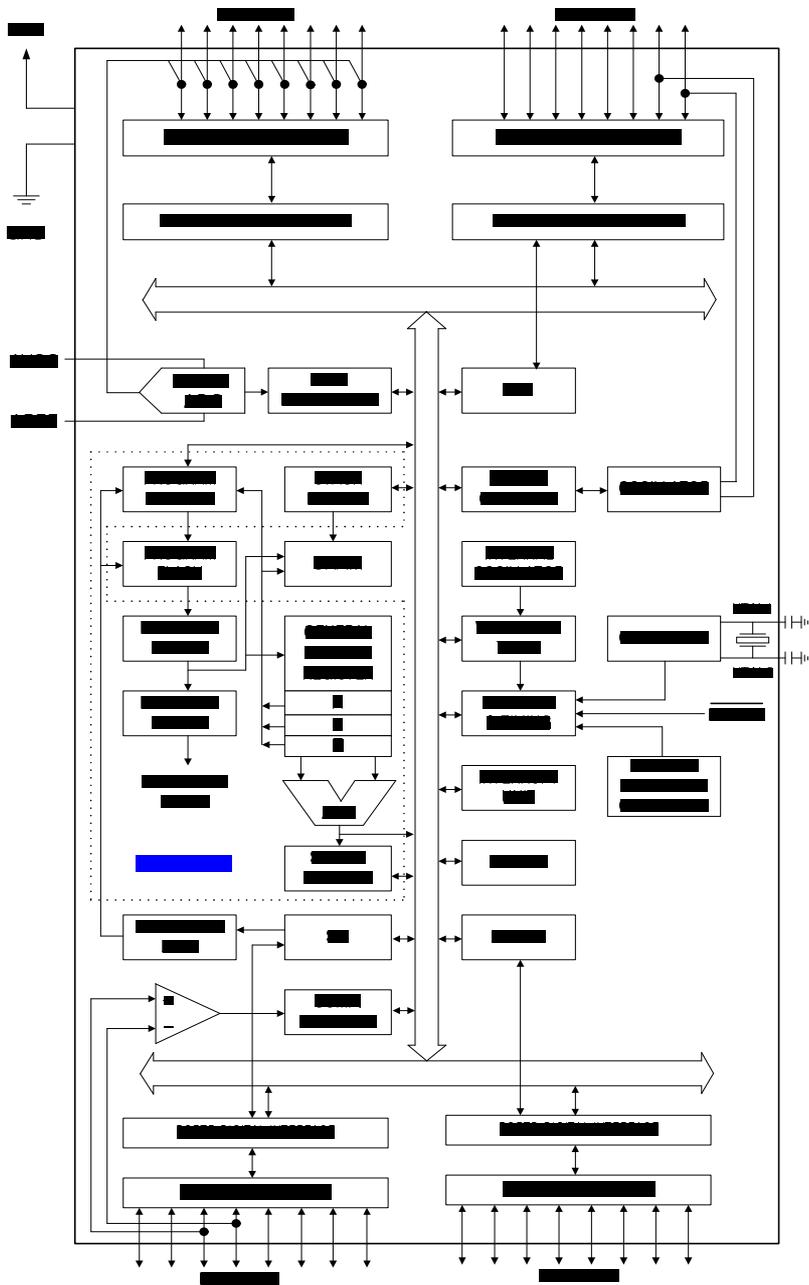
1) RISC Architecture

- (1) 32 x 8 GPWR
- (2) 16MIPS @ 16MHz
- (3) 2 cycle Multiplier

2) Nonvolatile Program and Data Memories

- (1) 16 K Bytes Self-Programmable Flash
- (2) 512 Bytes EEPROM
- (3) 1K Byte 내부 SRAM
- (4) 소프트웨어 보안을 위한 Programming Lock

3) JTAG(IEEE std. 1149.1 Compliant) Interface



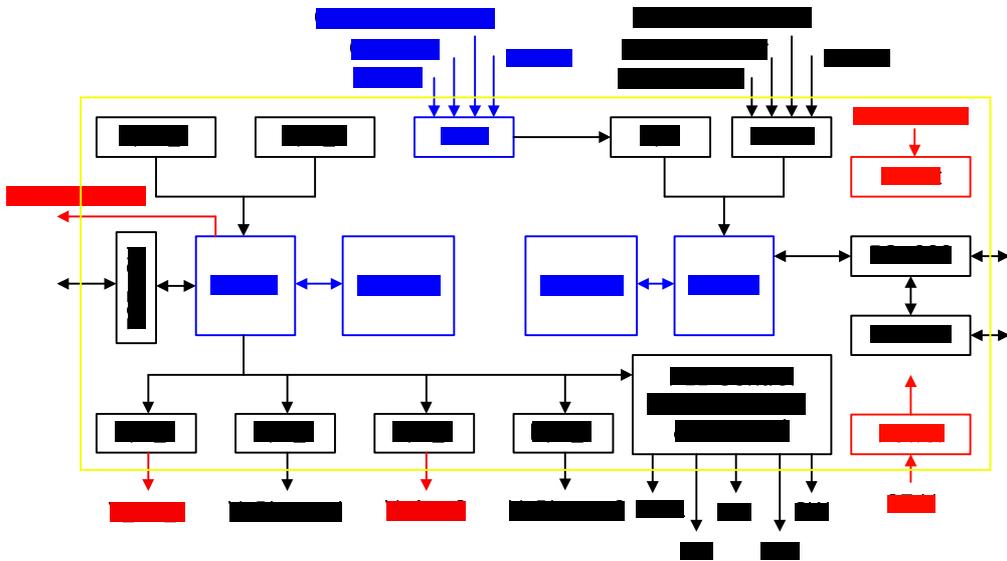
<그림 4-2> ATMEGA163의 내부 구성도

<Fig. 4-2> Internal block diagram of ATMEGA163

4) 병렬 기능

- (1) Two 8 Bit Timer/Counters
- (2) One 16 Bit Timer/Counter
- (3) RTC
- (4) Four PWM Channels
- (5) 8 Channel, 10 Bit ADC
- (6) Two wire Serial Interface
- (7) Serial USART
- (8) Master/Slave SPI Serial Interface

5) 32 Programmable I/O Lines



<그림 4-3> 선형화 제어기의 기본 구성도

<Fig. 4-3> Basic diagram of controller for linearization

<그림 4-2>는 ATMEGA163의 내부 구성도이다.

이상과 같이 Dual Processor, D/A, A/D, 메모리부, 전원부 및 외부 연동부를 가지는 선형화 제어기를 구성 하였다.

<그림 4-3>은 선형화 제어기의 기본 구성도를 보여준다.

선형화 제어기는 전력 검출기로부터 제공되는 파일렛 신호의 크기에 따라서 선형화 루프 내의 각 경로의 이득 및 위상을 조절함으로써 각각의 선형화 루프를 최적의 상태로 유지하는 기능을 주기능으로 한다.

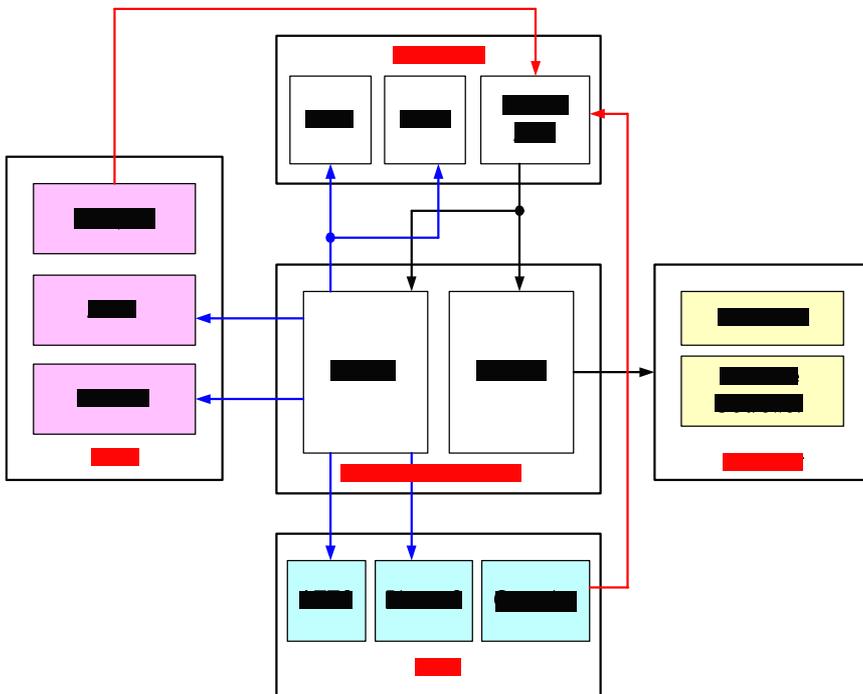
<그림 4-4>는 선형화 제어기를 중심으로 한 시스템 구성도이며, 여기서 선형화 제어기는 상위 호스트와 연동되어 선형화 제어기의 상태뿐만 아니라 선형전력 증폭기 전체의 상태를 감시하고 보고하는 기능을 제공한다. 또한 선형화 제어기는 선형화 제어기에 필요한 프로그램의 유지 보수를 위한 포트(RS-232)를 제공한다. 선형화 제어기의 주 기능은 다음과 같다.

- 1) 제어 알고리즘을 통한 선형화 루프 제어 기능
- 2) 선형증폭기의 상태 감시 및 보고 기능
- 3) 프로그램 유지 보수를 위한 외부 인터페이스 제공

선형화 제어기는 2개의 CPU를 실장하고 있으며, 각각의 CPU는 다음과 같은 기능을 분담한다.

- 1) 선형화 루프 제어용 CPU(CPU_1) : 인가되는 RF 신호를 최소의 왜곡으로 최대 증폭을 하기 위한 루프 제어 기능을 담당
- 2) 선형증폭기 상태의 감시 및 보고를 위한 CPU(CPU_2) : 선형전력 증폭기의 출력 전력(아날로그 출력 감시 및 일정 이득 유지 기능), 반사 전력

- (alarm), 정상 동작 상태 여부 등의 감시 및 보고.
- 3) 원격 On/Off : 물리적인 신호 선을 통한 외부 인터페이스.
 - 4) 선형증폭기의 출력 전력 감시 : Over Power Alarm은 물리적인 신호 선을 통한 외부 인터페이스(또는 RS - 485), 출력 전력 감시에 따른 일정 이득을 얻기 위한 선형증폭기 초단에 위치한 가변감쇄기 조절 기능.
 - 5) 반사 전력 : 물리적인 신호 선을 통한 전압 정재파비 Alarm 보고 기능.
 - 6) LPA 동작 상태 보고 : 제어기로부터 물리적인 신호 선을 통한 보고 기능.
 - 7) Sample 기능 : 선형전력 증폭기 정상 동작 중에 송신 표본 신호 제공.



<그림 4-4> 시스템 구성도

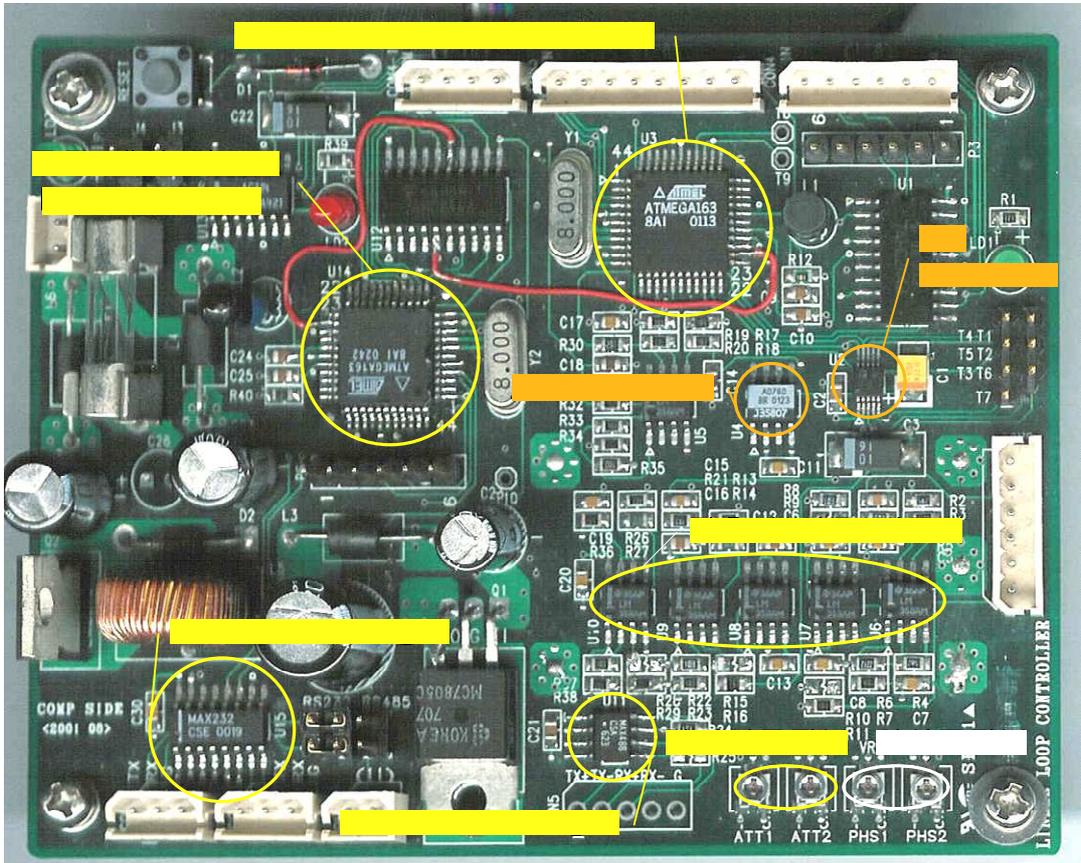
<Fig. 4-4> System diagram

선형화 제어기의 주 기능을 지원하기 위한 부가 기능

- 1) CPU reset 기능(push 버튼).
- 2) CPU가 적절히 동작하고 있음을 표시(Green LED).
- 3) 제어기에 전원이 인가되고 있음을 표시(Green LED).
- 4) 선형화 제어기에 필요한 전원 생성 기능.
- 5) A/D 기능 : 전력 검출기의 출력을 디지털로 변환.
- 6) D/A 기능 : 선형화 루프를 제어용 디지털 신호를 아날로그 전압으로 변환.
- 7) Mux 기능 : 빈번한 검출이 필요하지 않은 전력 검출기의 출력(DET1_out, DET4_out, DET5_out) 선택으로 인식하기 위한 수단.
- 8) 알람 버퍼링 : 전력 검출기에서 출력하는 선형증폭기의 상태 경보
- 9) (In_over_pwr_alarm, Out_over_pwr_alarm 및 VSWR alarm)를 수집.
- 10) 주파수 합성기 제어 : 전력 검출기 내부에 위치하는 주파수합성기의 주파수 설정을 위해서 필요한 data, clock 및 enable 신호 제공 기능.
- 11) 스위치 제어 : 전력 검출기 내에 위치하는 스위치 제어 기능.
- 12) 메모리 기능 : 제어기에 필요한 프로그램과 데이터 저장 기능.
- 13) 통신 포트(RS-232) 제어기와 제어기에 필요한 프로그램을 down 로딩 하거나 제어기의 동작 상태를 모니터링 하기 위한 수단 제공.
- 14) 통신 포트(RS-485) : 외부 호스트와의 통신을 위한 수단 제공.

선형화 제어기의 회로도 및 검출부의 회로는 부록에 첨부하였다.

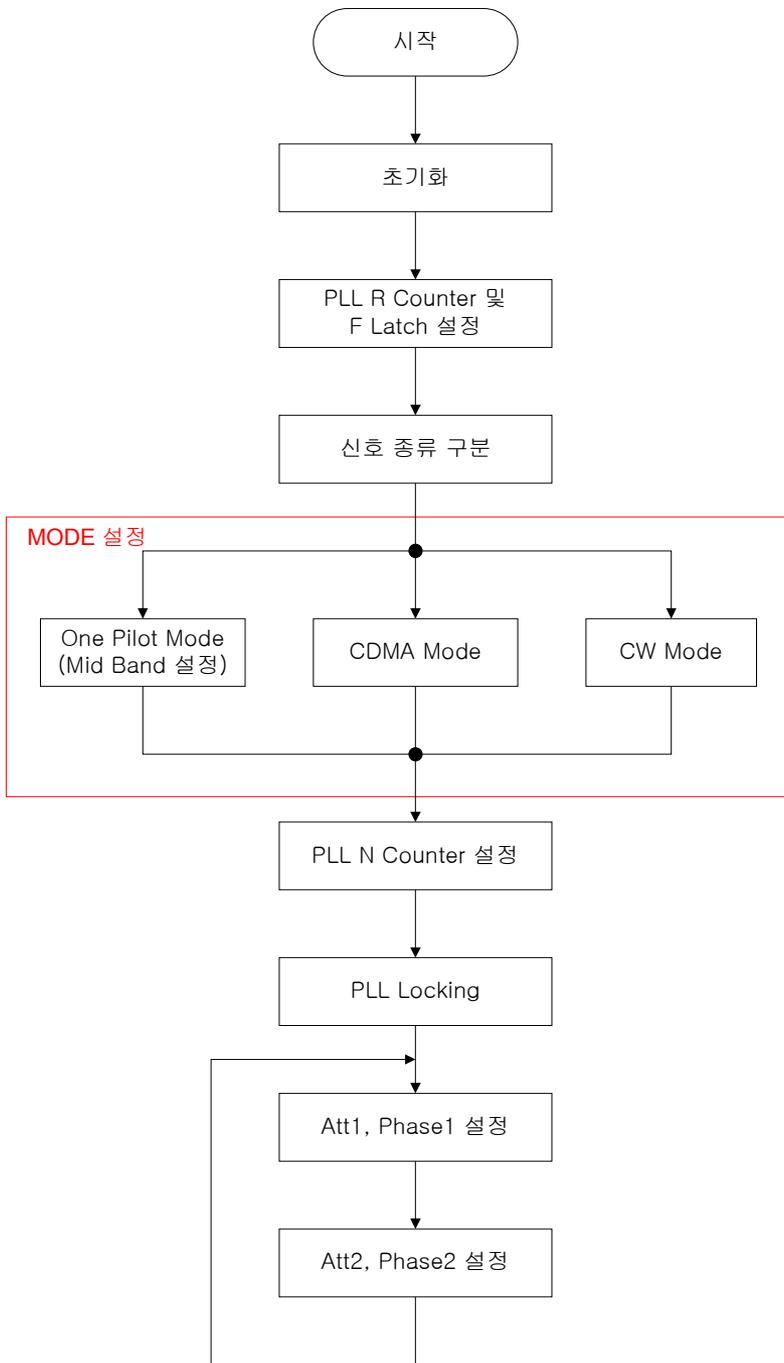
<그림 4-5>는 실제 제작된 선형화 제어기이다. 본 제어기는 4층 기판으로 제작되었으며, 제어기 전체 크기는 80 x 105 mm 이다.



<그림 4-5> 실제 제작된 선형화 제어기 기판

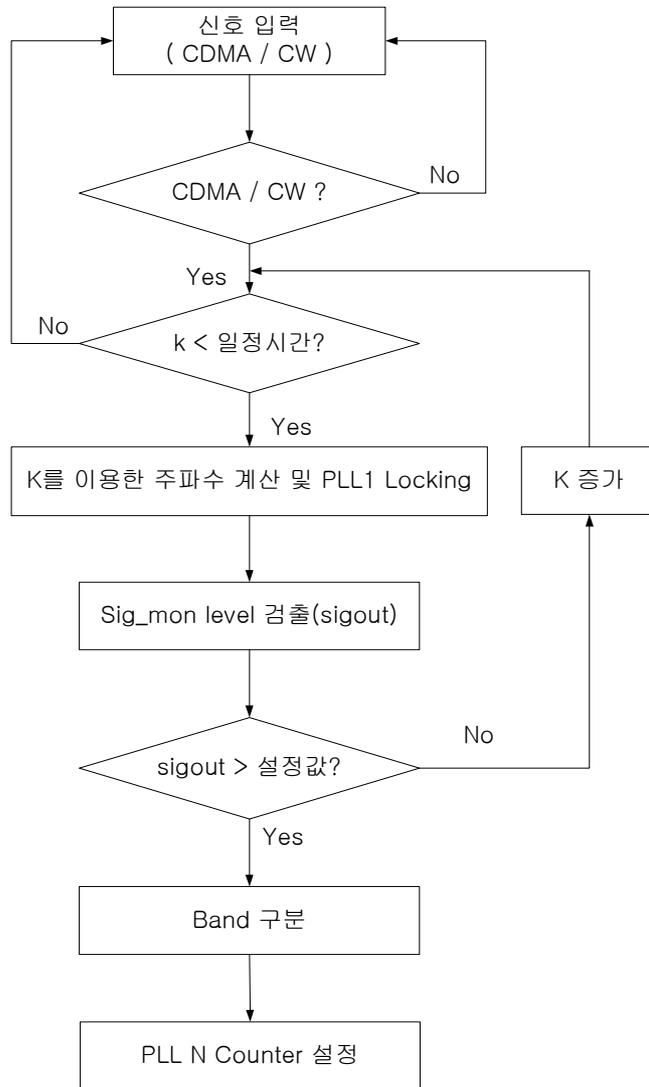
<Fig. 4-5> Actually fabricated PCB of controller for linearization

<그림 4-6>은 선형화 제어기의 알고리즘에 대한 플로우차트이다. 프로그램은 크게 위상제어루프 설정을 위한 부분과 주파수의 업/다운 컨버터(Up/Down converter) 및 선형전력 증폭기의 출력 파형 검출을 위한 검출 부분, 규격 외의 동작에 대한 경보 발생부 등으로 나눌 수 있다.



(a) CPU_1 프로그램의 플로우차트

(a) The flowchart of CPU_1' s program



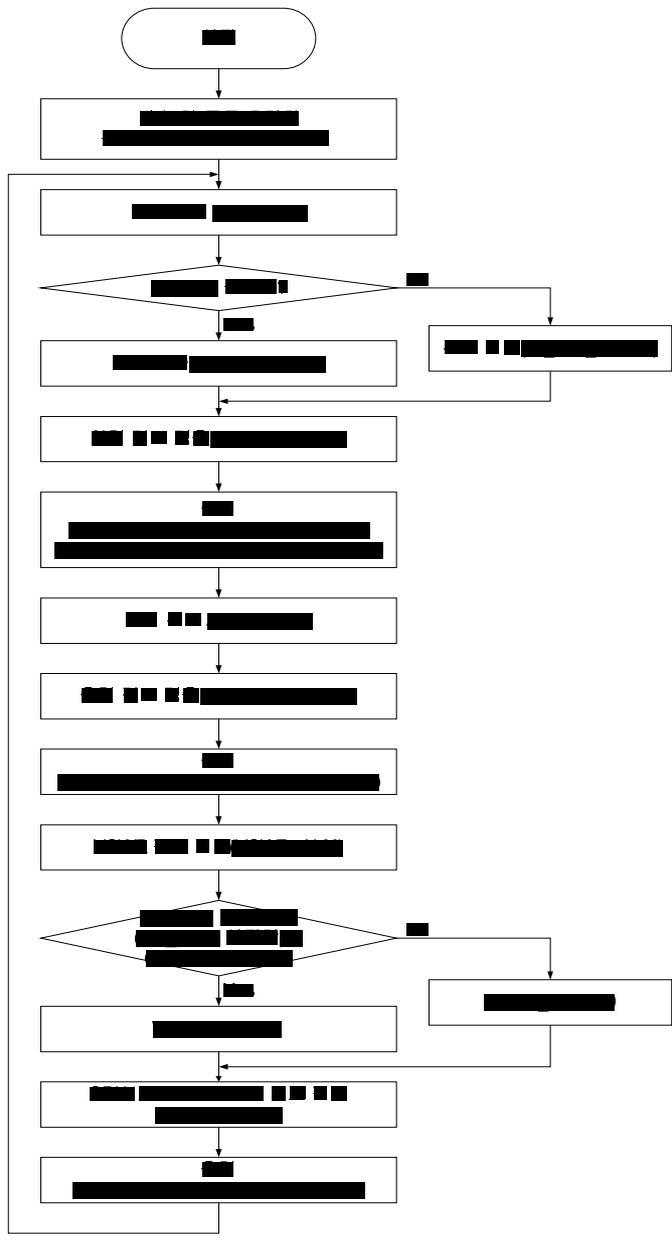
* Band 구분

1) CDMA 일 경우 : low_band($k \leq 3$), mid_band($k > 3$) & ($k \leq 7$), high_band($k > 7$)

2) CW 일 경우 : low_band($k \leq 33$), mid_band($k > 33$) & ($k \leq 66$), high_band($k > 66$)

(b) CPU_1의 CDMA/CW Mode 플로우차트

(b) The flowchart of CPU_1' s CDMA/CW mode

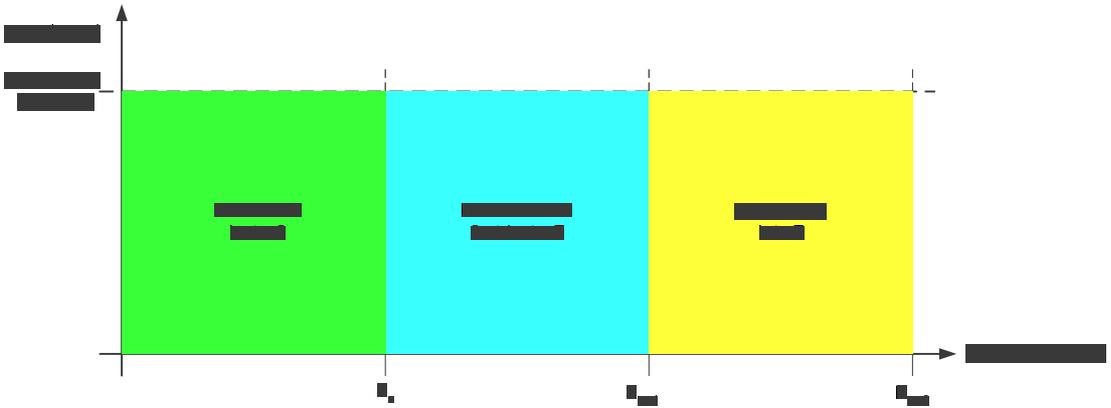


(c) CPU_2 프로그램의 플로우차트

(c) The flowchart of CPU_2' s program

<그림 4-6> 선형화 제어기의 제어 알고리즘에 대한 플로우차트

<Fig. 4-6> The flowchart concerning to control algorism of linearization controller



<그림 4-7> Band-ID 분할 기준

<Fig. 4-7> The reference to divide Band-ID

<그림 4-7>는 신호의 주파수 대역을 구분해주는 Band-ID 분할 기준에 대하여 나타내었다.

<그림 4-6>의 (a)에서 입력된 신호의 종류를 구분하여 해당 신호의 경로로 프로그램이 실행된다. One Pilot Mode에서는 Middle Band로 지정되어 바로 실행되며, CDMA나 CW 신호의 경우에는 <그림 4-6> (b)와 같이 실행되어 각각의 MODE에서의 Band를 구분하여 PLL의 주파수를 자동으로 감지하여 동기 시킨다. 아래 식(4-1)과 (4-2)는 CDMA 신호와 CW 신호에서의 PLL 주파수 밴드를 설정하기 위한 것이다.

$$\text{CDMA 신호의 경우 : } PLL_Freq = (2112.52 + 85.38 + k \times 5.0) \times e^6 \quad (4-1)$$

$$\text{CW 신호의 경우 : } PLL_Freq = (2110 + 85.38 + (k + 1) \times 0.6) \times e^6 \quad (4-2)$$

본 수식에서처럼 k 값을 변화시키면 PLL의 주파수가 점차 증가하게 된다. 주파수의 증가 간격은 CDMA 신호의 경우 5MHz이고, CW 신호의 경우 0.6MHz

간격으로 증가한다. 이렇게 k 값을 순차적으로 증가시킬 때 검출된 입력신호의 신호세기가 설정된 값 이상의 경우 PLL의 주파수가 설정되게 되며, 이 때 k 값을 가지고 <그림 4-7>와 같이 Band 구분을 하게 된다. 이 Band-ID는 각각 0, 1, 2의 세가지 값을 가지게 되며 이 값을 최종적으로 식(4-3), (4-4), (4-5) 및 (4-6)에 적용하여 PLL의 최종 주파수를 설정하게 된다. 아래는 PLL 1, 2의 주파수 적용 수식이다.

$$PLL_1_low = (2110 + 20 \times (Band_id + 1) - (24 + Pilot_Offset) / 2) \times e^6 \quad (4-3)$$

$$PLL_1_high = (2110 + 20 \times (Band_id + 1) + (24 + Pilot_Offset) / 2) \times e^6 \quad (4-4)$$

$$PLL_2_low = PLL_1_low + 85.38 \times e^6 \quad (4-5)$$

$$PLL_2_high = PLL_1_high + 85.38 \times e^6 \quad (4-6)$$

상기 수식들을 적용하여 Band_ID에 따른 PLL 주파수를 나누어 아래 <표 4-1>과 같이 주파수 영역을 나누었다.

<표 4-1> Band_ID에 따른 PLL 주파수 설정표

<Table 4-1> The setup table of PLL frequency depending on Band_ID

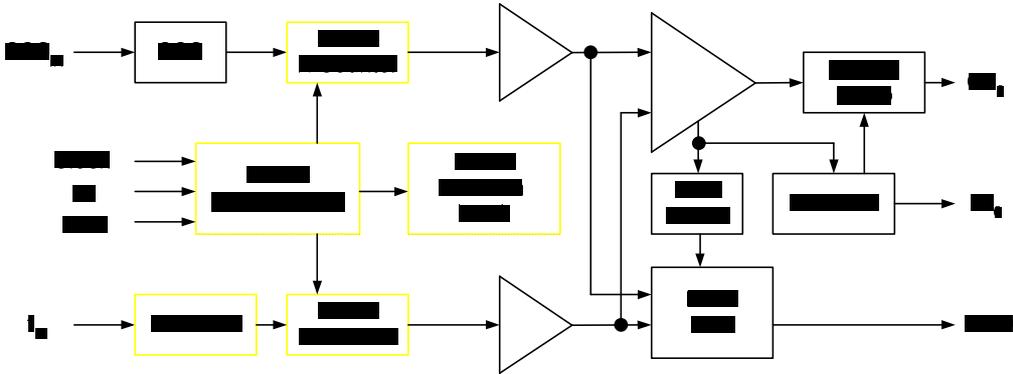
주파수(MHz)	Band		
	Low Band	Mid Band	High Band
PLL1 Low 주파수	2110.00	2130.00	2150.00
PLL1 High 주파수	2150.00	2170.00	2180.00
PLL2 Low 주파수	2195.38	2215.38	2235.38
PLL2 High 주파수	2235.38	2255.38	2265.38

4.2 위상동기루프 설정

선형화 제어기는 전력 검출기 내부에 위치하는 주파수 합성기의 주파수를 생성하는 위상동기루프(PLL; Phase Locked Loop)에 대해 Data, Clock, Enable 신호를 전송하여 특정 주파수를 생성하도록 한다. Dual CPU 중에서 CPU_1이 이 역할을 담당하고 있으며, 주파수 합성기로는 National Semiconductor사의 LMX2326을 이용하였다.

LMX2326은

<그림 4-8>과 같이 14-Bit R Counter, 18-Bit N Counter, 18-Bit Function Latch, 21-Bit Data Register 그리고 32/33 분주 가능한 Dual Modulus Prescaler를 내장하고 있다.



<그림 4-8> LMX2326 PLL Frequency Synthesizer 구성도

<Fig. 4-8> The diagram of LMX2326 PLL Frequency Synthesizer

본 시스템을 위한 PLL의 전기적 특성은 주파수 범위가 2100MHz ~

2260MHz, 출력이 0 dBm, 주파수 설정 단위가 5kHz 이다. 전력 검출기의 경우 주 증폭단(MAU)과 에러 증폭단(CAU)의 RF 신호를 검출하고 그 검출된 신호의 상태를 선형화 제어기와 연동하여 선형화 제어를 할 수 있도록 정보 제공자의 역할을 한다.

따라서, 전력 검출기는 RF 신호의 검출을 위해 파일럿 신호를 생성하여 그 신호를 MAU 및 CAU에 인가하게 되며, RF 출력신호에 대해 선형 루프내의 파일럿 신호를 검출하여 그 세기 정보를 선형화 제어기에 인가함으로써 리니어 루프의 최적화를 위한 정보를 제공한다.

본 시스템의 전력 검출기는 아래와 같은 성능 규격을 가진다.

- 1) Frequency Range : 2110 ~ 2170MHz
- 2) Input : -5 dBm max.
- 3) Output(DC) : 0 ~ 5 V
- 4) Dynamic Range : 30 dB 이상
- 5) BPF(3 dB Bandwidth) : 1.25MHz @ $f_c=85.38\text{MHz}$

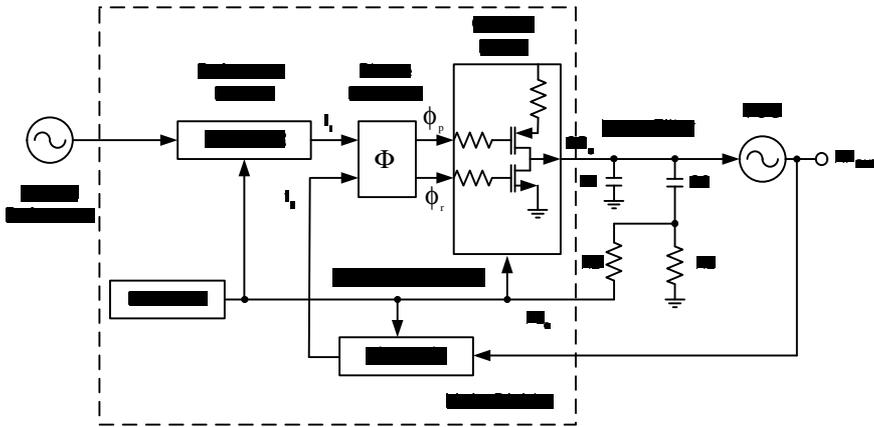
PLL을 로딩하기 위해서는 선형화 제어기로부터 3가지의 정보가 인가되어야 하며, 이 정보는 필요한 주파수를 설정하여 준다.

LMX2326 주파수 합성기를 로딩하는 순서는 첫 번째로 Function Latch와 R Counter를 설정하기 위한 정보를 인가하고, 두 번째로 N Counter를 설정한다. 주파수 합성기의 출력 주파수를 설정하기 위한 식은 아래와 같다.

$$f_{\text{vco}} = ((P \times B) + A) \times f_{\text{osc}} / R \quad (4-7)$$

여기서, f_{vco} 는 VCO의 출력 주파수, B는 N Counter의 18-Bit 중에서 13-Bit Programmable counter($3 \leq B \leq 8191$), A는 N Counter의 18-Bit 중에서 나머지 5-Bit Swallow counter($0 \leq A \leq 31; A \leq B$), f_{osc} 는 외부 출력 주파수, R은 14-Bit Programmable reference counter(3 to 16383), P는 Prescaler(32)이다.

<그림 4-9>은 주파수 합성기의 동작 구성도를 나타냈었다.



<그림 4-9> 주파수 합성기의 동작 구성도

<Fig. 4-9> The operational diagram of frequency synthesizer

만약 합성기의 간격(Δf)이 20kHz이고, 기준 주파수(f_{ref})가 19.68MHz 인 주파수합성기의 출력주파수를 2110MHz로 설정하고자 할 때 R Counter, N Counter는 다음과 같이 설정된다.

$$R \text{ Counter} = f_{ref} / \Delta f = 19.68\text{MHz} / 20\text{KHz} = 984 = (1111011000)_2$$

$$N \text{ Counter} = (P \times B) + A = 2110\text{MHz} / 20\text{KHz} = 105500$$

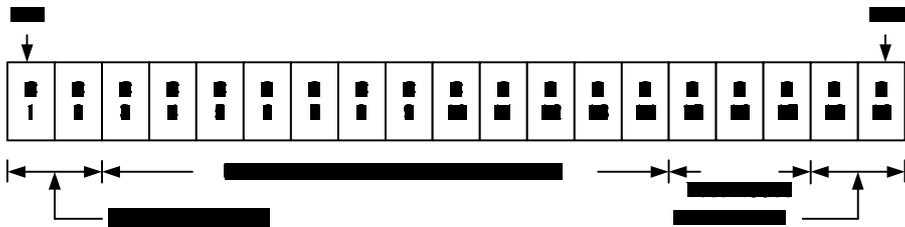
N Counter는 13-Bit Programmable counter(B)와 5-Bit Swallow(A)로 되어 있으므로 다시 나누어 계산하면

$$B = N / P = 105500 / 32 = 3296 = (110011100000)_2$$

$$A = N - (B \times P) = 105500 - (3296 \times 32) = 28 = (11100)_2$$

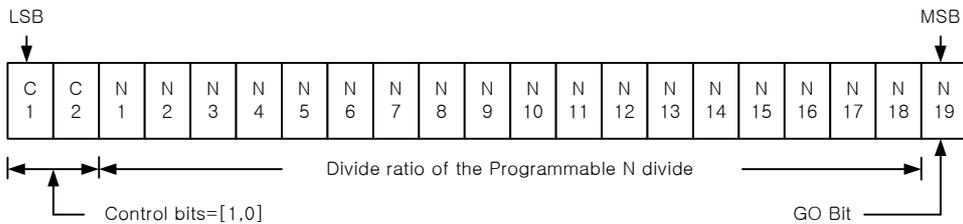
A와 B는 상기 조건($0 \leq A \leq 31; A \leq B, 3 \leq B \leq 8191$)에 만족 함을 알 수 있으며, 2진 코드화 한 데이터를 <그림 4-10>와 같은 직렬 데이터 형식에 맞추어 PLL 을 로딩하게 된다.

직렬 데이터 형식 중에서 C1, C2는 제어 비트이며, 각 데이터의 위치를 지정 한다. <표 4-2>는 제어 비트의 데이터 위치를 나타내었다.



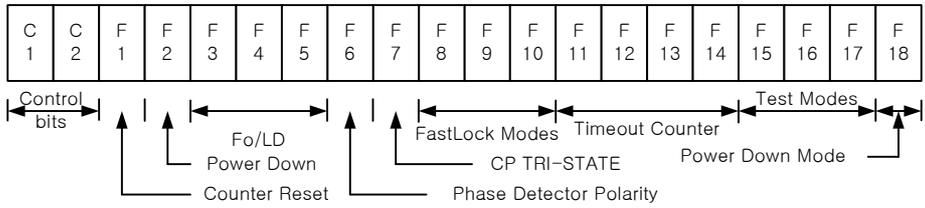
(a) R counter 직렬 데이터 형식

(a) R Counter Serial Data Format



(b) N counter 직렬 데이터 형식

(b) N Counter Serial Data Format



(c) Function latch 직렬 데이터 형식

(c) Function Latch Serial Data Format

<그림 4-10> LMX2326의 Serial Data Format

<Fig. 4-10> The serial Data Format of LMX2326

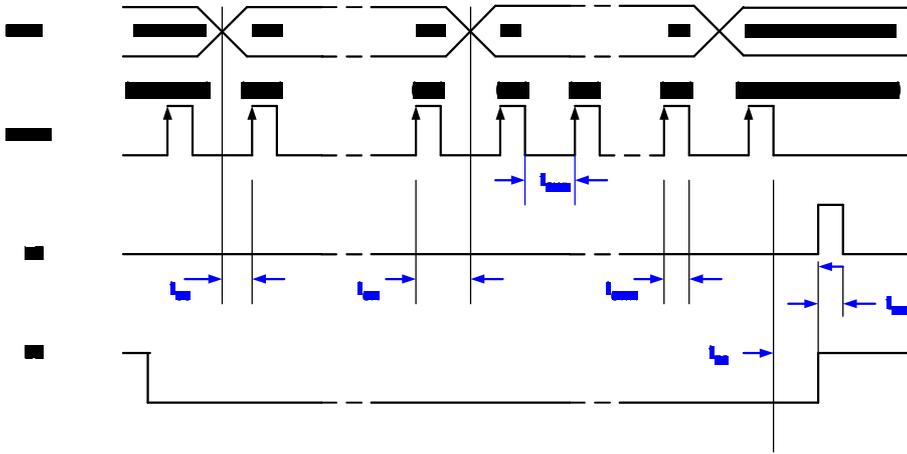
<표 4-2>에서와 같이 R Counter일 경우 2-Bit의 제어 비트(C1, C2)는 모두 “ 0 ” 가 된다. N Counter일 경우 2-Bit의 제어 비트는 C1=1, C2=0 이 되며, 초기화를 위한 제어 비트는 모두 “ 1 ” 이 된다.

<그림 4-11>은 시리얼 데이터의 입력 타이밍 도를 나타낸다.

<표 4-2> Control Bit의 Data location

<Table 4-2> The data location of control bit

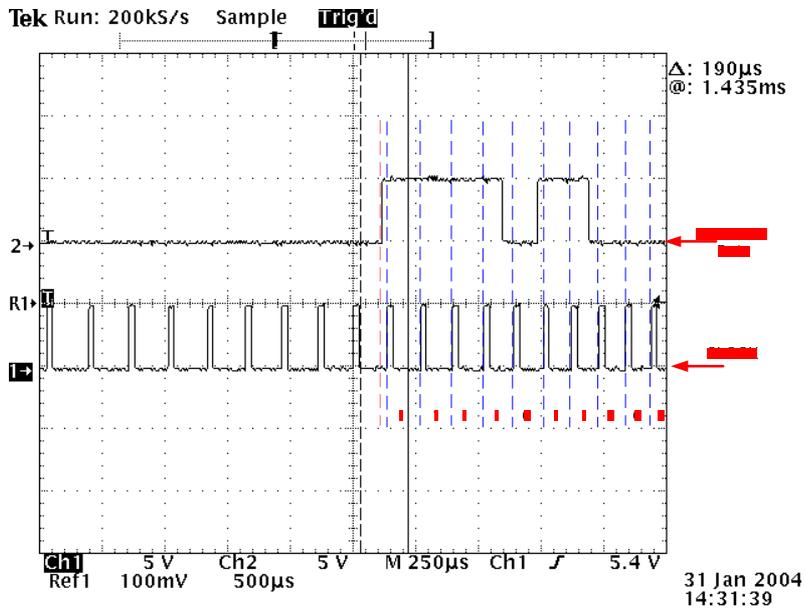
Control		Data Location
C1	C2	
0	0	R Counter
1	0	N Counter
0	1	Function Latch
1	1	Initialization



<그림 4-11> LMX2326의 Serial Data Input Timing

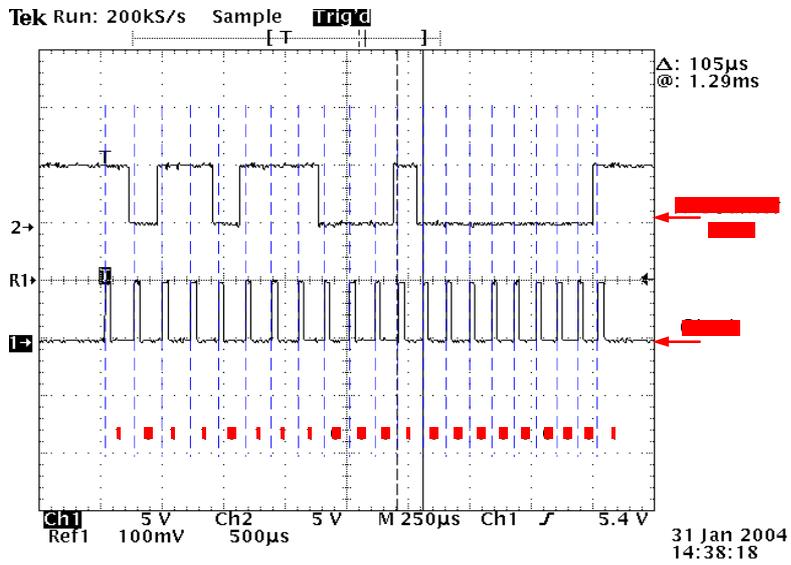
<Fig. 4-11> The serial Data Input Timing of LMX2326

<그림 4-12>는 PLL 1, 2를 로딩하기 위한 R Counter, N Counter, Clock, Function Latch 등의 파형을 실측한 것이다.



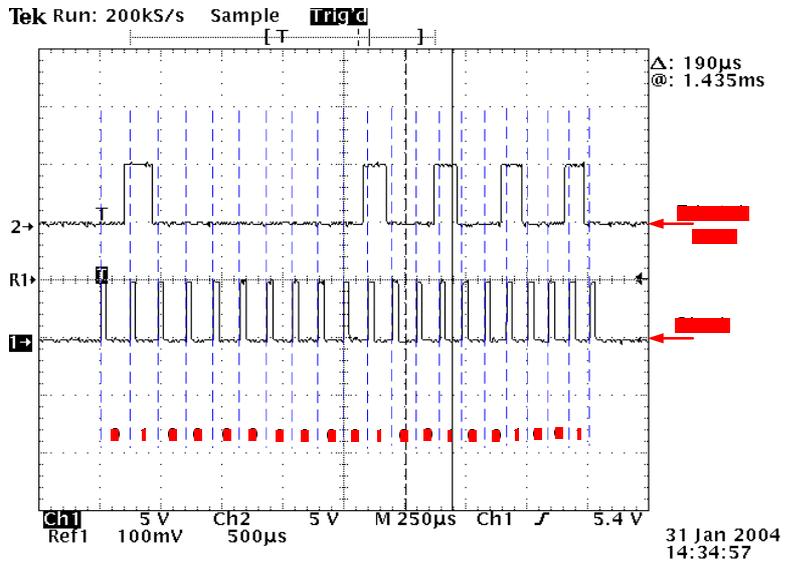
(a) R Counter Data 실측 파형(R Counter = $(1111011000)_2$)

(a) Real measurement of R counter Data



(b) N Counter Data 실측 파형(N Counter = $(110111000100000000)_2$)

(b) Real measurement of N counter Data



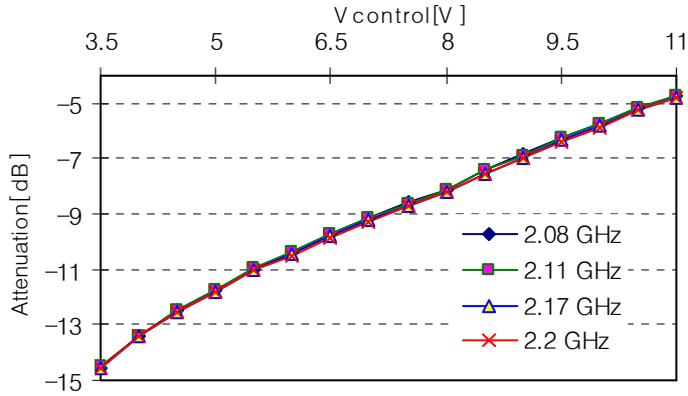
(c) Function Latch 실측 파형(F = $(01000000001001001001)_2$)

(c) Real measurement of function latch

<그림 4-12> R Counter, N Counter, Clock, Function Latch 실측 파형

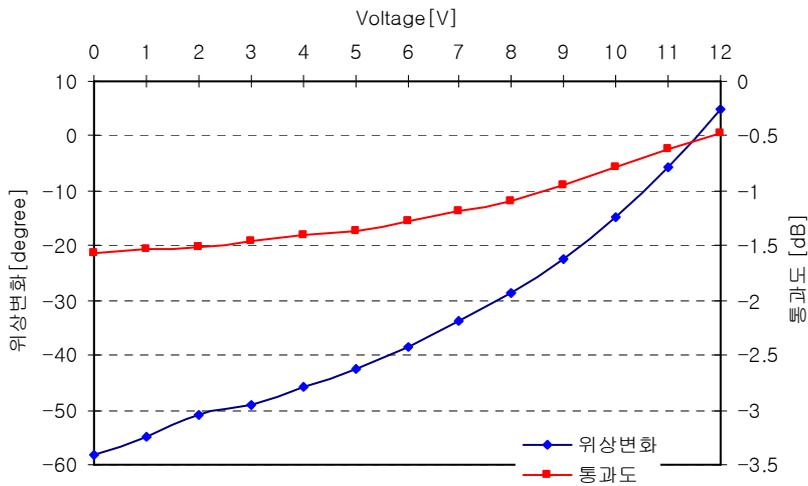
<Fig. 4-12> Real measurement of R Counter, N Counter, Clock and Function Latch

<그림 4-13>과 <그림4-14>은 가변감쇄기 및 가변위상기변환기의 가변 특성이다



<그림 4-13> 주파수별 가변감쇄기의 특성

<Fig. 4-13> The attenuation characteristics of the attenuator



<그림 4-14> 가변위상편이기의 특징

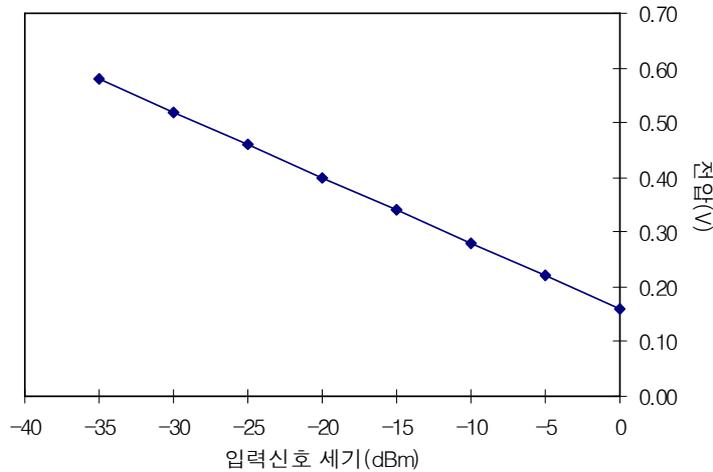
<Fig. 4-14> The phase variation of variable phase shifter

<표 4-3>와 <그림 4-15>은 주파수 별 입력 신호세기에 따른 A/D 값의 전기적 검출 성능을 측정한 결과이다. <표 4-3>의 결과에서 입력신호의 세기변화에 대한 주파수 별 검출 전압의 변화량이 단조 함수의 형태로 선형적으로 변화함을 알 수 있다.

<표 4-3> 입력신호 검출 특성표

<Table 4-3> The detection characteristic table for input signal

입력신호 세기 (dBm)	주파수		
	2110MHz	2140MHz	2170MHz
0	0.16 V	0.16 V	0.16 V
-5	0.22 V	0.22 V	0.22 V
-10	0.28 V	0.28 V	0.28 V
-15	0.34 V	0.34 V	0.34 V
-20	0.40 V	0.40 V	0.40 V
-25	0.46 V	0.46 V	0.46 V
-30	0.52 V	0.52 V	0.52 V
-35	0.58 V	0.58 V	0.58 V



<그림 4-15> 입력신호 검출 특성

<Fig. 4-15> Detecting characteristics of input signal

제 5 장 선형 전력증폭기의 성능 평가

5.1 고전력 증폭기의 개요

CDMA 약자 중 다중접속(Multiple Access) 정보는 RF 관점에서 보면 실질적으로 진폭의 변화로 나타난다. 따라서, 중계기 송신부에서 진폭 선형성(Amplitude Linearity)이 손상된다면 다음 현상이 발생하게 되므로 다른 통신 방식에 비해 진폭 선형성에 유의해야 한다.

첫 번째, 필요파 증가에 따른 법적 규격 미비로 무선국 허가 문제점 및 필요파에 의한 간섭으로 사업자간 분쟁 가능성

두 번째, 진폭 비선형성에 의한 IMD 성분은 왈쉬 코드 영역에서 실제로 사용하지 않는 왈쉬 코드의 잡음 레벨을 증가시켜 사용 중인 통화 채널에 더 많은 송신 전력이 할당되도록(순방향 전력 제어 기능에 의함) 하는 역할을 하게 된다.

이에 따라 순방향 통화 용량은 감소하게 된다. 이러한 진폭 선형성은 최종 HPA에 의해 대부분의 규격이 결정되기 때문에 CDMA용 HPA는 선형성이 우수한 특성을 갖는 방식으로 설계되어야 하며, 특히 다중 주파수 할당(multi FA)된 시스템의 경우는 매우 특별히 설계된 선형 HPA가 아니면 HPA 효율의 10% 정도 밖에 사용하지 못하는 문제가 발생하여 전체 시스템의 성능을 급격히 감소시키게 된다.

이동국의 경우 모든 RF 규격의 최우선 고려 사항은 축전지(Battery) 전력 소모이다. 이동국에서 가장 소모 전력이 큰 부분이 HPA이기 때문에 전체 규격을 정한 후 HPA규격을 정하는 방식이 아닌, 전력 소모가 가장 적은 HPA를 선정 후 이 HPA 규격에 맞추어 전체 이동국 규격을 정하게 된다[20]-[23].

따라서, 이동국 HPA는 전력 소모가 가장 적은 C급 이상의 HPA를 사용하게 된다. C급 HPA는 진폭 직선성(Amplitude Linearity)이 매우 나쁘기 때문에 이동국 송신 신호의 진폭에 정보가 실리지 않도록 규격이 정해진다[24],[25].

이동국의 기본 변조는 직교위상편이변조(QPSK; Quadrature Phase Shift Keying)로서, 엄밀히 보면 모든 정보는 진폭이 아닌 위상에 실리게 된다. 그러나, RF 대역폭을 법적인 규격으로 제한 하기 위해서는 QPSK 변조된 신호의 대역폭을 1.23MHz 내로 제한하게 되고, 이때 위상 불연속 점에서 필터링에 의한 무시할 수 없는 진폭 정보가 발생하게 된다 이러한 현상을 최대한 방지하기 위해서 이동국은 기지국과 달리 QPSK 변조시 반드시 180도 위상편이가 발생하지 않도록 사전 조치를 취하게 되는데, 이를 오프셋직교위상편이변조(OQPSK; Offset QPSK)라고 한다.

일반적인 CDMA 중계기의 최대 출력은 15 ~ 20W이며, 이동국은 0.2W 이다. HPA를 포함한 모든 능동 소자는 정도의 차이가 있지만 근본적으로는 진폭 비선형 특성을 가지며, 선형성이 요구되는 시스템에서는 HPA의 선형 구간에서만 동작하도록 HPA 최대 출력보다 훨씬 낮은 출력에서 시스템을 설계하거나, 최대한 선형 특성이 좋은 HPA를 선정하여 사용한다

5.2 고전력 증폭기의 선형성

HPA 는 트랜지스터의 바이어스 형태에 따라 A급, AB급, C급으로 크게 구분되며, 선형성 및 전력 효율이 결정된다.

A급 HPA는 선형성은 우수하지만 전력 효율이 좋지 않으며, AB급은 중간의 선형성과 전력 효율, C급은 선형성은 나쁘나 전력 효율이 우수한 특성을 나타낸

다. 전력 효율이 나쁘게 되면 단지 전력 소모가 많을 뿐만 아니라 낮은 효율에 의해 발생한 열이 HPA 및 시스템 전반의 불안정성을 야기하여 시스템 안정성에 영향을 미치게 된다.

CDMA 중계기 HPA에서는 매우 우수한 선형성을 요구하기 때문에, 위의 3가지 분류만으로는 HPA의 성능 및 경제성 확보가 어렵다. 따라서 추가적인 선형 회로가 요구된다. 이러한 선형 회로로서는 HPA의 비선형성 특성과 반대 특성을 HPA 입력에서 사전에 가해 주는 전치왜곡 방식과, 두 개의 루프를 이용하여 비선형 특성에 의한 불요파를 원천적으로 제거하여 주는 피드-포워드 방식이 있다. 흔히 말하는 LPA는 피드-포워드 방식만을 칭하기도 한다.

이 중 전치왜곡 방식은 HPA에 사용되는 트랜지스터의 비선형 특성이 각각 달라 모든 생산 분에 대하여 조정해 주어야 하기 때문에 생산성이 낮다. 또한 온도나 주변 환경 변화, 주파수 등에 따라 비선형 특성이 변화할 수 있기 때문에 양산 및 사용시 주의가 필요하다[26],[27].

이러한 가변 요소를 최소화하기 위해 최신 기술에서는 전치왜곡 회로를 디지털 신호처리(DSP; Digital Signal Processor) 방식으로 구현하여 생산성 및 안정성, 전력 효율을 많이 높이기도 한다

프리-포워드 방식의 LPA는 모든 주변 여건 변화에 대하여 능동적으로 루프의 특성에 의해 선형성이 보장되기 때문에 매우 안정적인 선형성을 나타내지만, 회로가 복잡해지고 고가이기 때문에 HPA를 선정할 때에는 경제성 분석이 필수적으로 요구된다. 또한, 메인 앰프 부분에 전치왜곡 AB급 앰프를 사용하기도 한다.

이와 같이 절대적인 성능 기준에 따라 HPA규격을 선정할 수 있으나, 전체 시

시스템에서 LPA가 차지하는 가격 비중이 매우 높기 때문에 사용 용도에 따른 성능 및 경제성을 분석하여 HPA규격을 선정하는 것이 일반적이다[28].

일반적으로 저출력 중계기 시스템에서는 A급 또는 전치왜곡 방식을 사용한 AB급(AB+ PD형)의 HPA를 사용하며, 기지국(BTS)와 같은 고출력 시스템에서는 LPA 또는 AB+ PD형을 조합하여 사용한다. A급 HPA를 CDMA에 사용할 때는 최대 출력의 약 10% 정도만 사용할 것이 권고되며, AB+ PD형은 약 20~50% 정도, 프리-포워드 방식은 약 80% 정도의 사용이 권장된다[29].

따라서, A급 증폭기의 경우, 중계기에 2W의 출력이 필요하면 최대 출력 20W의 HPA를 사용하여야 하며, 이때 소비 전력은 약 100~150W가 되어 약 98~148W의 열이 LPA에 의해 발산되므로, 방열 구조에 많은 고려가 되어야 한다. 같은 출력을 위한 AB+ PD의 경우는 약 20~40W 정도의 적은 열이 발산되는데, 선형성에 대한 관찰과 검토가 필요하다. 2~3W 정도의 낮은 출력에 대해서는 프리-포워드 방식은 성능 및 안정성 면에서 유리하지만 경제성 및 열효율이 떨어지기 때문에 그리 많이 이용되고 있지 않다[30].

<표 5-1> 선형 전력증폭기의 제작을 위한 선형화 방식의 비교

<Table 5-1> Comparison of the linearization method for manufacture of LPA

선형화 방식	피드-포워드	전치왜곡	피드백	백 오프
생산성	보통	낮음	W-CDMA 시스템 에서는 생산성 없음	W-CDMA 시스템 에서는 생 산성 없음
동작범위	광대역	협대역		
I M D	약 -55 dBc	약 -45 dBc		
선형성	안정적	한계가 있음		
회로구성	복잡	간결		
가격	고가	저가		

<표 5-1>은 선형 전력증폭기의 제작에 따른 내용을 비교한 것이다. 피드 백 및 전력 백 오프 방식은 동작범위, IMD 특성 등의 저하로 인해 생산성이 없는 것으로 평가되었다[31].

한편 피드-포워드 방식은 전치왜곡 방식에 비해 용적의 증대 및 회로 구성상의 복잡함으로 인해 제작 비용이 고가인 반면, 상대적으로 넓은 동작범위에서 동작하고 LPA의 핵심이 되는 55dBc 이상의 IMD 특성과 선형성이 안정되는 등 양호한 장점을 나타냄으로써 W-CDMA의 신뢰성에 가장 부합되는 방식임을 알 수 있었다.

5.3 다중 고전력 증폭기의 구성

통화 용량 증대를 위해 중계 주파수를 확장하는 다중 반송파 증계기에 있어서 HPA는 매우 높은 출력을 요하기 때문에 $[(15\sim 20\text{W}/\text{FA}) \times (\text{No. of FA})]$ 하나의 LPA나 HPA로는 출력 및 IMD 규격을 만족시키기 매우 어렵다. 따라서, 여러 개의 LPA 또는 AB+PD형 HPA로써 다중 반송파 증계기를 구성하게 된다[32].

LPA 구조의 장점은 매우 높은 선형성에 의한 HPA 효율의 극대화 및 각 LPA간 출력 분담(soft redundancy)에 의한 신뢰성 증대, 주파수 배치의 용이성 등이며, 단점으로는 LPA 집중 배열에 의한 시스템 구조의 비효율성 및 고가에 의한 경제성 감소이다[33].

HPA 구조의 장점은 상대적으로 저가에 의한 경제성 증대 및 다중 반송파별 HPA 배치에 의한 시스템 구조의 효율성 등을 들 수 있으며, 단점으로는 LPA에 비해 각 HPA들의 반송 주파수 별 출력 분담의 곤란(hard redundancy) 및 선형성의 감소, 안테나 정합의 복잡성, 주파수 배치의 제한성 등을 들 수 있다. 또한,

LPA 구조에서는 안테나 정합이 매우 간단하지만, HPA 방식에서는 다른 다중 반송파용 HPA로 역전력(reverse power)이 역류되지 않도록 해주는 다수의 채널 필터로 구성된 전력 결합기 등이 추가로 요구되며, 이에 의한 손실(약 2dB)만큼 HPA 출력을 올려야 하는 어려움이 있다[34]-[38].

주파수 배정에 있어서 LPA방식은 임의 배열 및 변경이 가능하지만, HPA 방식은 전력 결합기를 구성하는 채널 필터의 구조에 맞추어 주파수 배정이 이루어져야 하며, 설치 후 채널 필터의 교체 없이 주파수 변경 시에는 HPA 출력 신호가 채널 필터 중심 주파수와 일치하지 않아 출력의 99%가 HPA로 역류하여 HPA를 동작 불능 상태로 만들게 된다.

5.4 시스템 통합

<그림 5-1>은 선형 전력 증폭기의 실제 구성을 나타낸 것이며, 이때의 신호 흐름도를 함께 도시하였다. <그림 5-2>는 최종적으로 설계하고 제작한 선형 전력증폭기의 성능평가를 위한 구성도이다. 오차 증폭기는 앞서서도 설명했듯이 주 증폭기의 출력과 이득이 높을 때도 동작할 수 있도록 설계되어 있다.

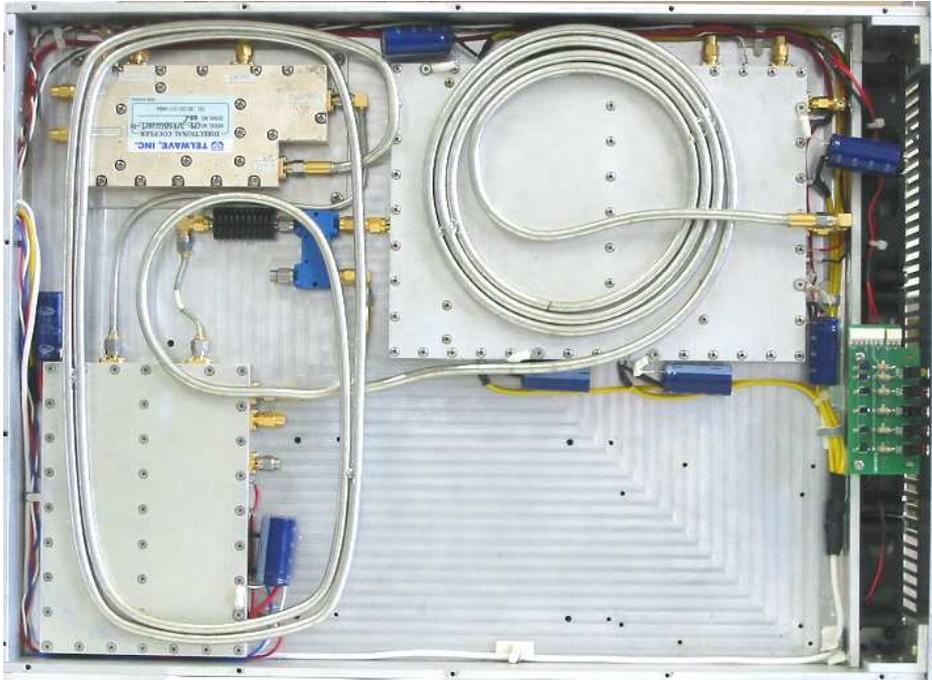
선형 전력 증폭기에 사용된 각 모듈은 각각 독립적으로 만들었고 상호간의 연결을 위해 초속성 금속 합금(SMA ; Superlastic Metal Alloy) 커넥터를 사용하였다.

선형 전력증폭기 회로에서는 신호의 크기 변화가 매우 크다. 주 증폭기에서는 30 dBm 이상의 출력이 나오고 신호루프의 출력에서 나오는 출력은 -40 dBm 이하이다. 따라서 증폭기 모듈에서 공기 중으로 방출되거나 도선을 통해 나오는 작은 신호라도 신호 상쇄에 매우 큰 영향을 미친다. 처음 실험에서는 증폭기, 방

향성 결합기 등 각 모듈을 차폐하지 않고 실험을 하였는데 상쇄루프에서 신호상쇄가 거의 되지 않았다. 이유는 외부에서 바이어스 선로나 공기 중에서 타고 들어온 신호가 -40 dBm 보다 크기 때문에 신호 상쇄를 일어 킬 수 없었던 것이다. 따라서 증폭기 등 각 모듈을 알루미늄 케이스에 차폐시켰고 바이어스 선로는 항상 관통형 커패시터(Thru-Capacitor)를 통해 연결하였다.

시간지연 선로는 경화케이블을 사용하였다. 시간지연 선로의 측정은 벡터회로망 분석기(VNA; Vector Network Analyzer)의 지연 측정장치를 이용하였다. 신호루프와 오차루프를 설정한 후 두 경로 중 한 경로를 끊고 다른 경로에서의 시간지연을 VNA로 측정하였다. VNA의 지연(Delay) 측정으로 어느 정도 두 경로의 Delay를 맞춘 후 더 정확히 시간지연을 맞추기 위해 길이가 조금씩 다른 여러 가지 길이의 시간지연 선로를 연결해 보면서 신호의 상쇄가 가장 잘 생기는 시간지연 선로를 사용하였다.

측정한 결과 신호루프에서 두 경로의 시간지연은 많은 차이가 발생하지 않았으며, 약 0.5 ns 이하의 시간지연 차이를 보였다. 그러나 오차루프에서 경로 2를 거치는 신호는 제어기와 5단의 오차증폭기를 거치므로 시간지연이 매우 많이 생긴다. 반면에 경로 1의 신호는 바로 출력에 연결되어 있기 때문에 시간지연이 매우 적다. 오차루프에서 두 경로의 시간지연 차이에 해당하는 약 8 ns의 시간지연을 주기 위해서 약 2.5 m의 경화 케이블이 사용되었다. 두 경로에서 시간지연이 다르면 신호 상쇄지수의 대역폭이 매우 줄어들게 됨을 알 수 있다. 실제 측정에 있어서도 두 경로에서의 시간지연이 많이 어긋나 버리게 되면 신호의 상쇄가 거의 일어나지 않음을 알 수 있었다.



<그림 5-1> 선형 전력증폭기의 실제 구성도

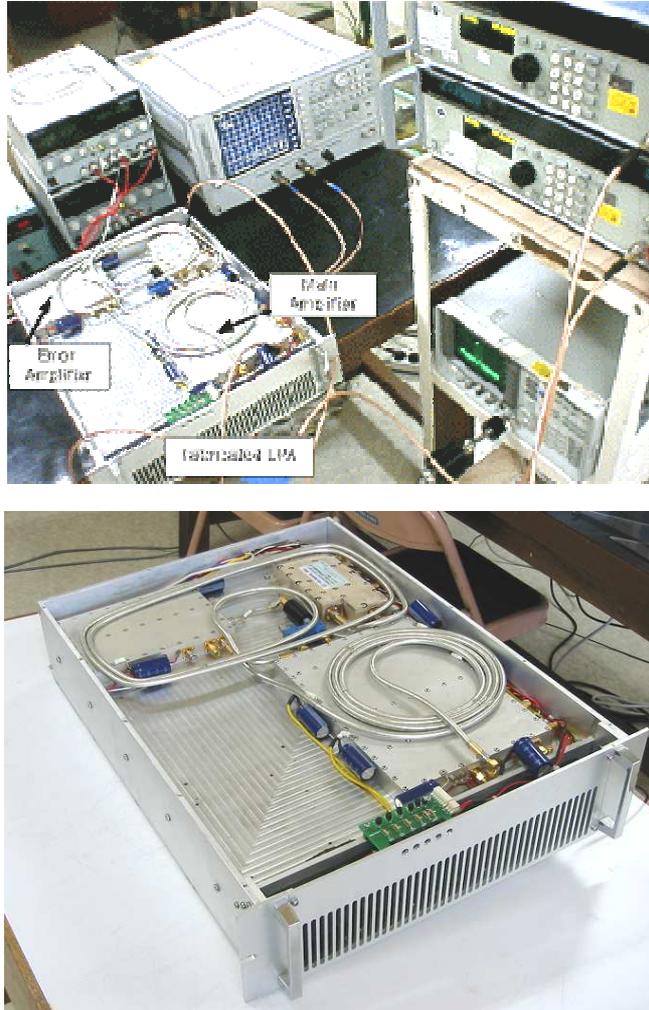
<Fig. 5-1> The real diagram for linear power amplifier

5.5 측정 장치의 구성

증폭기의 선형도를 측정하기 위해 본 논문에서는 2-톤(Two tone)을 이용한 멀티톤(Multitone) 실험을 시행하였다. 2-톤 시험을 위해서는 두개의 신호원 발생기(Signal source generator)가 필요하며, 신호발생기(Signal generator)는 HP사의 8648C를 사용하였다.

두 신호원을 하나로 합치기 위해 위킨슨 전력결합기를 사용하였고 전력결합기에는 0.2 dB의 손실이 발생하였다. 그리고 선형 전력증폭기의 출력 스펙트럼을 관찰하기 위해 <그림 5-2>에서와 같이 스펙트럼 분석기(Spectrum analyzer)를

사용하였다. 스펙트럼 분석기를 보호하기 위하여 오차증폭기의 출력과 선형 전력증폭기의 출력을 각각 20 dB 커플러와 고정감쇄기를 사용하여 출력신호를 모니터링하였다.



<그림 5-2> 측정장치의 구성

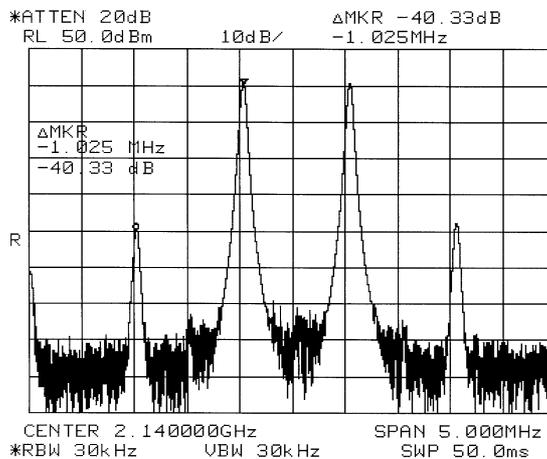
<Fig. 5-2> The configuration of measurement equipment

전원은 주 증폭기와 오차 증폭기에 따로 공급하기 위해 각각 전원공급기를 따로 사용하였다. 그리고 신호루프와 오차루프를 각각 제어하기 위해 각각 2개씩의 전원이 필요하며, 신호루프와 오차루프의 제어기에는 2단자 전원공급기 2개를 사용하였다.

5.6 2-톤 시험 결과

<그림 5-3>은 주 증폭기의 IMD 특성으로 오차 증폭기의 전력을 차단하여 선형화 회로의 동작을 정지시키고 측정한 값이다. 증폭기의 출력은 47.8 watt이고 이때 IMD가 40 dBc이다. 입력신호의 주파수 간격은 1MHz이다.

<그림 5-4>는 오차 신호를 오차 증폭기의 검출기 포트에서 측정한 스펙트럼을 보여준다. 오차신호는 오차 증폭기에서 증폭하여 모니터 하였는데 이러한 측정을 통해 선형화 회로에서 신호가 상쇄되는 것을 보면서 오차신호를 모니터 할 수 있다.

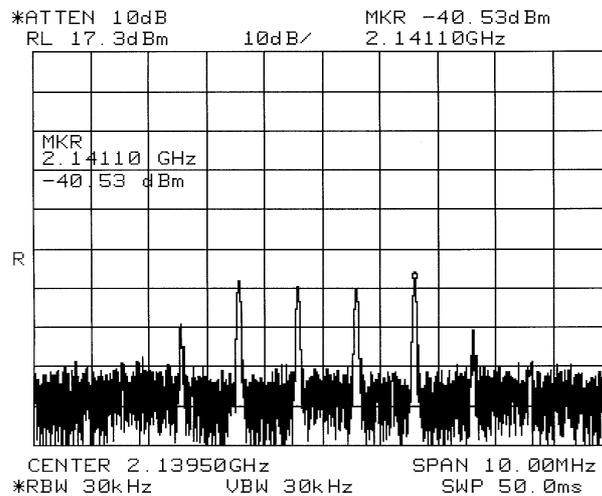


<그림 5-3> 주 증폭기의 IMD 특성

<Fig. 5-3> The IMD characteristics of main power amplifier

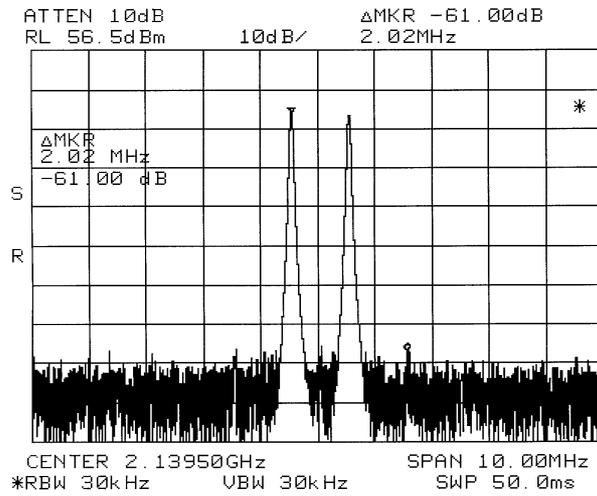
<그림 5-4>를 보면 순수 입력신호가 상쇄되어 크기가 많이 줄어 들어 있는 것을 알 수 있다. 신호루프의 신호 상쇄를 통해 순수 입력신호는 상쇄되어 제3차 IMD에 비해서도 5 dB 이하의 크기를 가지고 있음을 볼 수 있다. 즉 신호루프의 상쇄지수는 약 39 dB 임을 알 수 있다.

<그림 5-5>는 오차신호가 증폭되고 크기와 위상이 제어되어 주 증폭기의 상호 변조 신호를 제거해 증폭기가 선형화되어 있는 것을 보여준다. 제3차 IMD는 40 dBc의 증폭기 상호변조 신호가 61 dBc로 감소한 것을 알 수 있다. 오차루프의 상쇄지수는 약 21 dB 이다.



<그림 5-4> 오차증폭기의 검출기 포트에서의 스펙트럼 특성

<Fig. 5-4> The spectrum characteristics of detection port of error amplifier



<그림 5-5> 선형 전력증폭기의 IMD 특성

<Fig. 5-5> The IMD characteristics of linear power amplifier

제 6 장 결 론

전 세계 이동통신이 통합된 제3세대 이동통신 시스템인 IMT-2000에 대하여 2000년대 초반에 서비스 제공을 목표로 연구개발이 활발히 진행되고 왔다. 특히 단순히 음성을 전달하는 서비스에서 점차로 멀티미디어 통신을 지향하고 있으며 시간과 장소의 제한을 받지 않도록 서비스의 질을 높이는 요구가 크게 증가하고 있다.

특히 W-CDMA 방식에서 채널 용량 및 대역폭 증가와 시스템의 비선형적인 특성으로 인한 인접 채널간의 간섭과 전력에 따른 왜곡, 온도나 시스템의 열화에 의한 성능 저하를 보정해 줄 수 있는 연구가 더욱 필요하게 된다[34].

IMT-2000 시스템의 경우 서비스의 질적 향상에 가장 영향을 미치는 부분이 고출력 전력 증폭기이며 W-CDMA와 같은 3.84MHz의 넓은 대역폭을 갖는 경우 광대역에 대한 고출력 전력 증폭기의 선형성 개선이 매우 중요하게 된다.

본 논문에서는 CDMA 시스템에 사용되는 고출력 전력 증폭기의 비선형성을 보정한 전방궤환 방식 선형 전력 증폭기에 대하여 연구하였다. 반송파 제거 루프와 오차 제거 루프로 구성된 전방궤환 방식 선형 전력 증폭기는 각 루프의 증폭기의 지연 시간을 보상해주는 시간 지연 회로가 필요하며 경화 케이블을 사용하여 시간 지연을 보상해 주는 방식을 사용하였다.

이 선형 증폭기의 성능 검증을 위해 47.8 watt에서 상호변조 왜곡이 40 dBc 인 전력 증폭기에 적용하여 실험하였으며 2-톤 시험 시 신호루프에서 상쇄지수가 최소 30dB, 오차루프의 상쇄지수가 최소 30dB가 되도록 정의하고 실제로 설계 및 제작하여 시험해 본 결과, 신호루프의 상쇄지수는 39 dB, 오차루프의 상

왜지수는 21 dB를 얻었다.

이 증폭기를 선형화 회로를 이용하여 40 watt에서 61dBc의 상호변조 왜곡특성을 나타냄으로써 고전력 증폭기가 입력신호대역 2.11GHz~2.17GHz에서 안정된 이득 평탄도와 낮은 상호변조 왜곡신호를 포함하여 증폭하는 반면에 오차 증폭기는 고전력 증폭기의 입력신호대역의 3배 이상의 범위(2.08GHz~2.20GHz)에서 안정된 이득과 이득 평탄도를 나타내는 것을 확인하였다.

주 증폭기는 모토롤라사의 MRF21060, MRF21125, MRF21180 FET를 사용하여 최적의 임피던스를 구하여 정합시켰으며 평형증폭기로 구성하여 40W 출력을 내도록 설계하여 제작하였다. 피드-포워드 방식 전력 증폭기에서 오차 증폭기는 오차 신호를 왜곡 없이 증폭할 수 있어야 하므로 선형성이 매우 우수해야 하며, 오차 증폭기의 출력은 최종 출력에 바로 더해지므로 잡음특성도 고려를 해야 한다. 그러므로 오차 증폭기의 첫 단은 잡음을 고려하여 Motorola사의 MRF21060 및 MRF21125를 사용하여 A급으로 설계하였으며 40 watt급 선형 전력 증폭기의 출력에 3차 IMD 성분을 고려하여 -35dBc로 설계하였다.

또한 신호제거 루프와 오차제거 루프에서 빼기 회로인 결합기를 통과한 신호를 로그 검출기를 사용하여 신호를 검출한 뒤 원하지 않는 신호를 최소화하는 알고리즘으로 Atmel사의 ATMEGA163 마이크로 프로세서의 DSP 블록을 이용하여 구성하였다.

디지털 적응 방식을 사용하는 경우 일반적으로 회로가 복잡하고 가격이 상승하는 단점이 있으나 W-CDMA 방식의 경우 선형성이 우수한 전력 증폭기와 적응 알고리즘을 사용하면 여러 채널의 신호를 동시에 증폭할 수 있으며 하나의 증폭기로 요구하는 규격을 만족할 수 있는 장점이 있다. DSP 블록에서는 검출된 신

호를 분석하여 제거 루프의 감쇄기와 위상 변환기를 제어하여 최대 상쇄가 일어나도록 크기와 위상을 조절하는 최적화 알고리즘을 프로그래밍하였다.

앞으로 여러 채널의 신호를 인가했을 경우 최적화 알고리즘과 그에 대한 선형성 개선의 연구가 진행되어야 할 부분이며 출력 전력이 큰 경우와 온도 보상에 대한 연구가 더 진행되어야 할 것으로 사료된다.

참 고 문 헌

- [1] Y. Hu, J. C. Mollier, and J. Obregon, “ A New Method of Third-order Intermodulation Reduction in Nonlinear-Microwave Systems,” IEEE Trans. Microwave Theory and Tech., Vol. MTT-34, no. 2. pp. 245~250, 1986.
- [2] 김선근, “ W-CDMA용 전력증폭기의 선형성 개선에 관한 연구,” 공학박사 학위논문, 한국해양대학교, 2004.8
- [3] Y. Km, Y. Yang, S. Kang and B. Kim, “ Linearization of 1.85 GHz Amplifier Using Feedback Predistortion Loop,” IEEE MTT-S Digest, pp. 1675~1677, 1983.
- [4] D. Myer, “ Ultra Linear/Feedforward Amplifier Design,” IEEE MTT-S Digest, pp. 1125~1127, 1998.
- [5] N. Potheary, “ Feedforward Linear Power Amplifier,” Artech House, pp. 108-122, 1999.
- [6] R. S. Turker, “ Third-order Intermodulation Distortion and Gain Compression in GaAs FETs,” IEEE Trans. Microwave Theory and Tech., Vol. MTT-27, no. 5, pp. 400~407, 1979.
- [7] ITU-R Rec. 818, FPLMTS Network architectures, 1995.
- [8] S.C. Cripps, “ RF Power Amplifier for Wireless Communications,” Artech House, pp.280-288, 1989.
- [9] John L. B. Walker, “ High Power GaAs FET Amplifier,” Artech House, pp. 128~134, 1993.
- [10] Guillermo Gonzales, “ Microwave Transistor Amplifier Analysis and Design,” Prentice-Hall, pp. 320-332, 1997.

- [11] K. J. Parsons, P. B. Kenington, “ The Efficiency of a Feedforward Amplifier with Delay Loss,” IEEE Trans Vol. 43, pp. 407~412, 1994.
- [12] Inder Bahl, Prankash B Hartia, “ Microwave solid state circuit design” , Wiley, pp. 667~670, 1998.
- [13] “ Mini-Circuits, RF/IF Designer’ s Guide” , 2001.
- [14] K. Chang, C. Sun, “ Millimeter-Wave Power-combining Techniques,” IEEE Trans., Vol. MTT-31, pp. 91~107, 1983.
- [15] T. Edward, “ foundations for Microstrip Circuit Design,” John Wiley & Sons, pp. 267~276, 1992.
- [16] K. Kurokawa, “ Design Theory of Balanced Transistor Amplifier,” Bell System J. pp. 1675~1698, Oct., 1965.
- [17] A. A. M. Saleh, D. C. Cox, “ Improving the power-added efficiency of FET amplifiers operating with varying-envelope signals,” IEEE Trans. Microwave Theory., Vol.31 No.1, pp. 51~56, Jan., 1983.
- [18] G. Gonzalez, “Microwave Transistor Amplifiers Analysis and Design,” Prentice-Hall, pp. 420-429, 1997.
- [19] G. Wevers, “A High IIP3 Low Noise Amplifier for 1900MHz Applications Using the SiGe BFP620 Transistor,” Applied Microwave & Wireless, Application Note. 1999.
- [20] S. C. Cripps, “RF Power Amplifiers for Wireless Communications,” Artech House, pp. 422-432, 1999.
- [21] “ A Varactor Controlled Phase Shifter for PCS Base Station Applications,” Alpha Industries Inc., Application Note, APN1009. 2000.
- [22] “Application of PIN Diode,” HP Application Note 922. 1995.
- [23] “A Wideband General Purpose PIN Diode Attenuator,” Alpha Industries Inc., Application Note, APN1003. 1995.

- [24] A. I. Zverev, "HandBook of Filter Synthesis," John Wiley & Sons, pp. 60-65. 1988.
- [25] G. L. Matthaei, L. Young and E. M. T. John, "Microwave Filters, Impedance Matching Networks and Coupling Structures," Artech House, pp. 497-505, 1980.
- [26] G. L. Matthaei, L. Young and E. M. T. Jones, "Microwave Filters, Impedance-Matching Networks and Coupling Structures," Artech House, pp. 421-440. 1980.
- [27] Solution of TEAM Workshop Problem 19," Ansoft HFSS Engineering Note, AP052-9912. 1998.
- [28] 대한전자공학회, "이동통신," 청문각, pp. 197-217, 2001.
- [29] 진년강, "마이크로파 공학," 청문각, pp. 285-334, 1999.
- [30] M. Nakayama, K. Mori, Y. Itoh, and T. Takagi, "A Consideration on Phase Distortion Characteristics of GaAs FETs Under Large Signal Operation," Proc. of IECE Autumn Conf., C-24, 1994.
- [31] Sang-Gee Kang, "Analysis and Design of Feed Forward Power Amplifier," IEEE MT T-S Digest, pp. 1519-1522, 1997.
- [32] Theodore S. Rappaport, "Wireless Communication Principles and Practice," IEEE Press, pp. 197-294, 1996.
- [33] Mahesh Kumar, James C. Whartenby, Herbert J. Wolkstein, "Predistortion Linearizer Using GaAs Dual Gate MESFET for TWTA and SSPA used Satellite Transponder, " pp.50-62, 1997.
- [34] Gunkichi Satoh, "Impact of New TWT Linearizer Upon QPSK/TDMA Transmission Performance," IEEE Journal of Selected Areas in Comm, vol. Sac-1, No.1 pp. 30-45, 1983.

- [35] G. D Vendelin, A. m. pavio, U. I. Rohde, "Microwave Circuit Design using Linear and Nonlinear Techniques," John Wiley and Sons, Inc., pp. 313-338, 1990.
- [36] Guillermo Gonzalez, Microwave Transistor Amplifiers Analysis and Design, New Jersey:Pretice-Hall Inc., pp. 174-188, 1984.
- [37] Roger Becher, et al, " Mobile Radio Servicing Handbook," Heinemann newness, pp. 26-59, 1989.
- [38] Bruce R. Elbert, " Introduction Satellite communication," Artech House, pp. 133-148, 1987.

부 록

- [1] <그림> 선형화 제어기 회로도(1)
- [2] <그림> 선형화 제어기 회로도(2) - 검출부

감사의 글

먼저 항상 저를 인도하시고 오늘의 저를 있게 하신 하나님께 이 영광을 돌립니다.

부족한 점이 많은 저를 제자로 받아 주시고 열과 성으로 가르침을 주신 김기문 교수님께 감사 드림과 아울러 존경과 사랑을 표합니다.

바쁘신 중에도 심사를 맡아주신 동의대 김동일 교수님과 학교에서의 중책으로 인한 과중한 업무에도 불구하고 저의 논문을 지도하여 주신 양규식 처장님 그리고 이상배 교수님께 감사 드리며 저의 논문을 심사하시는 과정에서 많은 지도와 도움을 주신 임종근 박사님, 그리고 광전자연구실의 전중성 박사님께 특히 고마움을 전합니다.

저의 젊은 시절부터 영향을 크게 주시고 학업을 계속 할 수 있도록 용기와 격려를 북돋아주신 부산방송 원영수 국장님, 평상시 저를 아껴주신 우리 연구실의 선, 후배님 들께 감사드립니다.

저의 신앙을 위하여 항상 기도하여 주시고 인도하여 주신 수안교회 이만규 목사님과 따뜻한 관심을 보여주신 성도님들께 감사드립니다.

저의 학업을 계속하는데 여러 가지로 도와 주신 해양수산연수원
유명운 원장님과 동료 교수님들께 진심으로 감사 드립니다.

오늘이 있기까지 많은 도움과 격려를 아끼지 않으셨던 형님
내외분, 누님, 동생과 어려움 속에서 묵묵히 저를 믿고 따라 준
아내에게 진심으로 고맙고, 두 아들 인욱, 인영 그리고 장모님,
처제들, 동서들께 감사함을 전합니다.